

低温プロセスによる 15V 駆動 浅トレンチ IGBT (ST-IGBT) の提案

田中 雅浩* 阿部 直樹 (日本シノプシス)
中川 明夫 (中川コンサルティング事務所)

A 15V operated Shallow Trench IGBT (ST-IGBT) fabricated by low temperature process
and optimized for 12inch wafers

Masahiro Tanaka*, Naoki Abe, (Nihon Synopsys G.K.)
Akio Nakagawa, (Nakagawa Consulting Office, LLC.)

In this paper, we propose shallow trench IGBT (ST-IGBT) and its fabrication process. It is designed for 15V of gate operation, as is the same as conventional IGBTs. The cell is consist of shallow trench gate MOS structure and shallow doping layers, formed by ion implantation and RTA (Rapid Thermal Anneal). The edge termination structure is composed of many shallow FLRs. The optimized cell design reduces $V_{ce(sat)}$ by 0.15V, compared with conventional IGBTs.

キーワード : IGBT, 低温プロセス, RTA, 浅いトレンチ, キャリアライフタイム
(IGBT, Low temperature process, Shallow trench, Carrier lifetime)

1. はじめに

IGBT は中～大容量の電力変換器に幅広く用いられている。近年、脱炭素社会の実現に向け HEV(Hybrid Electric Vehicle), EV(Electric Vehicle)の普及が進んでいるが、IGBT はこれら低公害車に数多く実装されており、極めて多くの需要が見込まれている。この需要に対し、パワー半導体各社は既存の 8 インチウェーハ生産設備の増強で対応してきたが、最近では 12 インチウェーハによる量産ラインを構築するケースが増えている。ここで、IGBT を 12 インチウェーハで量産する際には、以下の点に留意する必要がある。

1. 8 インチまでの IGBT で広く使われてきた FZ ウェーハは 12 インチ化が難しいため、MCZ ウェーハを使用する必要がある。
2. すでに確立されている微細 MOSFET プロセスとの互換性、トレンチゲートや拡散層のウェーハ面内均一性を考慮すると、構造全体を浅く形成することが望ましい。量産性が向上し、キャリアライフタイムの改善が期待できる。

筆者らは、12 インチウェーハによる量産化を考慮した、浅いトレンチゲートを有する ST-IGBT(Shallow Trench IGBT) 構造および、そのプロセスフローを提案した⁽¹⁾。三次元モデルを用いた TCAD シミュレーションを行い、トレンチゲートを浅くしても好特性が得られることを示した。従来提案されてきた IGBT スケーリング則⁽²⁻⁵⁾を適用した場合でも浅

いトレンチゲートを実現できるが、ゲート酸化膜厚やゲート電圧もスケーリングすることが前提となる。一方、本構造は現時点で広く普及している 15V 駆動を前提とした。本稿では、ST-IGBT のセル構造および終端構造について詳しく議論する。

2. ST-IGBT TCAD シミュレーション

提案するデバイス構造は耐圧 1200V 級を想定し、ウェーハ厚を 110 μm 、N ベース不純物密度を $7.0\text{e}13\text{cm}^{-3}$ とした。セル構造を図 1(a)に示す。

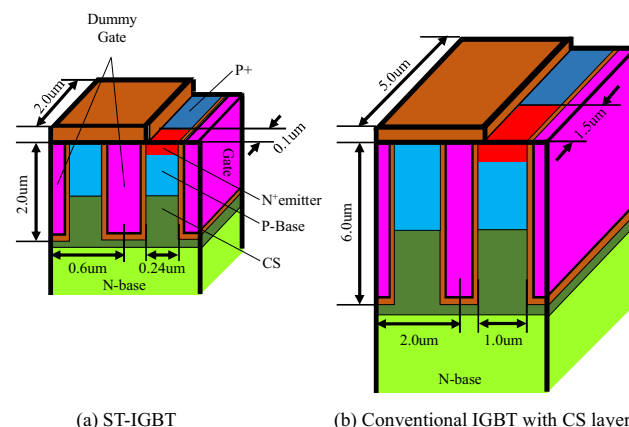


図 1 ST-IGBT セル構造
Fig. 1. ST-IGBT cell structure.

セル構造の設計に際して、トレンチゲートの深さを 2.0 μm 、不純物層の深さを 2.5 μm 以下とし、従来 IGBT よりも構造全体を浅くした。一般に、トレンチゲートを浅くするとオン電圧 $V_{ce(sat)}$ とターンオフロス E_{off} のトレードオフが悪化する。これを改善するため、トレンチピッチを 0.6 μm まで狭め、CS(Carrier Stored)層⁽⁶⁾を追加した。トレンチピッチを狭くすると、負荷短絡時に P ベースの電位が上がり、飽和電流が増加する問題がある。そこで、N+ソース幅を 0.1 μm に狭くすることにより、この問題を回避した⁽⁷⁾。トレンチゲートの一部はエミッタ電極とショートすることにより、飽和電流と寄生容量を抑制した。構造パラメータを表 1 に示す。

表 1 セル構造パラメータ (単位 μm)
Table 1. Cell's structural parameters (Unit: μm).

	ST-IGBT	Conventional IGBT with CS layer
基板厚	110	110
トレンチピッチ	0.6	2.0
メサ幅	0.24	1.0
トレンチ深さ	2.0	6.0
ゲート酸化膜厚	0.1	0.1
P ベース深さ	0.8	2.4
CS 層深さ	2.5	7.0
奥行方向繰返しピッチ	2.0	5.0
N+ソース幅	0.1	1.5
FLR 深さ	2.5	-

提案するプロセスフローを図 2 に示す。まず、終端構造を構成する酸化膜と P 層を形成する。次にセル部に深さ 2 μm のトレンチゲートを形成する。続いて、CS 層と P ベース層を形成する。CS 層の深さは 2.5 μm 、P ベース層の深さは 0.8 μm であり、それぞれ 1MeV のリンイオン注入と 240keV の硼素イオン注入により形成する。トレンチゲートが浅いため、CS 層や P ベース層も浅く形成するが、これらの不純物分布はほぼイオン注入のみで決定される。RTA は注入された不純物の活性化のみを目的とし、従来 IGBT のような高温長時間の熱拡散は行わない。ここで、トレンチゲートを他の拡散層より先に形成する理由は、ゲート酸化の際に P ベース層の硼素や CS 層のリンが増速拡散することを防ぐ共に、硼素がゲート酸化膜に吸い出されることを防ぐためである。これらの工夫により、プロセスばらつきの低減が期待できる。また、ゲート酸化以外は低温プロセスであることから、キャリアライフタイムの改善が期待できる。

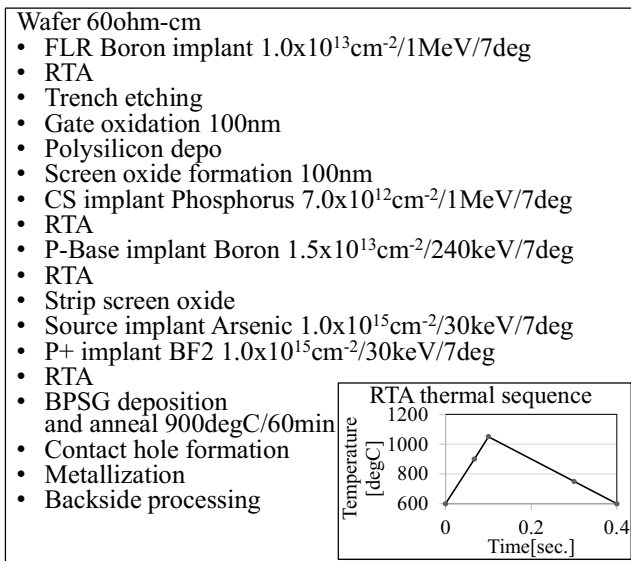


図 2 プロセスフロー
Fig. 2. Process flow

三次元プロセスシミュレータ Sentaurus Process 3D を使い、プロセスフローを検証した。プロセスシミュレーションでは次の点に留意した。

1. 微細 MOSFET を高精度に計算するためキャリブレーションされた、最新のパラメータセット⁽⁸⁾を用いた。
2. RTA のシーケンスは、微細 MOSFET で用いられている代表的なもの⁽⁹⁾を使用した。
3. トレンチゲートを形成した後にイオン注入を行うため、モンテカルロイオン注入モデルを用いた。

プロセスシミュレーションで作成した構造を用いてデバイスシミュレーションを実行し、各種特性を評価した。使用した物理モデルを表 2 に示す。

表 2 デバイスシミュレーションで使用した物理モデル
Table 2. Physical models for device simulations.

Model category	Models
Carrier transport	Drift-diffusion Thermodynamic
Intrinsic density	Bandgap narrowing
Mobility	Temperature dependence Doping concentration dependence High electric field dependence Carrier-carrier scattering effect Normal electric field dependence in the MOS channel
Generation-Recombination	Shockley-Read-Hall (Carrier lifetime=10us (electron), 3us (hole)) Auger Avalanche (University of Bologna)

3. セル構造 シミュレーション結果と考察

三次元プロセスシミュレーションを用いて作成した ST-IGBT 構造を図 3 に示す。図 4 に示すように、注入された硼素および磷イオンは、RTA によってほぼ完全に活性化されることを確認した。

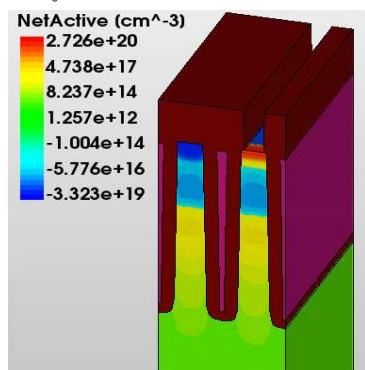


図 3 プロセスシミュレーションを用いて作成した ST-IGBT セル構造

Fig. 3. Process simulated ST-IGBT cell structure.

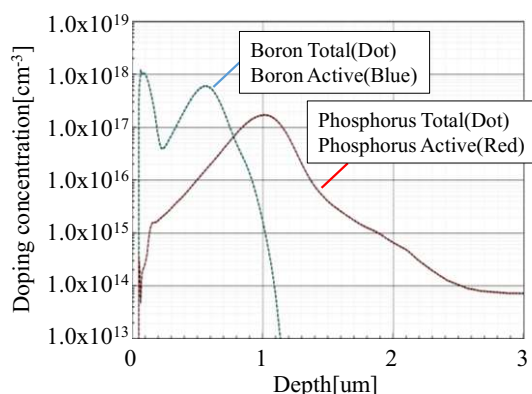


図 4 P ベースおよび CS 層の不純物プロファイル (実線: 総量、破線: 活性化した量)

Fig. 4. Total and active concentration profiles of P-Base and CS layers.

デバイスシミュレーションにおいては、図 1(b)に示すような、深いトレンチゲートと CS 層を有する従来 IGBT モデルを別途作成し、比較を行った。このモデルは、負荷短絡時の飽和電流が ST-IGBT と同等になるよう調整している。構造パラメータを表 1 の右側に示す。

順方向特性を図 5 に示す。ST-IGBT の $200\text{A}/\text{cm}^2$ におけるオン電圧は 1.22V であり、従来 IGBT より 0.2V 程度低い。オン状態におけるキャリア密度分布を図 6 に示す。N ベースにおけるキャリア密度は同等だが、従来 IGBT は深いトレンチゲートの底部付近でキャリア密度の低下がみられる。

図 7 にメサ内部の静電ポテンシャル分布を示す。ST-IGBT の低いオン電圧は、浅いセル構造によって得られたことを示している。図 8 に MOS チャネル界面における擬フェルミポテンシャルを示す。 $V_{ce(sat)}$ の改善は、主に短チャネル化によることを示している。

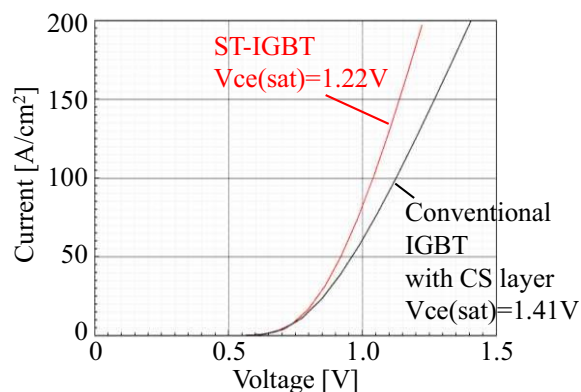


図 5 Ic-Vc 特性

Fig. 5. Ic-Vc characteristics.

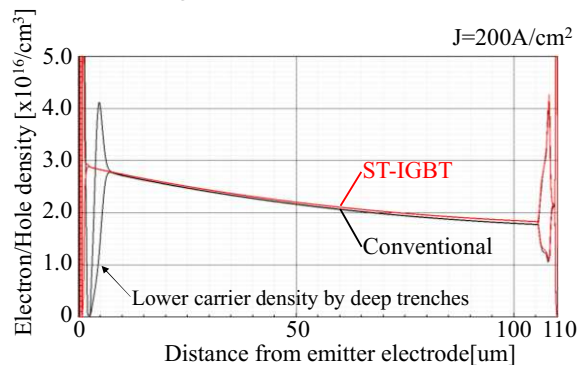


図 6 オン状態におけるキャリア密度分布

Fig. 6. On-state carrier distribution profiles.

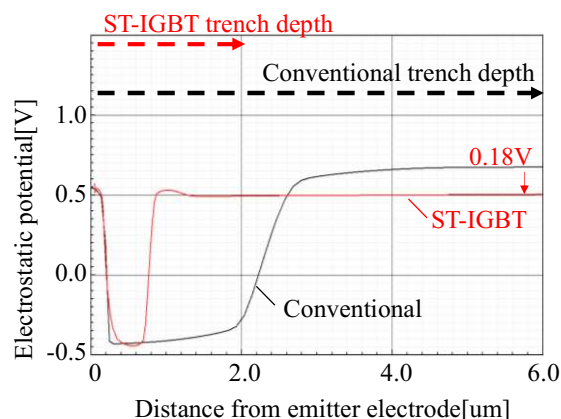


図 7 メサ内部の静電ポテンシャル分布

Fig. 7. Potential distributions in the mesa region inside the trenches.

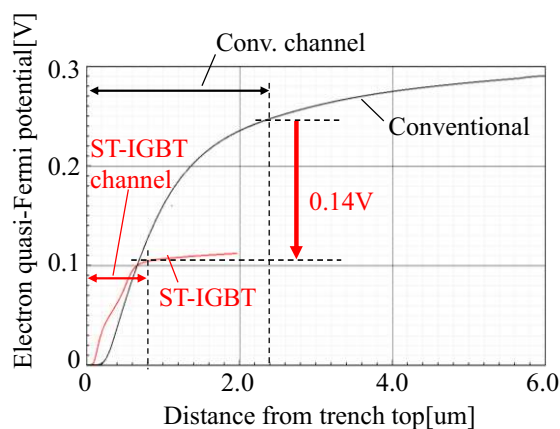


図 8 MOS チャンネル界面における
電子の擬フェルミポテンシャル分布

Fig. 8. Electron quasi-Fermi potential along the MOS channels.

寄生容量の比較を図 8 に示す。ST-IGBT は従来 IGBT に比べ低いコレクタ電圧で容量が低下する。これは、ST-IGBT のメサ幅が狭いため、ゲート電極がフィールドプレートとして働いた結果、低いコレクタ電圧からメサ内部の空乏化が進むためである。

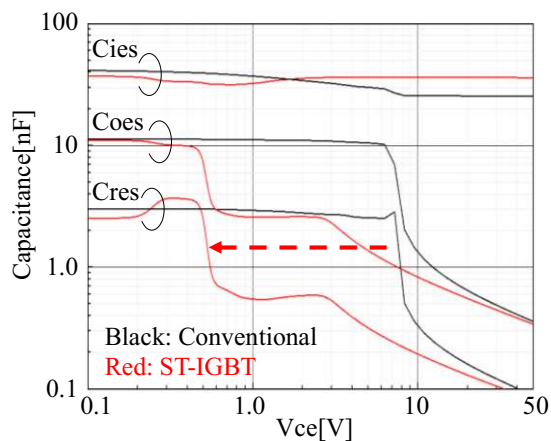


図 9 容量特性

Fig. 9. C-Vce characteristics.

L 負荷ターンオフ特性およびターンオン特性を図 10, 11 に示す。ターンオフに関して、ST-IGBT は従来 IGBT よりも遅延時間が短いことが確認できる。これは、図 9 で示したように Cres 特性の変曲点が低電圧側に寄ったためと考えられる。N ベースのキャリア密度分布が同等のため、 dI/dt や dV/dt もほぼ同等である。図 12 に $V_{ce(sat)}$ - E_{off} トレードオフ曲線を示す。ST-IGBT は従来 IGBT に比べ $V_{ce(sat)}$ を約 0.15V 改善した。

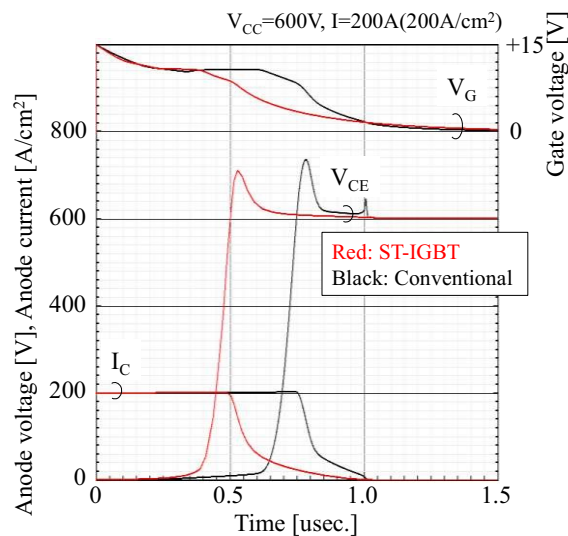


図 10 ターンオフ特性

Fig. 10. Turn-off characteristics.

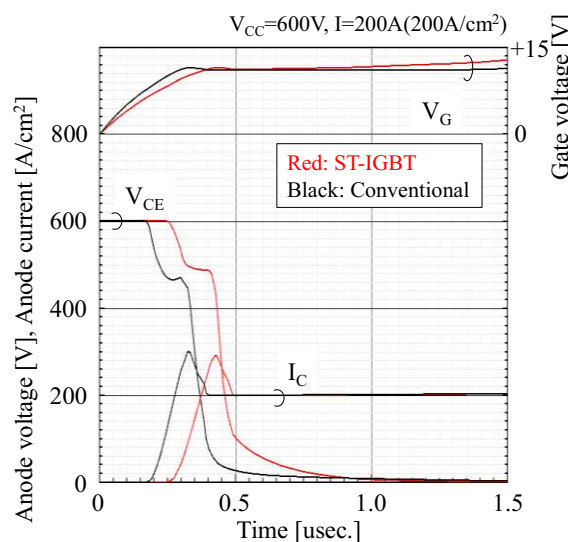


図 11 ターンオン特性

Fig. 11. Turn-on characteristics.

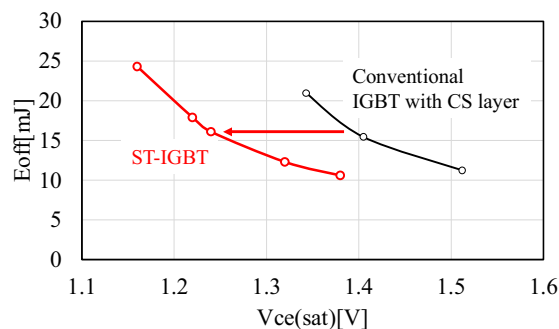


図 12 $V_{ce(sat)}$ - E_{off} トレードオフ

Fig. 12. Trade-off relationship between $V_{ce(sat)}$ and E_{off} .

図 13 に ST-IGBT の負荷短絡特性を示す。15V 駆動時の飽和電流を約 900A/cm² に抑制し、10us の負荷短絡耐量を有することを確認した。負荷短絡時に飽和電流が 1000A/cm² を超えると、MOSFET-Mode に入り電流集中によって破壊に至ることが示されている⁽¹⁰⁾。

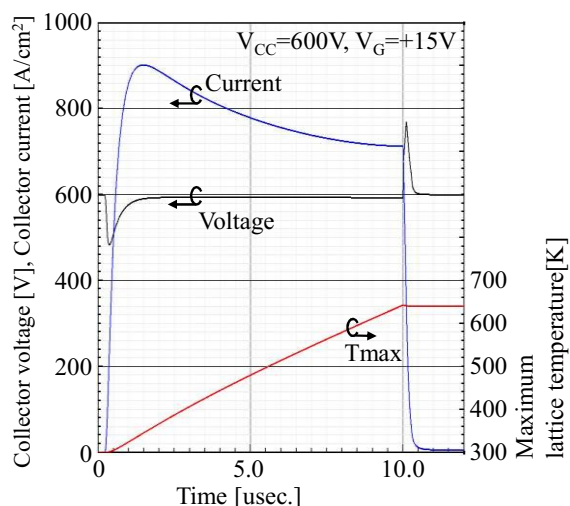


図 13 負荷短絡波形

Fig. 13. Short-circuit waveforms of ST-IGBT.

4. 終端構造 シミュレーション結果と考察

ST-IGBT に対応する終端構造の断面図を図 14 に示す。終端構造は多数の浅い P 層から構成されている⁽¹¹⁾。P 層は 1MeV の硼素イオン注入と RTA で形成する。P 層の深さは 2.5um とし、セル部のトレンチ底面よりも深くなるように設計した。P 層のピーク濃度は $2.0 \times 10^{17} \text{cm}^{-3}$ である。

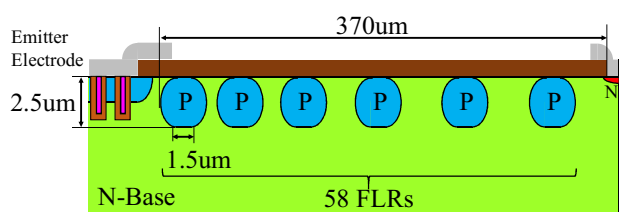


図 14 提案する終端構造

Fig. 14. Proposed edge termination structure.

終端長および P 層の本数・ピッチは、ベイズ最適化を用いて決定した。最適化に際しては、ブレイクダウン電圧を最大化し、シリコン/酸化膜界面の電界強度を最小化するという目的関数を設定した。図 15 に最適化の推移を示す。最適な終端長は 370um と求められ、このときブレイクダウン電圧は 1623V、最大電界強度は 0.12MV/cm となった。P 層の本

数は 58 である。

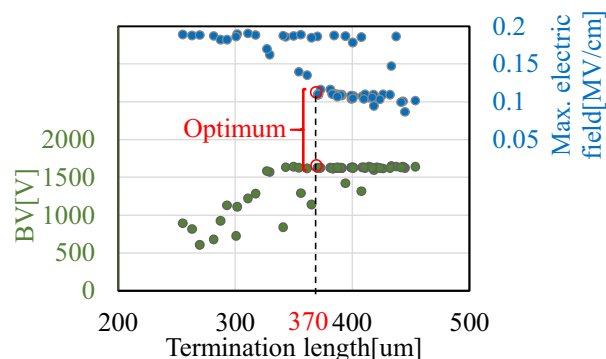


図 15 最適化の推移

Fig. 15. Optimization trajectories.

図 16 にブレイクダウン特性を示す。1200V 級のデバイスとして十分なブレイクダウン電圧が得られた。図 17 にシリコン/酸化膜界面の電界強度分布を示す。

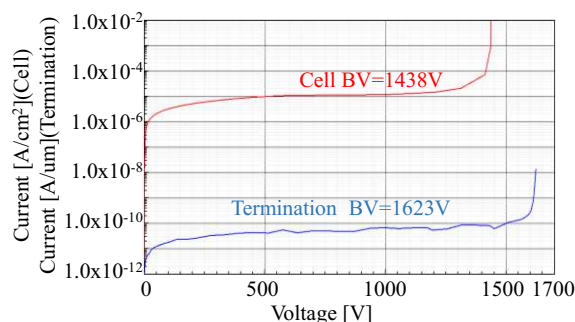


図 16 ブレイクダウン特性

Fig. 16. Breakdown waveforms.

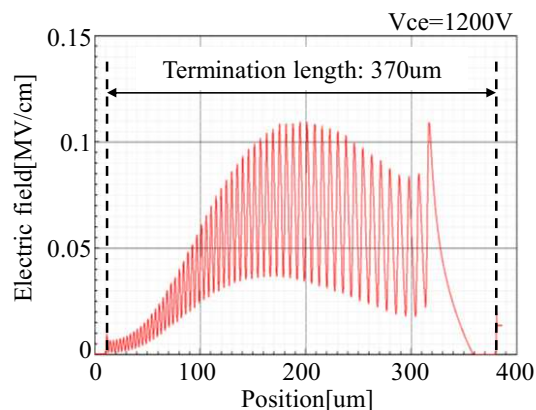


図 17 シリコン/酸化膜界面における電界強度分布

Fig. 17. Electric field distribution along Silicon-Oxide interface

5. まとめ

12 インチウェーハによる量産化を考慮した、浅いトレンチゲートを有する ST-IGBT 構造およびプロセスフローを提案した。トレンチゲート深さを $2\mu\text{m}$ とし、拡散層深さを $2.5\mu\text{m}$ 以下とした。拡散層はイオン注入と RTA のみで形成し、熱拡散を抑制することにより、プロセスばらつきの低減に留意した。三次元プロセスデバイスシミュレーションによる検証を行い、従来 IGBT よりも $V_{ce(sat)}$ - E_{off} トレードオフを改善できることを示した。

文 献

- (1) M. Tanaka, N. Abe and A. Nakagawa, "A 15V operated Shallow Trench IGBT(ST-IGBT) fabricated by low temperature process and optimized for 12inch wafers," Proc. of ISPSD2023, pp. 147-150 (2023)
- (2) M. Tanaka and I. Omura, "IGBT scaling principle toward CMOS compatible wafer processes," Solid-State Electronics 80, pp.118-123 (2013)
- (3) K. Kakushima, T. Hoshii, K. Tsutsui, A. Nakajima, S. Nishizawa, H. Wakabayashi, I. Muneta, K. Sato, T. Matsudai, W. Saito, T. Saraya, K. Itou, F. Fukui, S. Suzuki, M. Kobayashi, T. Takakura, T. Hiramoto, A. Ogura, Y. Numasawa, I. Omura, H. Ohashi and H. Iwai, "Experimental verification of a 3D scaling principle for low $V_{ce(sat)}$ IGBT," Proc. of IEDM2016, pp. 10.6.1-10.6.4 (2016)
- (4) T. Saraya, K. Itou, T. Takakura, M. Fukui, S. Suzuki, K. Takeuchi, M. Tsukuda, Y. Numasawa, K. Satoh, T. Matsudai, W. Saito, K. Kakushima, T. Hoshii, K. Furukawa, M. Watanabe, N. Shigyo, K. Tsutsui, H. Iwai, A. Ogura, S. Nishizawa, I. Omura, H. Ohashi and T. Hiramoto, "Demonstration of 1200V Scaled IGBTs Driven by 5V Gate Voltage with Superiorly Low Switching Loss," Proc. of IEDM2018, pp. 8.1.1-8.1.4 (2018)
- (5) K. Nishi, Chen Ze, Koji Tanaka, Keisuke Eguchi, Takamasa Miyazaki and Akihiko Furukawa, "Self-Turn-on-Free 1200V Scaled CSTBT™ Driven by 5V Gate Voltage with Wide SOA," Proc. of ISPSD2021, pp. 23-26 (2021)
- (6) H. Takahashi, H. Haruguchi, H. Hagino and T. Yamada, "Carrier Stored Trench-Gate Bipolar Transistor (CSTBT)-A Novel Power Device for High Voltage Application-," Proc. of ISPSD1996, pp. 349-352 (1996)
- (7) 伊倉・小野澤・中川:「15V 駆動の微細 IGBT における電流飽和メカニズムの研究」電気学会研究会資料, Vol. EDD-20-76, SPC-20-226 (2020)
- (8) Advanced Calibration for Process Simulation User Guide, TCAD Sentaurus T-2022.03, Synopsys (2022)
- (9) Applications Library, TCAD Sentaurus T-2022.03, Synopsys (2022)
- (10) M. Tanaka and A. Nakagawa, "Simulation studies for short-circuit current crowding of MOSFET-Mode IGBT," Proc. of ISPSD2014, pp. 119-122 (2014)
- (11) K. Seto, J. Takaishi, H. Imaki, M. Tanaka, M. Tsukuda and I. Omura, "Sub-micron Junction Termination for 1200V Class Devices toward CMOS Process Compatibility," Proc. of ISPSD2013, pp.281-284 (2013)