

横型 SOI 高速ダイオードの逆回復動作におけるダイナミックアバランシェ現象の解析とその抑制構造の検討

山本 貴生* 加藤 久登 戸倉 規仁 (柁デンソー)
中川 明夫 (中川コンサルティング事務所)

Analysis of dynamic avalanche phenomenon in SOI lateral high speed diode during reverse recovery and proposal of novel device structure suppressing the dynamic avalanche
Takao Yamamoto*, Hisato Kato, Norihito Tokura (DENSO CORPORATION)
and Akio Nakagawa (Nakagawa Consulting Office)

We have studied the dynamic avalanche phenomenon in SOI lateral diode during the reverse recovery using mixed-mode device simulation. It is found that the localized impact ionization occurs near the anode-side field oxide edge, where a high density of hole current flows and a high electric field appears simultaneously. We propose, for the first time, that the p-type anode extension region along the trench side-wall effectively sweep out the stored carriers beneath the anode p-diffusion layer during the reverse recovery, resulting in the reduction of the electric field and the remarkable suppression of the dynamic avalanche. The anode extension region does not cause any increase in anode injection efficiency in the forward bias operation. Thus, the proposed SOI lateral diode structure is promising as a high speed and highly rugged diode in the next generation micro-inverters.

キーワード：インバータ，SOI，横型ダイオード，逆回復，ダイナミックアバランシェ，デバイスシミュレーション
(Inverter, SOI, Lateral Diode, Reverse recovery, Dynamic avalanche, Device simulation)

1. はじめに

15 μm 程度の厚膜シリコン層を持つ SOI 基板を使用し，横型ダイオード (LDiode)，LIGBT，及び制御回路等をトレンチ分離技術によりモノリシック化した SOI インバータ IC が開発され^(1,2)，実用化されている。SOI インバータ IC のハイパワー化や高効率化を図るためには，LDiode と LIGBT を低オン電圧化，高速化することが必要である。

図 1 に，インバータに使用される一般的な高速ダイオードの逆回復 (リカバリ) 動作の模式的な波形を示す。ダイオードのアノード電流 I_A は，まず順方向電流 I_F を通電した後，リカバリ動作に移る。リカバリ特性に関する性能指標は，設定された di/dt 条件における逆回復電荷 Q_{rr} ，逆回復時間 t_{rr} ，そして逆回復ピーク電流 I_{RM} であり⁽³⁾，共に小さくすることが求められる。

LDiode を高速化するには，まず Q_{rr} を小さくする必要がある。そのためには，順方向動作時のアノード注入効率を低く設計することが必要で， p^-/p^+ アノード構造を採用することで可能になる^(4,6)。また， t_{rr} を短縮するには，LIGBT

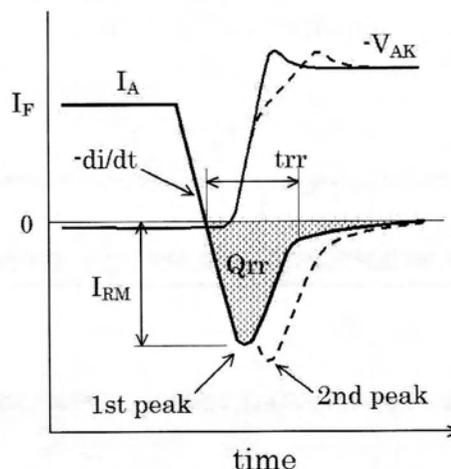


図 1 ダイオードの一般的なリカバリ動作波形，実線：ダイナミックアバランシェなし，点線：ダイナミックアバランシェあり

を高速動作させ， di/dt を大きくすることで可能になるが，同時に I_{RM} も増加する。さらに di/dt を大きくすると，ダイ

ナミックアバランシェ⁽³⁾に起因する 2nd peak が現れると共に I_{RM} の増加が顕著になり⁽⁶⁾、破壊に至るという問題がある。中川らの報告では、6 セルからなる素子面積 0.74mm^2 の LDiode のリカバリ特性は、電源電圧 V_{CC} 、順方向電流 I_F 、 di/dt がそれぞれ 300V 、 5A （電流密度は約 $650\text{A}/\text{cm}^2$ ）、 $-30\text{A}/\mu\text{sec}$ の時、 I_{RM} 、 t_{rr} はそれぞれ 5.5A 、 300nsec と良好な高速特性を示しているが、リカバリ波形には 1st peak よりも高い 2nd peak が現れている⁽²⁾。

リカバリ動作時のデバイス内部の動作解析やダイナミックアバランシェ現象⁽³⁾に関して、縦型ダイオードの報告例は多いが⁽⁷⁾、SOI 型 LDiode の報告例は極めて少なく⁽⁶⁾、ダイナミックアバランシェに関して詳しく論じられていない。

本報告では、デバイスシミュレータを使用して、まず従来構造の SOI 型 LDiode についてリカバリ特性を計算し、ダイナミックアバランシェが顕在化する時のデバイス内部の動作を詳しく解析した。次に、この解析と理解に基づいてダイナミックアバランシェを抑制する新しい構造を提案し、その効果をシミュレーションで検証した。

2. 従来型 SOI LDiode のリカバリ動作解析

〈2.1〉デバイス構造とシミュレーション解析

まず、図 2(a) に従来技術に基づいて LDiode と LIGBT を SOI 基板に集積したデバイスの概略構造図を示す。定格耐圧 600V を想定し、 n^- シリコン層の厚さと埋め込み酸化膜 (BOx) の厚さを、それぞれ $15\mu\text{m}$ 、 $6\mu\text{m}$ に設定した。デバイス表面の電界緩和には、Scroll-shaped Resistive Field Plate (SRFP)⁽⁸⁾ を想定した構造を採用し、高速化のために、LDiode のアノードには低濃度 p ウエルと高濃度 p^+ 層からなる低注入効率の p^-/p^+ アノード構造を採用した⁽⁵⁾。

図 2(b) に、シミュレーションに使用した LDiode のデバイス構造を示す。耐圧 600V を得るため、 n^- ドリフト層の

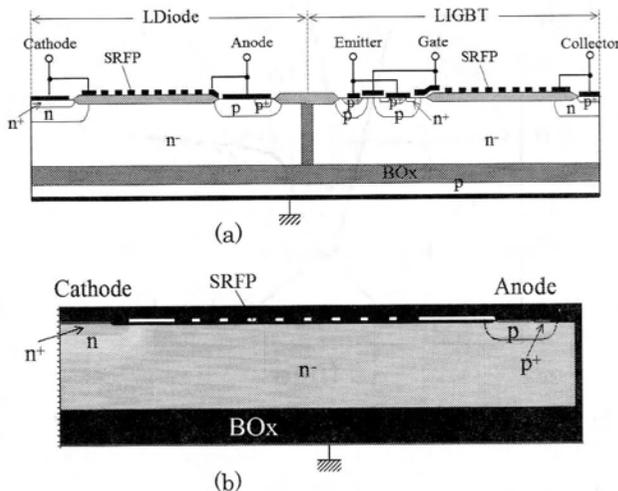


図 2 従来型 LDiode と LIGBT のデバイス構造、(a) LDiode と LIGBT を SOI 基板に集積したデバイス構造、(b) シミュレーションに用いた LDiode 構造

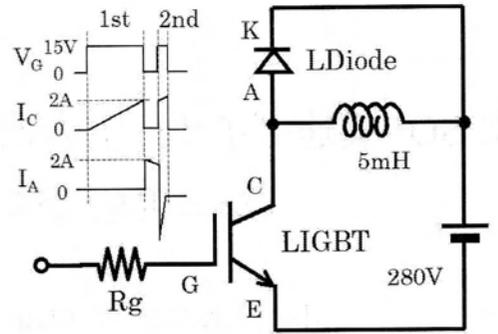


図 3 LDiode と LIGBT からなるリカバリ特性評価のための回路構成 (Mixed-mode simulation)

幅幅と不純物濃度を、それぞれ $92\mu\text{m}$ 、 $7 \times 10^{14}\text{cm}^{-3}$ に設定した。また、順方向電流 2A 時の電流密度を報告例⁽²⁾の $650\text{A}/\text{cm}^2$ に等しくするため、奥行き (Area Factor) を 3.4mm に設定し、LDiode の総面積を 0.31mm^2 とした。 p^-/p^+ アノード構造については、低濃度 p ウエル内に高濃度 p^+ 層を形成し、アノード電極にコンタクトする低濃度 p ウエル表面と高濃度 p^+ 層表面の面積比は 3:1 に設定した。

一方、LIGBT の構造は、 n^- ドリフト層の構造は LDiode と同様とし、ゲート酸化膜厚を 80nm 、LIGBT の総面積を LDiode に対して 6.9 倍の 2.16mm^2 に設定した。

図 3 に、LDiode のリカバリ特性の解析を行うための Mixed-mode シミュレーションの回路構成を示し、図 2 に示した LIGBT で LDiode を駆動する。電源電圧 $V_{CC}=280\text{V}$ 、負荷インダクタンス $=5\text{mH}$ 、ゲート抵抗 R_g はアノード電流 I_A の di/dt に応じて設定した。スイッチング動作のシーケンスは、ゲートにダブルパルスを印加し、1st pulse の立ち下がり で LDiode にフリーホイーリング電流を供給し、2nd pulse の立ち上がり で LDiode をリカバリ動作させ、その時の過渡特性を解析した。シミュレータは DESSIS⁽⁹⁾ を使用した。

〈2.2〉シミュレーション結果とリカバリ動作解析

図 4 に、従来型 LDiode のリカバリ特性を示す。0sec で、 R_g を介して LIGBT のゲートにステップ電圧を印加する。 $R_g=1.5\text{k}\Omega$ の場合、ターンオン前の時刻 $t_1 (=10\text{nsec})$ において、LDiode に 2A のフリーホイーリング電流が流れている。約 40nsec 経過後 LIGBT がターンオンし、LDiode のアノード電流 I_A は $-80\text{A}/\mu\text{sec}$ の di/dt で減少する特性を示した。他方、 $R_g=3\text{k}\Omega$ の場合、 di/dt は $-43\text{A}/\mu\text{sec}$ であり、 R_g の設定により di/dt を可変できることを確認した。なお、図 4 に示した $R_g=3\text{k}\Omega$ の場合の波形は、便宜上、左方向へ 40nsec シフトさせてあり、 I_A が低下を始める時刻が約 40nsec になるように操作して示してある。

$1.5\text{k}\Omega$ の場合、 I_A は 115nsec 付近でピーク値を取るが、その形状が歪んでいることからダイナミックアバランシェが発生していると考えられる。リカバリ動作時の I_A は、空乏化により n^- ドリフト層に蓄積されたキャリアの排出と、

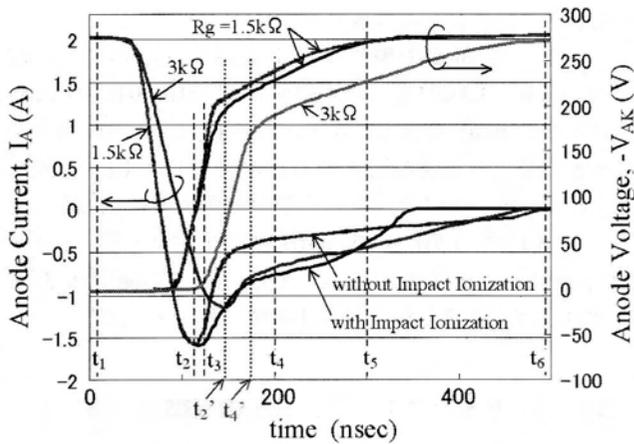


図4 従来型LDiodeのリカバリ特性, di/dt は $-80A/\mu\text{sec}$ ($R_g=1.5k\Omega$), $-43A/\mu\text{sec}$ ($R_g=3k\Omega$)

ダイナミックアバランシェによりデバイス内部で新たに生成されたキャリアの供給の和で与えられる。そこで、n-ドリフト層に蓄積されたホールの掃き出しのみによる電流ピークを調べるために、DESSISのPhysicsの一項目である衝突イオン化 (Impact Ionization) 機能をオフにした条件にて計算し、結果を図4に示す。図より、 I_A は t_2 ($=112\text{nsec}$) でシャープなピーク波形を呈することが確認された。これに対し、衝突イオン化機能をオンにした場合の波形は t_2 において変曲点を呈しており、この点を1st peak ($=-1.57A$,

112nsec) と見なした。

衝突イオン化機能をオンにした場合の、1st peak以降の波形は、5nsec経過した t_3 ($=117\text{nsec}$) において最大値を取るから、これを2nd peak ($=-1.59A$) と判断した。その後、 I_A は370nsecまで単調減少する。一方、 $3k\Omega$ の場合、 t_2' ($=148\text{nsec}$) で1st peak ($=-1.14A$) を取るが、2nd peakは発生せず475nsecまで単調減少する。なお、図4に示したアノード電圧 V_{AK} の波形は、約 $-200V$ において折線的に変化するが、これはLIGBTのターンオン特性に起因している。

$R_g=1.5k\Omega$ の場合に発生する2nd peakはダイナミックアバランシェに起因すると考えられるが、そのメカニズムを詳しく調べるために、図4に示した6つの時刻 t_1 (ON状態, $2.0A$), t_2 (1st peak, $-1.57A$), t_3 (2nd peak, $-1.59A$), t_4 (テール初期, $-0.76A$), t_5 (テール中央, $-0.40A$), t_6 (OFF状態, $0A$) において、6つのパラメーター電位 V 、衝突イオン化率 $I.I.$ 、電界強度 E 、ホール濃度 N_p 、およびホール電流密度 J_p に着目してLDiodeの内部状態を分析し、その結果を図5に二次元マップで、図6に点Aにおける E 、 J_p 及び $I.I.$ の時間変化をグラフで示す。

2nd peakを挟む $t_2 \sim t_4$ の期間に注目すると、図5の電位分布等の変化から、空乏化はまず低濃度pウエルから BO_x 界面に向かって拡がるが、2nd peakの t_3 においても $5\mu\text{m}$ 程度であり、空乏層の拡がりは遅い。このため、 t_3 における電界強度分布は低濃度pウエルのコーナ部からフィールド

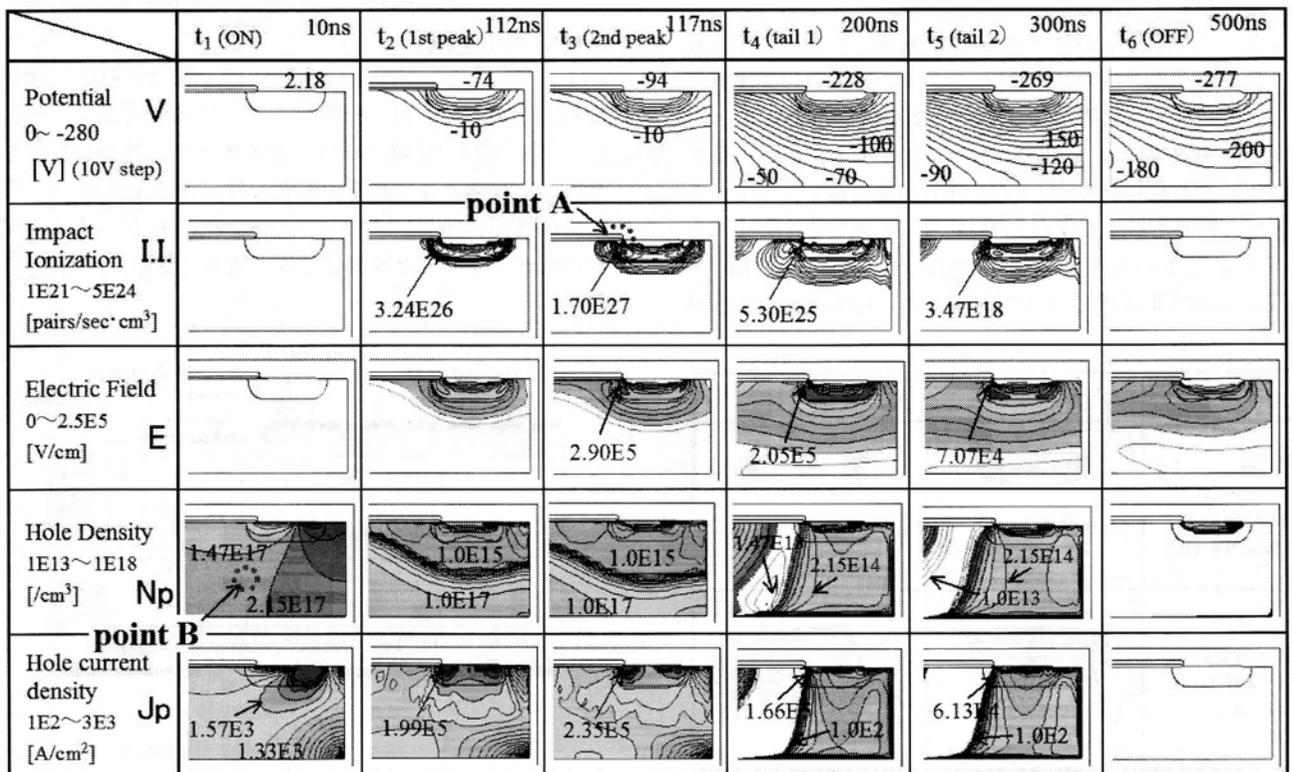


図5 $t_1 \sim t_6$ における従来型LDiodeのアノード領域の電位、衝突イオン化率、電界強度、ホール濃度、およびホール電流密度分布の時間変化, $di/dt=-80A/\mu\text{s}$ ($R_g=1.5k\Omega$)

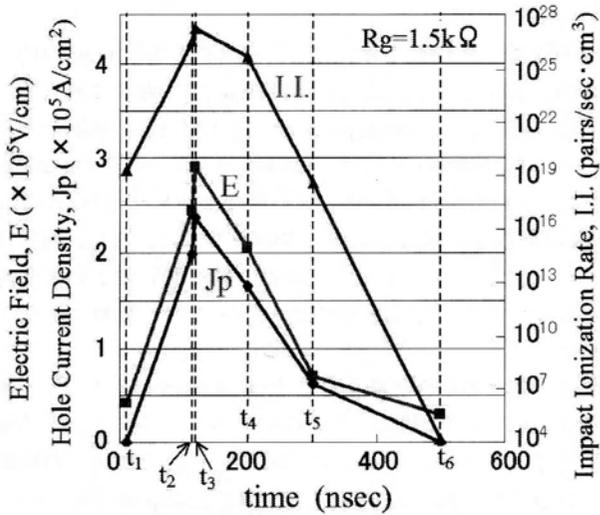


図6 従来型 LDiode の A 点における電界強度 E, ホール電流密度 J_p , 衝突イオン化率 I.I. の時間変化, $di/dt = -80A/\mu s$ ($R_g = 1.5k\Omega$)

酸化膜端部にかけて集中し, A 点のシリコン表面で $2.90 \times 10^5 V/cm$ に達する。また, t_3 におけるホール電流密度分布は, n⁻ドリフト層から掃き出されたホールが, 低濃度 p ウェルに向かって集中して流れ, A 点のシリコン表面で $2.35 \times 10^5 A/cm^2$ に達する。この結果, t_3 において A 点で $1.70 \times 10^{27} pairs/sec \cdot cm^3$ の衝突イオン化が発生し, これがダイナミックアバランシェの原因であることが明らかになった。

t_4 付近で BOx に到達した空乏層は, その後はカソード方向に向きを変え, BOx に並行に拡がる。図 6 から, ダイナミックアバランシェが発生するのは $t_2 \sim t_4$ の期間に限られているが, その直接の原因は A 点がこの期間だけ高電界になり, 衝突イオン化率が著しく高くなるためであった。

テール中央部の t_5 ($=300nsec$) においても, A 点のホール電流密度が $6.13 \times 10^4 A/cm^2$ と極めて高い値を保っている理由は, 蓄積ホールが継続して A 点を通してアノードへ掃き出されるからである。しかし, 電界強度が $7.07 \times 10^4 V/cm$ まで低下することで衝突イオン化は激減し, ダイ

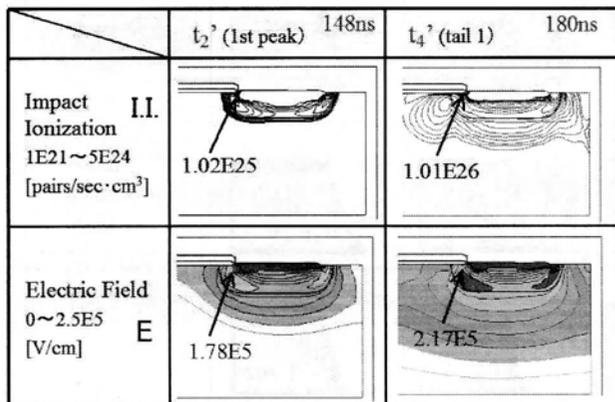


図7 t_2' と t_4' における従来型 LDiode 内部の衝突イオン化率と電界強度分布の時間変化, $di/dt = -43A/\mu s$ ($R_g = 3k\Omega$)

ナミックアバランシェは発生していない。

一方で, $R_g = 3k\Omega$ の場合, 図 4 に示す 1st peak の t_2' ($=148nsec, -1.14A$) とテール初期の t_4' ($=180nsec, -0.75A$) における LDiode の内部状態を, E と I.I. のみについて図 7 に示す。図 7 の t_2' 及び図 5 の t_3 における E と I.I. の比較から, E は $2.90 \times 10^5 V/cm$ から $1.78 \times 10^5 V/cm$ へ約 2/3 に低下し, I.I. は $1.70 \times 10^{27} pairs/sec \cdot cm^3$ から $1.02 \times 10^{25} pairs/sec \cdot cm^3$ へ約 2 桁減少する。これらの減少は, di/dt が $-80A/\mu s$ から $-43A/\mu s$ へ約 1/2 緩和したことに因る。

3. ダイナミックアバランシェの制御

LDiode のリカバリ動作におけるダイナミックアバランシェの制御について考える。<2.2>より, ダイナミックアバランシェが発生する条件は, 図 5 に示す様に, A 点において高いホール電流密度と高い電界強度が同時に発生することであることが確認された。高速ダイオードを実現するためには, 高い di/dt においても, A 点における E を低く抑えることが最も効果的であると考えられる。

<3.1> ダイナミックアバランシェ抑制の考え方

LDiode のアノード領域の構造を工夫することで, リカバリ過程における A 点の電界を緩和する方法を検討する。図 5 に示す電位分布等の時間変化から, 従来型 LDiode の空乏化は図 8 に示す実線の矢印①~⑤の順で進行し, これは図 5 の時刻 $t_2 \sim t_6$ に対応する。図 5 に示す電位分布の推移から空乏化は二段階で進行し, ①→②→③は縦方向, ③→④→⑤は横方向に進む。

ここで, もし, 点線の矢印①~⑤の順で直線的に進行させることができれば, 空乏化を速くすることができる。すなわち, リカバリ時に一次元ダイオードと等価な動作をさせるという考え方である。著者らは, 図 8 に示すようにトレンチ側面に p 型のアノード延長領域を配置することで, 一次元ダイオードと等価な動作が実現できると考えた。

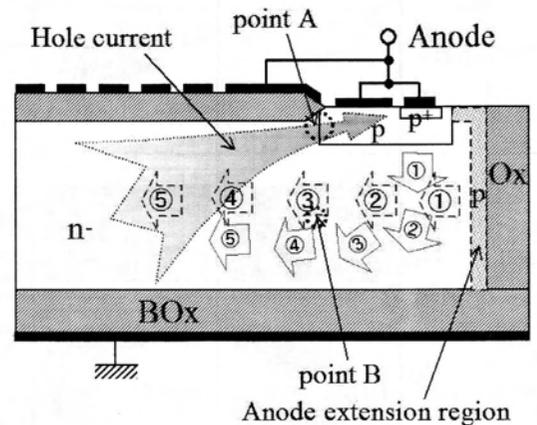


図8 p型アノード延長領域を付加し, 一次元ダイオード構造に近づけた LDiode 構造と空乏化過程の促進

〈3・2〉アノード延長型 SOI LDiode の提案

図 9 に、シミュレーションに用いたアノード延長領域を備えた SOI LDiode (以下、アノード延長型 LDiode) のデバイス構造を示す。アノード延長領域の表面不純物濃度と厚さは $1 \times 10^{20} \text{cm}^{-3}$, $1 \mu\text{m}$ (Type-I) に設定した。なお、p 型のアノード延長領域を除けば、図 2(b) の従来型 LDiode と同一構造である。シミュレーション解析の要領は〈2.1〉と同様であり、LDiode と LIGBT を組み合わせてリカバリ特性解析を行った。

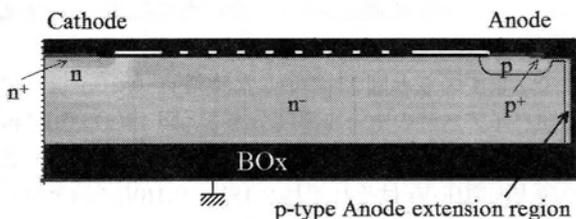


図 9 シミュレーションに用いたアノード延長型 LDiode の構造

〈3・3〉シミュレーション結果とリカバリ動作解析

図 10 に、アノード延長型 LDiode のリカバリ特性を、従来型 LDiode (図 4 の波形) と比較して示す。ただし、 di/dt

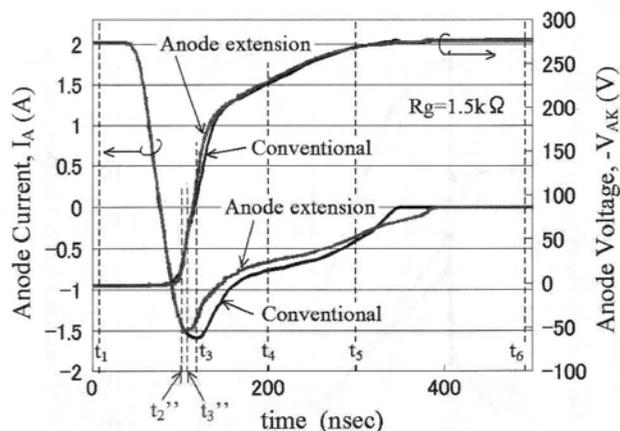


図 10 アノード延長型 LDiode と従来型 LDiode のリカバリ特性比較, $di/dt = -80 \text{A}/\mu\text{sec}$ ($R_g = 1.5 \text{k}\Omega$)

は $-80 \text{A}/\mu\text{sec}$ ($R_g = 1.5 \text{k}\Omega$) の場合のみとした。

図 10 より、アノード延長型の 1st peak は $t_2'' (=103 \text{nsec}, -1.51 \text{A})$ であり、従来型の $t_2 (=112 \text{nsec}, -1.57 \text{A})$ よりも 9nsec だけ早い。が、 t_2'' までのアノード電流波形はほぼ重なる。 t_2'' 以降、両者の波形は分離し、従来型は 2nd peak の $t_3 (=117 \text{nsec}, -1.59 \text{A})$ まで増加し、その後減少に転じる。一方、アノード延長型は t_2'' 以降単調減少するが、 5nsec 後の $t_3'' (=108 \text{nsec}, -1.49 \text{A})$ で変曲点を取る。この変曲点を 2nd peak と見なした。両者の Q_{rr} は 184nC , 205nC であ

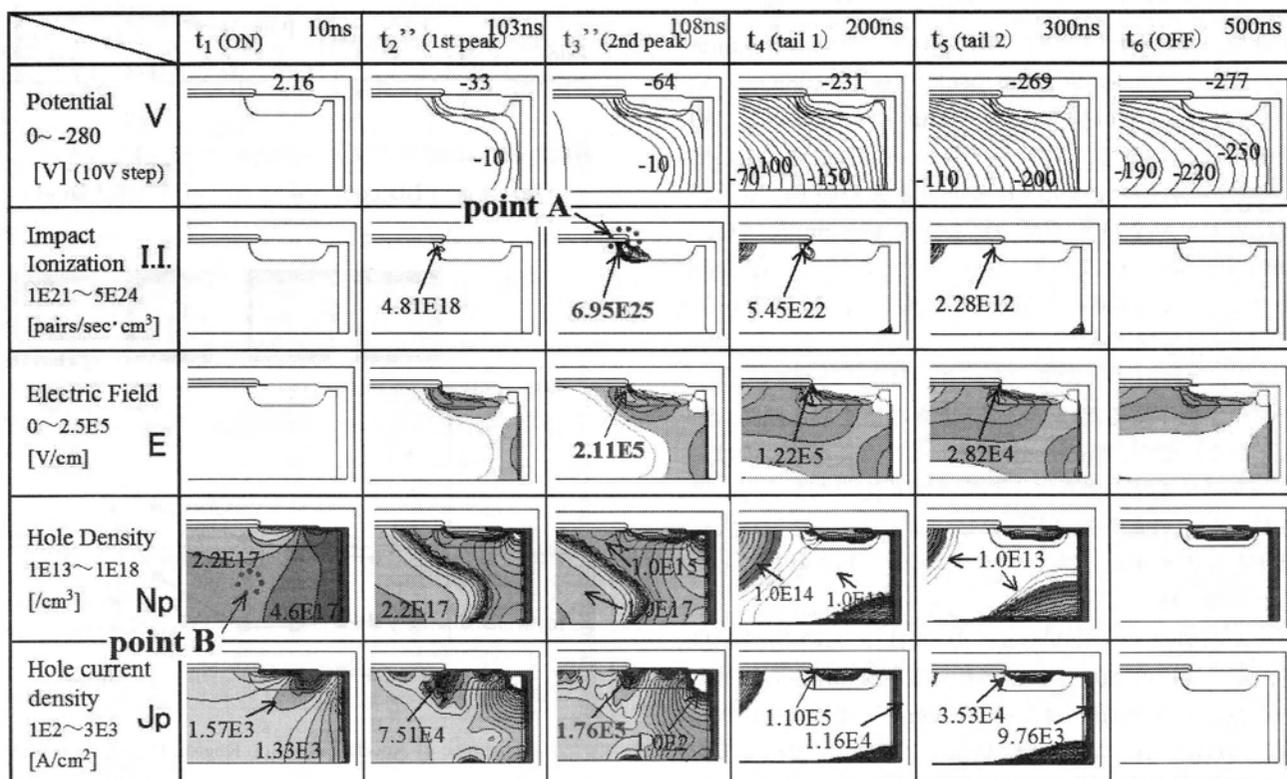


図 11 $t_1 \sim t_6$ におけるアノード延長型 LDiode のアノード領域の電位、衝突イオン化率、電界強度、ホール濃度、およびホール電流密度分布の時間変化, $di/dt = -80 \text{A}/\mu\text{s}$ ($R_g = 1.5 \text{k}\Omega$)

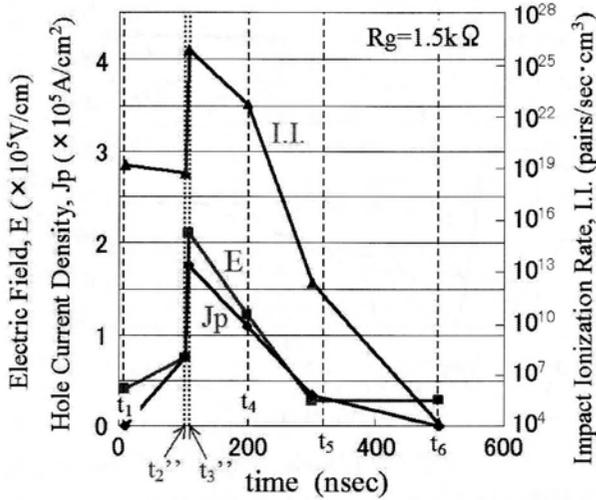


図 12 アノード延長型 LDiode の A 点における電界強度 E, ホール電流密度 Jp, 衝突イオン化率 I.I.の時間変化, $di/dt=80A/\mu s$ ($R_g=1.5k\Omega$)

り, アノード延長構造により, 衝突イオン化による新たなキャリア生成が $21nC$ だけ低減されることが分かった。

次に, <2.2>と同じ要領で, アノード延長型 LDiode のリカバリ動作について, 6つの時刻 $t_1 \sim t_6$ と 6つのパラメータ $V, I.I., E, N_p, J_p$ に着目して内部状態を分析した結果を, 図 11 に二次元マップで, 図 12 に点 A における E, Jp 及び I.I.の時間変化をグラフで示す。

アノード延長型の $t_2 \sim t_4$ の期間に着目すると, 図 11 の電位分布等の変化から, t_2 ($=103nsec$) において既にアノード延長領域から n^- ドリフト層に向かって空乏層が $5.5\mu m$ 広がっている。5nsec 後, 2nd peak の t_3 ($=108nsec$) においては, 空乏層は横方向に $9.0\mu m$ 広がっており, 約 $0.7\mu m/nsec$ の速度で, リカバリ開始と同時に急速に空乏化することが分かった。また, t_3 における A 点の E, Jp 及び I.I.は, それぞれ $2.11 \times 10^5 V/cm$, $1.76 \times 10^5 A/cm^2$ 及び $6.95 \times 10^{25} pairs/sec \cdot cm^3$ であり, 図 5 に示した従来型 LDiode と比べると, E は $0.8 \times 10^5 V/cm$ だけ減少し, Jp は $3/4$ に, I.I.は $1/24$ に大幅に減少した。

さらに, E, I.I.の時間変化を図 6 と図 12 で比較すると, ピーク値が低下するだけでなく, 大きな値を取る期間も短縮している。即ち, 2nd peak が著しく小さくなったのは, アノード延長領域の働きによりリカバリ初期の空乏化が促進され, A 点の電界強度が減少し, 衝突イオン化率が大幅に低下してダイナミックアバランシェが抑制されたことに因ると結論づけられる。

テール初期の t_4 ($=200nsec, -0.65A$) において, 図 11 より, 空乏層は約 $30\mu m$ に拡がり, 電界緩和はさらに進んでいるが, A 点の Jp は $1.10 \times 10^5 A/cm^2$ と極めて高い状態が続き, 図 5 に示した従来型 LDiode と同様に, 継続して蓄積ホールが A 点を通してアノードへ掃き出されている。ピークから十分時間が経過した t_5 ($=300nsec, -0.35A$) においては, 図 5 と図 11 の比較から両者の差は小さい。

4. アノード延長領域のデバイス物理

<3.3>では, アノード延長型 LDiode の一例について詳細に分析した。ここでは, アノード延長領域とデバイス動作の関係をデバイス物理に基づいて考察し, さらにリカバリ特性に与えるアノード延長領域の構造依存性について明らかにする。

<4.1> アノード延長領域とアノード注入効率の関係

図 8 に示すように, 従来構造の LDiode に p 型のアノード延長領域を付加することは, p^-/p^+ アノード構造の低注入効率化を阻害する可能性があり, 逆回復電荷 Q_{rr} の増加が懸念される。

そこで, まず図 5 と図 11 に示した時刻 t_1 ($=10nsec$) における順バイアス時のホール濃度分布を, 図 13(a), (b) に再掲する。順方向電流 I_F は共に $2.02A$ に設定されており, この時の順方向電圧 V_F はそれぞれ $2.18V, 2.16V$ で殆ど等しい。図 13(a), (b) より, 全体的にはアノード近傍のホール濃度分布はほぼ等しく, B 点のホール濃度 N_p も共に $1.8 \times 10^{17}/cm^3$ で等しい。ホール濃度が大きく異なるのは, トレンチ側壁の近傍のみである。

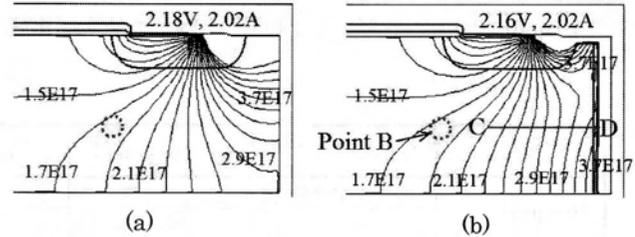


図 13 t_1 におけるアノード付近のホール濃度分布の比較, (a) 従来型 LDiode, (b) アノード延長型 LDiode

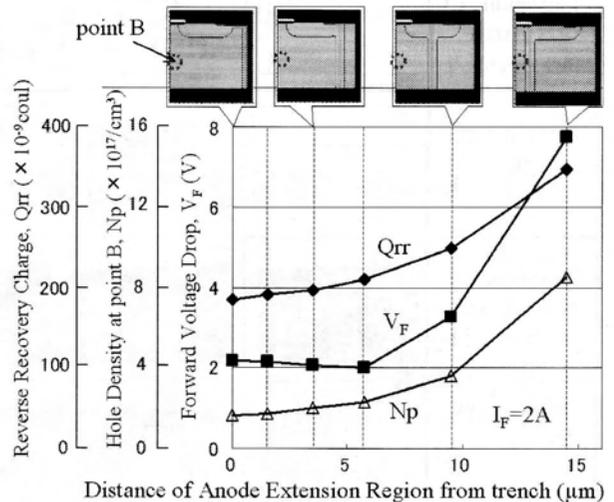


図 14 順バイアス時の順方向電圧降下 V_F , B 点のホール濃度 N_p , 逆回復電荷 Q_{rr} のアノード延長領域の位置依存性

また、図 13(b)より p 型のアノード延長領域($1 \times 10^{20} \text{cm}^{-3}$)と n⁻ドリフト層($7 \times 10^{14} \text{cm}^{-3}$)からなる pn 接合面において、ホール濃度差が 2 桁以上あり、かつホールの濃度勾配も殆ど無いことから少数キャリア注入は生じていない。図 13(b)の C-D 線に沿ったホールの擬フェルミポテンシャルの変化も殆ど無いことから裏付けられた。

次に、アノード延長領域 ($1 \times 10^{20} \text{cm}^{-3}$) の構造が注入効率を増加させない条件を明らかにするために、アノード延長領域の位置をトレンチから $0 \sim 14.5 \mu\text{m}$ の範囲で移動させた場合のシミュレーション解析を行った。図 14 に、3 つのパラメータ順方向電圧降下 V_F 、B 点のホール濃度 N_p 、逆回復電荷 Q_{rr} の位置依存性を示す。図 14 より、 $6 \mu\text{m}$ までは変化が僅かであるが、これを越えると V_F 及び Q_{rr} が増加する。従って、トレンチ側壁～高濃度 p⁺層の範囲にアノード延長領域を配置する必要がある。

〈4・2〉アノード延長領域と p⁻/p⁺アノード構造の関係

拡散でキャリア伝導が支配される順バイアス条件下では、図 13 から、アノード領域においては p⁻/p⁺アノード構造がキャリア注入現象を支配しており、低濃度 p ウェルより奥に位置するアノード延長領域は、キャリア伝導に寄与しない。

一方、ドリフトでキャリア伝導が支配される逆バイアスのリカバリ動作条件下では、アノード延長領域がアノード p 層として働くため一次元ダイオード構造と見なせる。そして、リカバリの初期段階において、トレンチ近傍～アノード下部に蓄積したホールはアノード延長領域に速やかに掃き出されて空乏化し、その後の n⁻ドリフト層の空乏化が早く開始すると共に、蓄積ホールは低濃度 p ウェルに掃き出される。この結果、電界の上昇が緩和されてダイナミックアバランシェが抑制される。すなわち、アノード延長領域は、順バイアスと逆バイアスでキャリア伝導への関わり方が異なることを利用し、リカバリ初期過程のごく短時間のみデバイス動作に関与してダイナミックアバランシェを抑制するという巧妙なメカニズムを生み出している。

次に、低濃度 p ウェルとアノード延長領域がデバイス動作に与える影響を詳しく分析するために、p⁻/p⁺アノード構造の低注入効率を機能させない条件—低濃度 p ウェルの

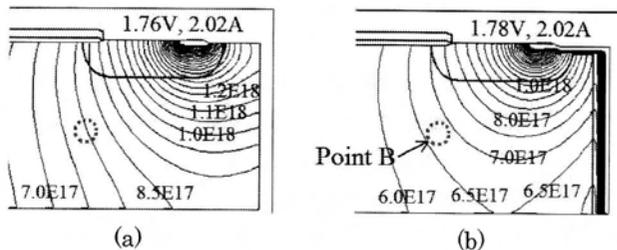


図 15 低濃度 p ウェルをアノード電極に接続しない場合の順バイアス時のホール濃度分布、(a) 従来型 LDiode、(b) アノード延長型 LDiode

アノード電極に接続しない (open) 設定一の下で、従来型とアノード延長型の順バイアスにおけるホール濃度分布を対比して図 15(a), (b)に示す。順方向電流 I_F は共に 2.02A に設定されている。この時の電圧降下 V_F はそれぞれ 1.76V 、 1.78V で殆ど等しい。デバイス内部において、B 点のホール濃度 N_p は、それぞれ $8.0 \times 10^{17} \text{cm}^{-3}$ 、 $6.75 \times 10^{17} \text{cm}^{-3}$ でほぼ等しく、B 点から左側の領域におけるホール濃度分布もほぼ等しい。図 13(a), (b)に示した N_p ($=1.6 \times 10^{17} \text{cm}^{-3}$) と比べると 4 倍以上の高濃度である。一方、図 15(a), (b)に示す B 点から右側の領域において、トレンチ近傍のホール濃度は、(a)よりも(b)の方が低い。これは、p 型のアノード延長領域と n⁻ドリフト層からなる pn 接合が順バイアスされないために、ホール注入が起こらないことが原因である。

これらの結果から、アノードの注入効率はアノード延長領域の有無によらず p⁻/p⁺アノード構造で決定されることが明らかになった。そして、アノード延長領域は、順バイアス時の静特性と逆バイアス時のリカバリ特性を共に損なうことなく、大きな di/dt の下でもダイナミックアバランシェの発生を押さえ、これに伴う Q_{rr} の増加も抑制される。

〈4・3〉アノード延長領域のドーピング条件の影響

図 9 に示した LDiode 構造において、アノード延長領域の表面不純物濃度と厚さを Type-I ($1 \times 10^{20} \text{cm}^{-3}$, $1 \mu\text{m}$) から Type-P ($1 \times 10^{18} \text{cm}^{-3}$, $3 \mu\text{m}$) に変えた場合のリカバリ特性の変化を図 16 に示す。図より、Type-I と Type-P の 1st peak (t_2'' , 103nsec) を比較すると 0.09A と僅かな増加であった。また t_1 における Type-P の I_F 、 V_F 、 N_p がそれぞれ 2.02A 、 2.18V 、 $1.59 \times 10^{17} \text{cm}^{-3}$ であり、図 13(b)に示す Type-I とほぼ等しかった。一方、2nd peak (t_3'' , 108nsec) の増加も 0.07A と僅かであり、Type-P においてもダイナミックアバランシェは十分に抑制されており、リカバリ特性はアノード延長領域のドーピング条件に殆ど影響されないことが明らかになった。

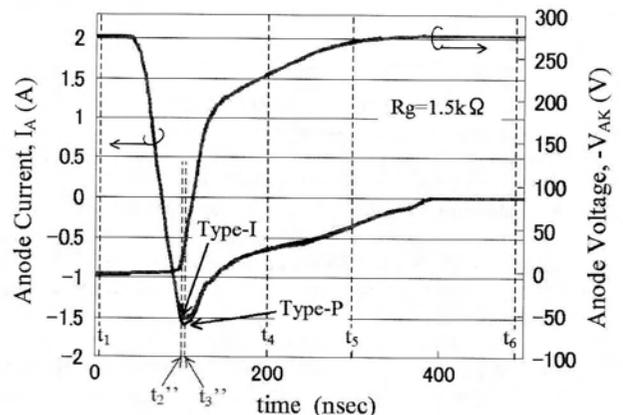


図 16 アノード延長領域のドーピング条件がリカバリ特性に与える影響、Type-I : $1 \times 10^{20} \text{cm}^{-3} / 1 \mu\text{m}$ 、Type-P : $1 \times 10^{18} \text{cm}^{-3} / 3 \mu\text{m}$ 、 $di/dt = -80 \text{A}/\mu\text{sec}$ ($R_g = 1.5 \text{k}\Omega$)

3, 4 章においては, LDiode のシリコン層表面から BOx 界面に至る長いアノード延長領域を備えたデバイス構造を解析対象としたが, 明らかになったアノード延長領域の効果は, BOx まで届かない短いアノード延長領域の場合でも, 相応の効果が期待できる。一例として, 低濃度 p ウエルのトレンチ側に deep P ウエルを追加した構造が, ダイナミックアバランシェの抑制に有効であることが実験により検証されている⁽¹⁰⁾。

5. まとめ

デバイスシミュレーションを使用して, 従来技術で構成した SOI LDiode を大きな di/dt でリカバリ動作させた時に発生するダイナミックアバランシェ現象を詳しく分析した。その結果, 従来構造では, リカバリ開始直後において, アノード領域に蓄積したホールの抜けが悪く空乏化が遅れ, アノード領域の電界強度が高くなり, アノード側のフィールド酸化膜端部のシリコン表面 (A 点) において, 高密度の衝突イオン化が発生することがダイナミックアバランシェの原因であることを明らかにした。

この理解に基づいて, リカバリ開始直後にアノード領域の空乏化を促進することを狙ってトレンチ側壁に p 型アノード延長領域を付加した構造を提案し, デバイスシミュレーションを使用してダイナミックアバランシェを効果的に抑制できることを初めて明らかにした。そして, p 型アノード延長領域と p⁻/p⁺アノード構造を組み合わせたアノード延長型 LDiode は, ダイナミックアバランシェを発生することなく, 高速スイッチング動作に適した構造であることを示した。

謝辞

本研究を進める上で, 常に支援を頂いている加藤之啓常務, 岩森則行部長, 並びに白木聡室長に感謝いたします。また, 議論をして頂いた高橋茂樹, 蛭間淳之の両氏に謝意を表します。

文 献

- (1) A. Nakagawa: "Impact of Dielectric Isolation Technology on Power ICs", Proc. ISPSD '91, pp.16-21 (May 1991)
- (2) A. Nakagawa, H. Funaki, Y. Yamaguchi, and F. Suzuki: "Improvement in Lateral IGBT Design for 500V 3A One Chip Inverter ICs", Proc. ISPSD '99, pp.321-324 (May 1999)
- (3) パワーデバイス・パワーIC ハンドブック, オーム社, 電気学会編, p.84, p.168 (1996-7)
- (4) 平山, 舟木, 山口, 中川: 「横型 SOI 高速ダイオードの逆回復特性」, 電気学会, 電子デバイス研究会資料, EDD-98-61, pp.21-26 (1998-2-19)
- (5) A. Nakagawa, H. Funaki, Y. Yamaguchi, and K. Hirayama: "Design Optimization of 500V Lateral SOI High Speed Diodes", Proc. PCIM International '98, pp.9-12 (Apr. 1998)
- (6) H. Funaki, Y. Yamaguchi, K. Hirayama, and A. Nakagawa: "Lateral SOI Diode Design Optimization for High Ruggedness and Low

- Temperature Dependence of Reverse Recovery Characteristics", Proc. ISPSD '98, pp.33-36 (Jun. 1998)
- (7) 佐藤, 平野, 川上, 岩本: 「逆回復動作時の高耐圧ダイオードの発振現象の検討」, 電学論, 119 巻 11 号, p.1401-1408 (1999-11)
- (8) K. Endo, Y. Baba, Y. Udo, M. Yasui, and Y. Sano: "A 500V 1A 1-Chip Inverter IC with a New Electric Field Reduction Structure", Proc. ISPSD '94, pp.379-382 (Jun. 1994)
- (9) ISE TCAD Release 10.0 DESSIS (2005)
- (10) 鈴木, 木村, 櫻井, 高橋, 白木, 戸倉, 杉山: 「アノード構造を改良した高速・高破壊耐量 SOI 横型ダイオードの開発」, 電気学会, 電子デバイス/半導体電力変換合同研究会資料, EDD-10-094/SPC-10-151 (2010-11-29)