

# Analysis of dynamic avalanche phenomenon in SOI lateral-high speed diode during reverse recovery and development of a novel device structure for suppressing dynamic avalanche

Norihito Tokura Member (DENSO CORP., tokura@peach.ocn.ne.jp)

Takao Yamamoto Non-member (DENSO CORP.)

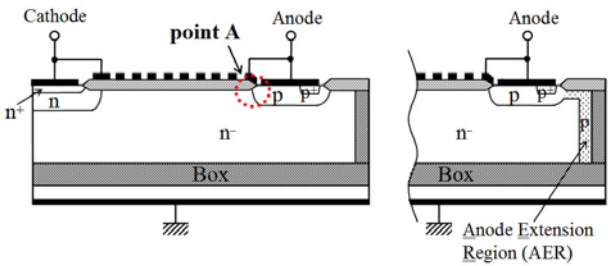
Hisato Kato Member (DENSO CORP.),

Akio Nakagawa Member (Nakagawa Consulting Office)

**Keywords :** microinverter, SOI, lateral diode, reverse recovery, dynamic avalanche, device simulation

We have studied the dynamic avalanche phenomenon in an SOI lateral diode (LDiode, see Fig. 1(a)) during reverse recovery by using a mixed-mode device simulation. In the study, it has been found that local impact ionization occurs near an anode-side field oxide edge (point A), where a high-density hole current flows and a high electric field appears simultaneously (see Figs. 2 & 3).

We propose that a p-type anode extension region (AER, Type-I, see Fig. 1 (b)) along the trench side wall effectively sweeps out the stored carriers beneath the anode p-diffusion layer during reverse recovery, resulting in reduction of the electric field and remarkable suppression of the dynamic avalanche. Moreover, the suppressing effect is still present when the length of the AER becomes shorter (Type-III in Fig. 4), and this effect is verified by the fabricated device. Thus, the developed SOI LDiode is promising as a high-speed and highly rugged free-wheeling diode, which can be integrated into next-generation SOI microinverters.



(a) Conventional SOI LDiode (b) AER SOI LDiode

Fig. 1. Schematic device structures of SOI LDiodes

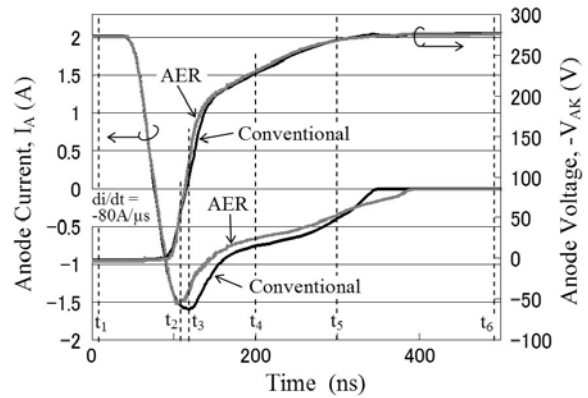


Fig. 3. Recovery waveforms of the conventional and AER SOI LDiodes

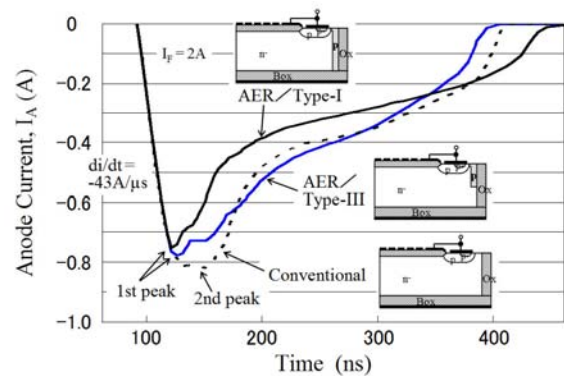


Fig. 4. Dependence of recovery waveforms on AER length. Type-I: 15 μm, Type-III: 7.5 μm, conventional: 0 μm

	$t_1$ (ON) 10 ns	$t_2$ (1st peak) 112 ns	$t_3$ (2nd peak) 117 ns	$t_4$ (tail 1) 200 ns	$t_5$ (tail 2) 300 ns	$t_6$ (OFF) 500 ns
Potential 0 ~ -280 V [V] (10V step)	2.18	-74 -10	-94 -10	-228 -100 -50 -70	-269 -150 -90 -120	-277 -200 -180
Impact Ionization $1 \times 10^{21} \sim 5 \times 10^{24}$ [pairs/s·cm <sup>3</sup> ]		3.24 × 10 <sup>26</sup>	1.70 × 10 <sup>27</sup>	5.30 × 10 <sup>25</sup>	3.47 × 10 <sup>18</sup>	
Electric Field 0 ~ 2.5 × 10 <sup>5</sup> E [V/cm]			2.90 × 10 <sup>5</sup>	2.05 × 10 <sup>5</sup>	7.07 × 10 <sup>4</sup>	

Fig. 2. Transition of potential, impact ionization rate, and electric field distributions in the anode region of the conventional SOI LDiode under the reverse recovery operation, as shown in Fig. 3

# 横型 SOI 高速ダイオードの逆回復動作におけるダイナミックアバランシェ現象の解析と、その抑制構造の開発

正員 戸倉 規仁\* 非会員 山本 貴生\*

正員 加藤 久登\* 正員 中川 明夫\*\*

## Analysis of dynamic avalanche phenomenon in SOI lateral high-speed diode during reverse recovery and development of a novel device structure for suppressing dynamic avalanche

Norihito Tokura\*, Member, Takao Yamamoto\*, Non-member, Hisato Kato\*, Member, and Akio Nakagawa\*\*, Member

We have studied the dynamic avalanche phenomenon in an SOI lateral diode during reverse recovery by using a mixed-mode device simulation. In the study, it has been found that local impact ionization occurs near an anode-side field oxide edge, where a high-density hole current flows and a high electric field appears simultaneously. We propose that a p-type anode extension region (AER) along a trench side wall effectively sweeps out stored carriers beneath an anode p-diffusion layer during reverse recovery, resulting in reduction of the electric field and remarkable suppression of the dynamic avalanche. The AER reduces the total recovery charge and does not cause any increase in the total stored charge under a forward bias operation. This effect is verified experimentally by the fabricated device with AER. Thus, the developed SOI lateral diode is promising as a high-speed and highly rugged free-wheeling diode, which can be integrated into next-generation SOI microinverters.

キーワード：マイクロインバータ，SOI，横型ダイオード，逆回復，ダイナミックアバランシェ，デバイスシミュレーション

Keywords : microinverter, SOI, lateral diode, reverse recovery, dynamic avalanche, device simulation

### 1. はじめに

15 $\mu\text{m}$ 程度の厚膜シリコン層を持つSOI基板を使用し、横型ダイオード(LDiode)、IGBT、及び制御回路等をトレンチ分離技術によりモノリシック化したSOIインバータICが開発され<sup>(1,2)</sup>、実用化されている<sup>(15)</sup>。今後SOIインバータICのハイパワー化や高効率化を図るためには、LDiodeとIGBTを共に低オン電圧化、高速化することが必要であり、研究開発が活発になっている<sup>(12,13)</sup>。

Fig. 1に、インバータに使用される一般的な高速ダイオードの逆回復(リカバリ)動作の模式的な波形を示す。ダイオードのアノード電流 $I_A$ は、まず順方向電流 $I_F$ を通電した後、リカバリ動作に移る。リカバリ特性に関する性能指標は、設定された $di/dt$ 条件における逆回復電荷 $Q_{rr}$ 、逆回復

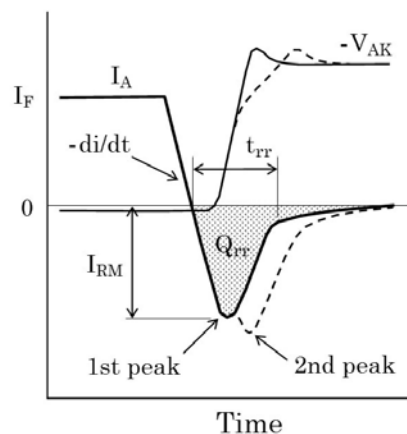


Fig. 1. Reverse recovery waveforms of a silicon high speed diode. solid line: without dynamic avalanche, dashed line: with dynamic avalanche

時間 $t_{rr}$ 、そして逆回復ピーク電流 $I_{RM}$ であり<sup>(3)</sup>、共に小さくすることが求められる。

LDiodeを高速化するには、まず $Q_{rr}$ を小さくする必要がある。そのためには、順方向動作時のアノード注入効率を低く設計することが必要で、低濃度pウエルと高濃度 $p^+$ 層か

\* (株)デンソー、幸田製作所、半導体プロセス開発部  
〒444-0193 愛知県額田郡幸田町大字芦谷字丸山 5  
Semiconductor Process R&D Dept., Kota Plant, DENSO CORP.  
5, Maruyama, Ashinoya, Kota-cho, Nukata-gun, Aichi-ken,  
444-0193

\*\* 合同会社 中川コンサルティング事務所  
〒253-0021 神奈川県茅ヶ崎市浜竹 3-8-74  
Nakagawa Consulting Office,  
3-8-74, Hamatake, Chigasaki-shi, Kanagawa-ken, 253-0021

らなる低注入効率の  $p^-/p^+$  アノード構造を採用することで可能になる<sup>(4-6)</sup>。また、 $t_r$  を短縮するには、LIGBT を高速動作させ、 $di/dt$  を大きくすることで可能になるが、同時に  $I_{RM}$  も増加する。さらに  $di/dt$  を大きくすると、ダイナミックアバランシェに起因する 2nd peak が現れると共に  $I_{RM}$  の増加が顕著になり<sup>(6)</sup>、破壊に至るといふ問題がある。ここで、ダイナミックアバランシェとは、pn 接合が急激に逆バイアスされると、空乏層が十分に拡がらないうちに高電界状態になり、DC 耐圧よりも低い印加電圧で臨界電界に達してアバランシェが起こる現象である<sup>(3)</sup>。

中川らは、定格耐圧 500V、6 セルからなる素子面積  $0.74\text{mm}^2$  の SOI 型 LDiode を試作し、そのリカバリ特性は、電源電圧  $V_{CC}$ 、順方向電流  $I_F$ 、 $di/dt$  がそれぞれ 300V、5A (電流密度は約  $650\text{A}/\text{cm}^2$ )、 $-30\text{A}/\mu\text{s}$  の時、 $I_{RM}$ 、 $t_r$  がそれぞれ 5.5A、300ns と良好な高速特性を示すことを報告したが、リカバリ波形には 1st peak よりも高い 2nd peak が現れていた<sup>(2)</sup>。

リカバリ動作時のデバイス内部の動作解析やダイナミックアバランシェに関して、縦型ダイオードの報告例は多いが<sup>(7)</sup>、SOI 型 LDiode の報告例は極めて少なく<sup>(6)</sup>、ダイナミックアバランシェに関して詳しく論じられていなかった。

本論文では、デバイスシミュレータを使用して、まず従来構造の SOI 型 LDiode についてリカバリ特性を計算し、ダイナミックアバランシェが顕在化する時のデバイス内部の動作を詳しく解析した。次に、この解析と理解に基づいてダイナミックアバランシェを抑制する新しい構造を提案し、その効果をシミュレーションで検証した<sup>(8)</sup>。最後に、試作実験による検証を行った。

## 2. 従来型 SOI LDiode のリカバリ動作解析

### (2-1) デバイス構造とシミュレーション解析

まず、Fig. 2 に従来技術に基づいて LDiode と LIGBT を SOI 基板に集積したデバイスの概略構造図を示す。定格耐圧 600V を想定し、 $n^-$  シリコン層の厚さと埋め込み酸化膜 (Box) の厚さを、それぞれ  $15\mu\text{m}$ 、 $6\mu\text{m}$  に設定した。デバイス表面の電界緩和のために Scroll-shaped Resistive Field Plate (SRFP)<sup>(9)</sup> を想定した構造を適用し、高速化のために  $p^-/p^+$  アノード構造を採用した<sup>(5)</sup>。

Fig. 3 に、シミュレーションに使用した LDiode のデバイス構造を示す。シミュレータは DESSIS を使用した<sup>(10)</sup>。耐圧 600V を得るため、 $n^-$  ドリフト層の横幅と不純物濃度を、そ

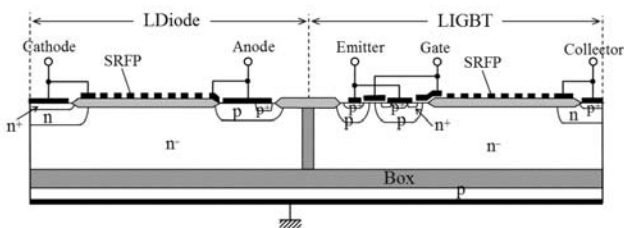


Fig. 2. Schematic device structure of conventional SOI LDiode with LIGBT

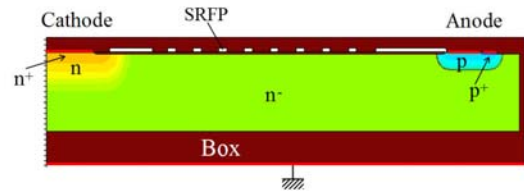


Fig. 3. Device structure of the conventional SOI LDiode for device simulation

れぞれ  $92\mu\text{m}$ 、 $7 \times 10^{14}\text{cm}^{-3}$  に設定した。また、順方向電流 2A 時の電流密度を報告例<sup>(2)</sup>の  $650\text{A}/\text{cm}^2$  に等しくするため、奥行き (Area Factor) を  $3.4\text{mm}$  に設定し、LDiode の総面積を  $0.31\text{mm}^2$  とした。 $p^-/p^+$  アノード構造は、低濃度 p ウェル内に高濃度  $p^+$  層を形成し、アノード電極に対して低濃度 p ウェル表面はショットキー接触、高濃度  $p^+$  層表面はオーミック接触とし、これらの接触面積の比を 3:1 に設定した。

キャリア寿命の設定については、電子線照射等は想定せず、DESSIS が備える不純物濃度依存のキャリア寿命のデフォルト値を使用した。 $n^-$  ドリフト層における電子とホールのキャリア寿命はそれぞれ  $10\mu\text{s}$ 、 $3\mu\text{s}$  であり、SRH 再結合モデルで支配される。また、ダイナミックアバランシェで重要な衝突イオン化率の設定についても、DESSIS が備える電界強度依存の衝突イオン化率のデフォルト値を使用した。

一方、LIGBT については、 $n^-$  ドリフト層の構造を LDiode と同様とし、ゲート酸化膜厚は  $80\text{nm}$  に設定した。また、LIGBT の総面積は LDiode に対して約 7 倍の  $2.16\text{mm}^2$  とし、実用化されている SOI インバータ IC<sup>(15)</sup> の面積比と同等に設定した。

Fig. 4 には、LDiode のリカバリ特性の解析を行うための Mixed-mode シミュレーションの回路構成を示し、Fig. 2 に示した LIGBT で LDiode を駆動する<sup>(14)</sup>。電源電圧  $V_{CC}=280\text{V}$ 、負荷インダクタンス  $=5\text{mH}$ 、ゲート抵抗  $R_G$  はアノード電流  $I_A$  の  $di/dt$  に応じて設定した。 $di/dt$  の条件は、報告例の  $-30\text{A}/\mu\text{s}$ <sup>(2)</sup> を参考にして、やや厳しい  $-43\text{A}/\mu\text{s}$  と、更に 2 倍厳しい  $-80\text{A}/\mu\text{s}$  の 2 条件を選定した。

スイッチング動作のシーケンスは、ゲートにダブルパルスを印加し、1st pulse の立ち下がりで LDiode にフリーホイーリング電流を供給し、2nd pulse の立ち上がりで LDiode を

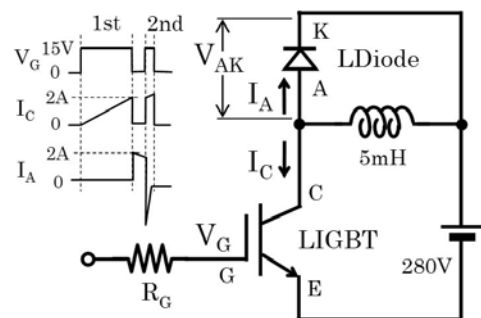


Fig. 4. Measurement circuit for the switching characteristics (Mixed-mode simulation)

リカバリ動作させ、その時の過渡特性を解析した。

〈2・2〉 シミュレーション結果とリカバリ動作解析

Fig. 5 に、従来型 LDiode のリカバリ特性を示す。時刻 0s で、 $R_G$  を介して LIGBT のゲートにステップ電圧を印加する。 $R_G=1.5k\Omega$  の場合、ターンオン前の時刻  $t_1 (=10ns)$  において、LDiode に 2A のフリーホイーリング電流が流れている。約 40ns 経過後 LIGBT がターンオンし、LDiode のアノード電流  $I_A$  は  $-80A/\mu s$  の  $di/dt$  で減少する特性を示した。他方、 $R_G=3k\Omega$  の場合、 $di/dt$  は  $-43A/\mu s$  であり、 $R_G$  の設定により  $di/dt$  を可変できることを確認した。なお、Fig. 5 に示した  $R_G=3k\Omega$  の場合の波形は、便宜上、左方向へ 40ns シフトさせてあり、 $I_A$  が低下を始める時刻が約 40ns になるように操作して示してある。

$1.5k\Omega$  の場合、 $I_A$  は  $t_3 (=117ns)$  でピーク値を取るが、その形状が歪んでいることからダイナミックアバランシェが発生していると考えられる。リカバリ動作時の  $I_A$  は、空乏化により n<sup>-</sup>ドリフト層に蓄積されたキャリアの排出と、ダイナミックアバランシェによりデバイス内部で新たに生成されたキャリアの供給の和で与えられる。そこで、n<sup>-</sup>ドリフト層に蓄積されたホールの掃き出しのみによる電流ピークを調べるために、DESSIS が備える衝突イオン化 (Impact Ionization) 機能をオフにした条件にて計算し、結果を Fig. 5 に重ねて示す。Fig. 5 より、 $I_A$  は  $t_2 (=112ns)$  でシャープなピーク波形を呈することが確認された。これに対し、衝突

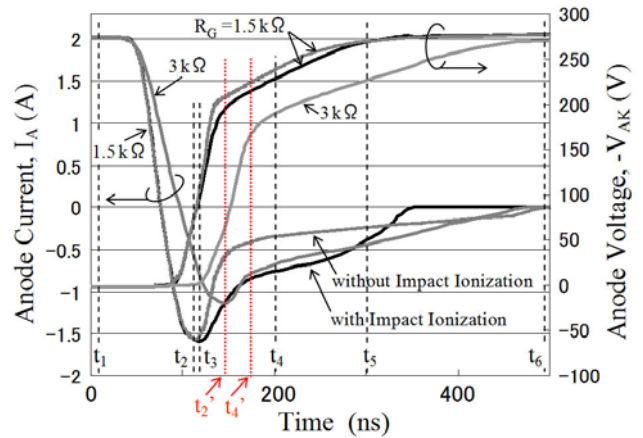


Fig. 5. Simulated recovery waveforms of the conventional SOI LDiode, where  $di/dt$  is  $-80A/\mu s$  ( $R_G = 1.5k\Omega$ ) and  $-43A/\mu s$  ( $R_G = 3k\Omega$ )

イオン化機能をオンにした場合の波形は  $t_2$  において変曲点を呈しており、この点を 1st peak ( $= -1.57A, 112ns$ ) と見なした。

衝突イオン化機能をオンにした場合の、1st peak 以降の波形は、5ns 経過した  $t_3$  において最大値を取るから、これを 2nd peak ( $= -1.59A$ ) と判断した。その後、 $I_A$  は 370ns まで単調減少する。一方、 $3k\Omega$  の場合、 $t_2' (=148ns)$  で 1st peak ( $= -1.14A$ ) を取るが、2nd peak は発生せず 475ns まで単調減少する。なお、Fig. 5 に示したアノード電圧  $V_{AK}$  の波形は、

	$t_1$ (ON) 10 ns	$t_2$ (1st peak) 112 ns	$t_3$ (2nd peak) 117 ns	$t_4$ (tail 1) 200 ns	$t_5$ (tail 2) 300 ns	$t_6$ (OFF) 500 ns
Potential V 0 ~ -280 [V] (10V step)	2.18	-74 -10	-94 -10	-228 -100 -50 -70	-269 -150 -90 -120	-277 -200 -180
Impact Ionization I.I. $1 \times 10^{21} \sim 5 \times 10^{24}$ [pairs/s·cm <sup>3</sup> ]		3.24 × 10 <sup>26</sup>	1.70 × 10 <sup>27</sup>	5.30 × 10 <sup>25</sup>	3.47 × 10 <sup>18</sup>	
Electric Field E 0 ~ 2.5 × 10 <sup>5</sup> [V/cm]			2.90 × 10 <sup>5</sup>	2.05 × 10 <sup>5</sup>	7.07 × 10 <sup>4</sup>	
Hole Density N <sub>p</sub> $1 \times 10^{13} \sim 1 \times 10^{18}$ [/cm <sup>3</sup> ]	1.47 × 10 <sup>17</sup> 2.15 × 10 <sup>17</sup>	1.0 × 10 <sup>15</sup> 1.0 × 10 <sup>17</sup>	1.0 × 10 <sup>15</sup> 1.0 × 10 <sup>17</sup>	1.47 × 10 <sup>17</sup> 2.15 × 10 <sup>14</sup>	2.15 × 10 <sup>14</sup> 1.0 × 10 <sup>13</sup>	
Hole current density J <sub>p</sub> $1 \times 10^2 \sim 3 \times 10^3$ [A/cm <sup>2</sup> ]	1.57 × 10 <sup>3</sup> 1.33 × 10 <sup>3</sup>	1.99 × 10 <sup>5</sup>	2.35 × 10 <sup>5</sup>	1.66 × 10 <sup>5</sup> 1.0 × 10 <sup>2</sup>	6.13 × 10 <sup>4</sup> 1.0 × 10 <sup>2</sup>	

Fig. 6. Simulated potential (V), impact ionization rate (I.I.), electric field (E), hole density (N<sub>p</sub>), and hole current density (J<sub>p</sub>) distributions in the anode region of the conventional SOI LDiode at  $t_1 \sim t_6$ .  $di/dt = -80A/\mu s$  ( $R_G = 1.5k\Omega$ )



約-200Vにおいて折線的に変化するが、これはLIGBTのターンオン時の電圧降下が遅いという特性に起因している。なお、駆動素子をLIGBTに限定したのは、SOIインバータICを構成するパワー素子であることに因る。

$R_G = 1.5k\Omega$ の場合に発生する2nd peakはダイナミックアバランシェに起因すると考えられるが、そのメカニズムを詳しく調べるために、Fig. 5に示した6つの時刻 $t_1$  (ON状態, 2.0A),  $t_2$  (1st peak, -1.57A),  $t_3$  (2nd peak, -1.59A),  $t_4$  (テール初期, -0.76A),  $t_5$  (テール中央, -0.40A),  $t_6$  (OFF状態, 0A)において、6つのパラメータ—電位V, 衝突イオン化率I.I., 電界強度E, ホール濃度 $N_p$ , およびホール電流密度 $J_p$ —に着目してLDiodeの内部状態を分析し、その結果を二次元マップでFig. 6に、点AにおけるE,  $J_p$ 及びI.I.の時間変化をグラフでFig. 7に示す。

2nd peakを挟む $t_2 \sim t_4$ の期間に注目すると、Fig. 6の電位分布等の変化から、空乏化はまず低濃度pウエルからBox界面に向かって広がるが、2nd peakの $t_3$ においても $5\mu m$ 程度であり、空乏層の拡がりは遅い。このため、 $t_3$ における電界強度分布は低濃度pウエルのコーナ部からフィールド酸化膜端部にかけて集中し、A点のシリコン表面で $2.90 \times 10^5 V/cm$ に達する。また、 $t_3$ におけるホール電流密度分布は、nドリフト層から掃き出されたホールが、低濃度pウエルに向かって集中して流れ、A点のシリコン表面で $2.35 \times 10^5 A/cm^2$ に達する。この結果、 $t_3$ においてA点で $1.70 \times 10^{27} pairs/s \cdot cm^3$ の衝突イオン化が発生し、これがダイナミックアバランシェの原因であることが明らかになった。

$t_4$ 付近でBoxに到達した空乏層は、その後はカソード方向に向きを変え、Boxに並行に広がる。Fig. 7から、ダイナミックアバランシェが発生するのは $t_2 \sim t_4$ の期間に限られているが、その直接の原因はA点がこの期間だけ高電界になり、衝突イオン化率が著しく高くなるためであった。

テール中央部の $t_5$  (=300ns)においても、A点のホール電

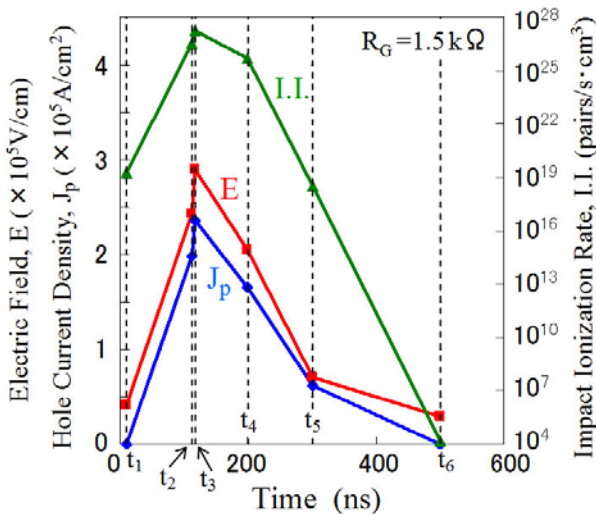


Fig. 7. Simulated electric field (E), hole current density ( $J_p$ ), and impact ionization rate (I.I.) at point A in Fig. 6 as a function of time.  $di/dt = -80A/\mu s$  ( $R_G = 1.5k\Omega$ )

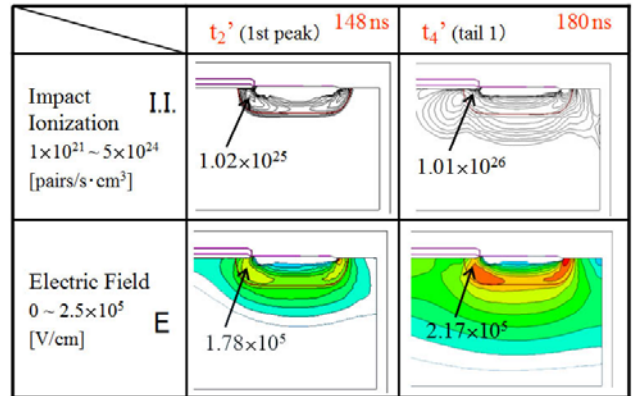


Fig. 8. Simulated impact ionization rate (I.I.) and electric field (E) distributions in the conventional SOI LDiode at  $t_2'$  and  $t_4'$ .  $di/dt = -43A/\mu s$  ( $R_G = 3k\Omega$ )

流密度が  $6.13 \times 10^4 A/cm^2$  と極めて高い値を保っている理由は、蓄積ホールが継続してA点を通してアノードへ掃き出されるからである。しかし、電界強度が  $7.07 \times 10^4 V/cm$  まで低下することで衝突イオン化は激減し、ダイナミックアバランシェは発生していない。

一方で、 $R_G = 3k\Omega$ の場合、Fig. 5に示す1st peakの $t_2'$  (=148ns, -1.14A)とテール初期の $t_4'$  (=180ns, -0.75A)におけるLDiodeの内部状態を、EとI.I.のみについてFig. 8に示す。Fig. 8の $t_2'$ 及びFig. 6の $t_3$ におけるEとI.I.の比較から、Eは $2.90 \times 10^5 V/cm$ から $1.78 \times 10^5 V/cm$ へ約2/3に低下し、I.I.は $1.70 \times 10^{27} pairs/s \cdot cm^3$ から $1.02 \times 10^{25} pairs/s \cdot cm^3$ へ約2桁減少する。これらの減少は、 $di/dt$ が $-80A/\mu s$ から $-43A/\mu s$ へ約1/2緩和したことに因る。

### 3. ダイナミックアバランシェの制御

LDiodeのリカバリ動作におけるダイナミックアバランシェの制御について検討する。(2.2)より、ダイナミックアバランシェが発生する条件は、Fig. 6に示す様に、A点において高いホール電流密度と高い電界強度が同時に発生することであることが確認された。従って、高速ダイオードを実現するためには、高い $di/dt$ においてもA点における電界強度を低く抑えることが最も効果的であると考えられる。

#### 〈3・1〉 ダイナミックアバランシェ抑制の考え方

LDiodeのアノード領域の構造を工夫することで、リカバリ過程におけるA点の電界を緩和する方法を検討する。Fig. 6に示す電位分布等の時間変化から、従来型LDiodeの空乏化はFig. 9に示す実線の矢印①～⑤の順で進行し、これはFig. 6の時刻 $t_2 \sim t_6$ に対応する。Fig. 6に示す電位分布の推移から、空乏化は二段階で進行し、①→②→③は縦方向、③→④→⑤は横方向に進む。

ここで、もし、点線の矢印①～⑤の順で直線的に進行させることができれば、空乏化を速くすることができる。すなわち、「リカバリ時に次元ダイオードと等価な動作を

させる」という考え方である。著者らは、Fig. 9 に示すようにトレンチ側面に p 型のアノード延長領域（以下 **Anode Extension Region, AER** と略記）を配置し、AER を高濃度 p+層に接続することで、一次元ダイオードと等価な動作が実現できると考えた<sup>(8)</sup>。

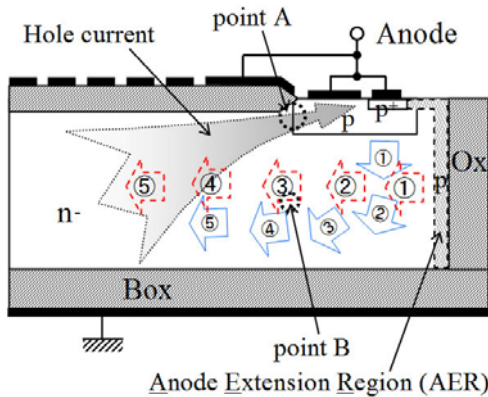


Fig. 9. Introduction of p-type AER into SOI LDiode provides quasi one-dimensional diode operation, which enhances lateral depleting process during reverse recovery

### 〈3.2〉 AER 型 SOI LDiode の提案

Fig. 10 に、シミュレーションに用いた p 型の AER を備えた SOI LDiode（以下、AER 型 LDiode, Type-I）のデバイス構造を示す。AER の表面不純物濃度と厚さは  $1 \times 10^{20} \text{cm}^{-3}$ ,  $1 \mu\text{m}$  (AER/Type-I) に設定した。なお、AER を除けば、Fig. 3 の従来型 LDiode と同一構造である。シミュレーション解析の要領は 〈2.1〉 と同様であり、LDiode と LIGBT を組み合わせてリカバリ特性解析を行った。

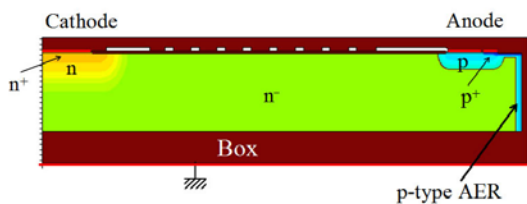


Fig. 10. Device structure of the AER SOI LDiode (Type-I) for device simulation

### 〈3.3〉 シミュレーション結果とリカバリ動作解析

Fig. 11 に、AER 型 LDiode のリカバリ波形を、Fig. 5 に示した従来型 LDiode の波形と比較して示す。ただし、 $di/dt$  は  $-80 \text{A}/\mu\text{s}$  ( $R_G=1.5 \text{k}\Omega$ ) の場合のみとした。

Fig. 11 より、AER 型の 1st peak は  $t_2''$  (=103ns, -1.51A) であり、従来型の  $t_2$  (=112ns, -1.57A) よりも 9ns だけ早い。ただし、 $t_2''$  までのアノード電流波形はほぼ重なる。 $t_2''$  以降、両者の波形は分離し、従来型は 2nd peak の  $t_3$  (=117ns, -1.59A) まで増加し、その後減少に転じる。一方、AER 型は  $t_2''$  以降単調減少するが、5ns 後の  $t_3''$  (=108ns, -1.49A) で変曲点を

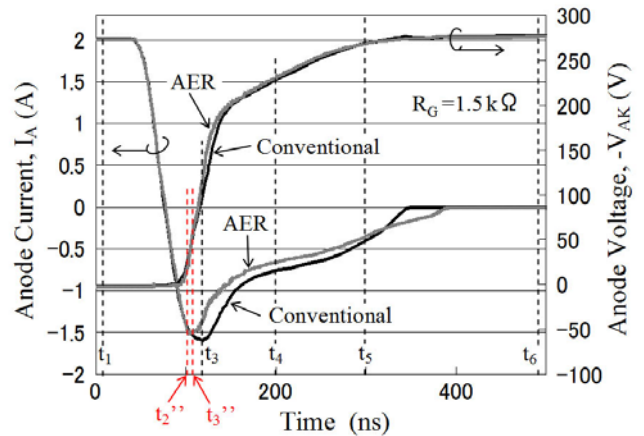


Fig. 11. Simulated recovery waveforms of the AER SOI LDiode (Type-I) compared with that of conventional SOI LDiode.  $di/dt = -80 \text{A}/\mu\text{s}$  ( $R_G=1.5 \text{k}\Omega$ )

取る。この変曲点を 2nd peak と見なした。両者の比較から、2nd peak は  $0.10 \text{A}$  ( $-1.59 \text{A} \rightarrow -1.49 \text{A}$ )、 $Q_{rr}$  は  $21 \text{nC}$  ( $205 \text{nC} \rightarrow 184 \text{nC}$ ) だけ減少した。

次に、〈2.2〉と同じ要領で、AER 型 LDiode のリカバリ動作について、6つの時刻  $t_1 \sim t_6$  と 6つのパラメータ  $V, I, E, N_p, J_p$  に着目して内部状態を分析した結果を、Fig. 12 に二次元マップで、Fig. 13 に点 A における  $E, J_p$  及び  $I, I$  の時間変化をグラフで示す。

AER 型の  $t_2'' \sim t_4$  の期間に着目すると、Fig. 12 の電位分布等の変化から、 $t_2''$  (=103ns) において既に AER から n-ドリフト層に向かって空乏層が  $5.5 \mu\text{m}$  に広がっている。5ns 後、2nd peak の  $t_3''$  (=108ns) においては、空乏層は横方向に  $9.0 \mu\text{m}$  に広がっており、約  $0.7 \mu\text{m}/\text{ns}$  の速度で、リカバリ開始と同時に急速に空乏化することが分かった。また、 $t_3''$  における A 点の  $E, J_p$  及び  $I, I$  は、それぞれ  $2.11 \times 10^5 \text{V}/\text{cm}$ ,  $1.76 \times 10^5 \text{A}/\text{cm}^2$  及び  $6.95 \times 10^{25} \text{pairs}/\text{s} \cdot \text{cm}^3$  であり、Fig. 6 に示した従来型 LDiode と比べると、 $E$  は  $0.8 \times 10^5 \text{V}/\text{cm}$  だけ減少し、 $J_p$  は 3/4 に、 $I, I$  は 1/24 に大幅に減少した。即ち、2nd peak の減少は僅かに  $0.10 \text{A}$  であるが、その原因である  $I, I$  は 1/24 に激減している。

さらに、 $E, I, I$  の時間変化を Fig. 7 と Fig. 13 で比較すると、ピーク値が低下するだけでなく、大きな値を取る期間も短縮している。即ち、2nd peak がほとんど無くなったのは、AER の働きによりリカバリ初期の空乏化が促進され、A 点の電界強度が減少し、衝突イオン化率が大幅に低下してダイナミックアバランシェが抑制されたことに因ると結論づけられる。

テール初期の  $t_4$  (=200ns, -0.65A) において、Fig. 12 より、空乏層は約  $30 \mu\text{m}$  に広がり、電界緩和はさらに進んでいるが、A 点の  $J_p$  は  $1.10 \times 10^5 \text{A}/\text{cm}^2$  と極めて高い状態が続く。Fig. 6 に示した従来型 LDiode と同様に、継続して蓄積ホールが A 点を通りアノードへ掃き出されている。ピークから十分時間が経過した  $t_5$  (=300ns, -0.35A) においては、Fig. 6 と Fig. 12 の比較から両者の差は小さい。

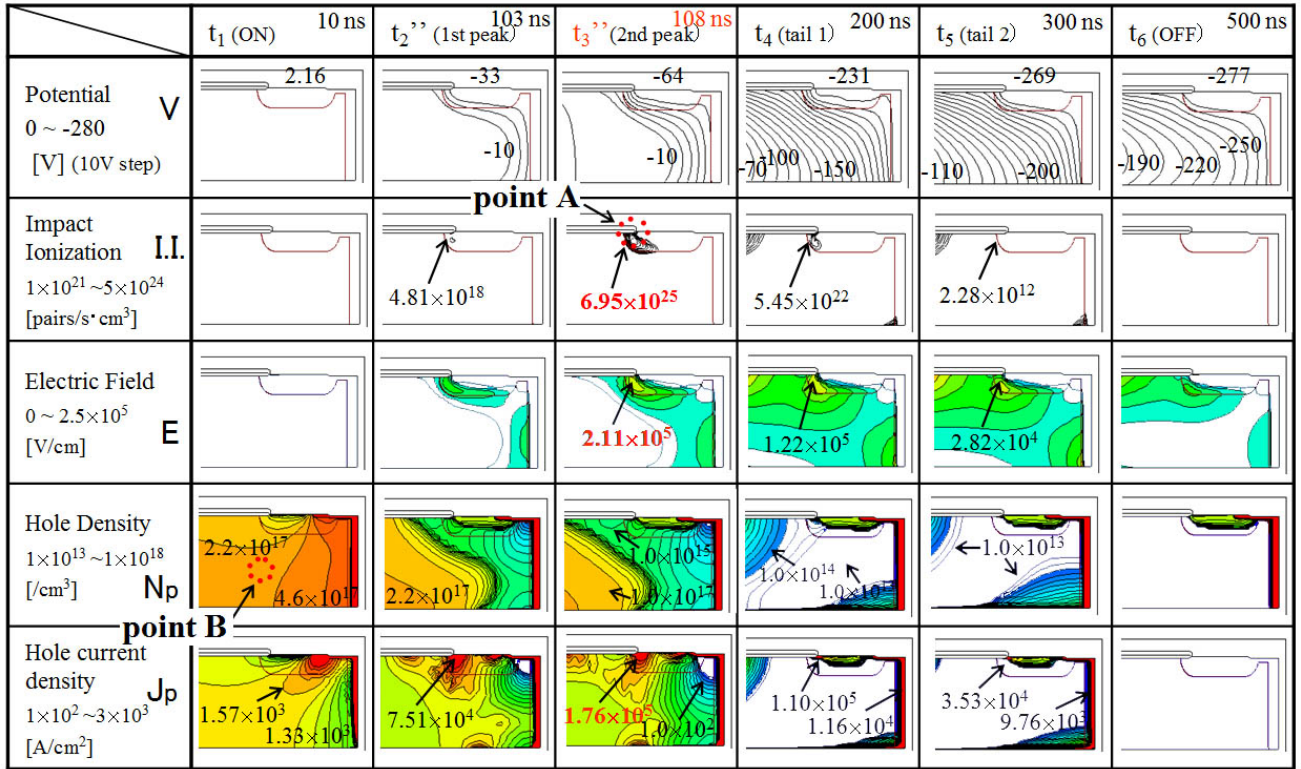


Fig. 12. Simulated potential (V), impact ionization rate (I.I.), electric field (E), hole density (N<sub>p</sub>), and hole current density (J<sub>p</sub>) distributions in the anode region of the AER SOI LDiode (Type-I) at t<sub>1</sub>~t<sub>6</sub>. di/dt = -80A/μs (R<sub>G</sub>=1.5kΩ)

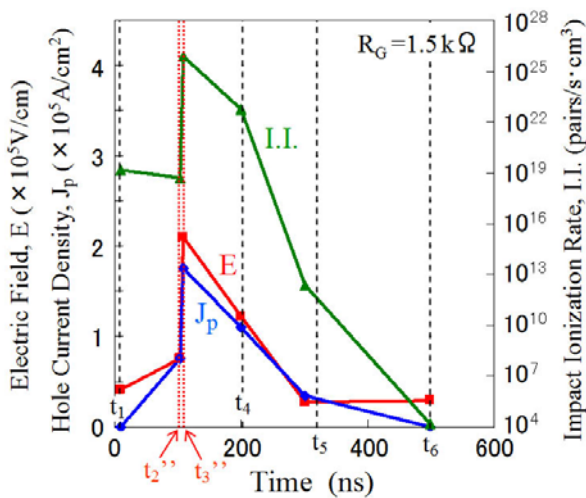


Fig. 13. Simulated electric field (E), hole current density (J<sub>p</sub>), and impact ionization rate (I.I.) at point A in Fig. 12 as a function of time. di/dt = -80A/μs (R<sub>G</sub>=1.5kΩ)

#### 4. AER のデバイス物理

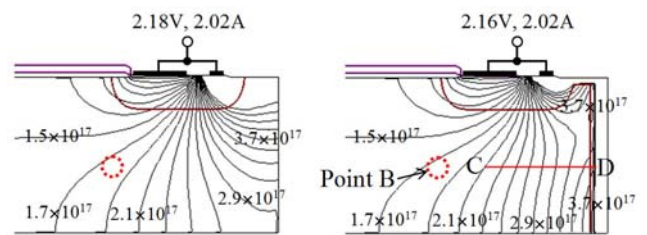
〈3.3〉においては、AER 型 SOI LDiode の一例について詳細に分析した。ここでは、AER とデバイス動作の関係をデバイス物理に基づいて考察し、さらにリカバリ特性に与える AER の構造依存性について明らかにする。

#### 〈4.1〉 AER とアノード注入効率の関係

Fig. 9 に示すように、従来の LDiode に p 型の AER を付加する構造変更は、p<sup>-</sup>/p<sup>+</sup>アノード構造の低注入効率化を阻害する可能性があり、逆回復電荷 Q<sub>rr</sub> の増加が懸念される。

そこで、まず Fig. 6 と Fig. 12 に示した時刻 t<sub>1</sub> (=10ns) における順バイアス時のホール濃度分布を、Fig. 14(a), (b) に再掲する。順方向電流 I<sub>F</sub> は共に 2.02A に設定されており、この時の順方向電圧 V<sub>F</sub> は、(a)従来型が 2.18V、(b)AER 型が 2.16V で殆ど等しい。Fig. 14(a), (b)より、全体的にはアノード近傍のホール濃度分布はほぼ等しく、B 点のホール濃度 N<sub>p</sub> も共に 1.8 × 10<sup>17</sup>/cm<sup>3</sup> で等しい。ホール濃度が両者で大きく異なる領域は、トレンチ側壁の近傍のみである。

また、Fig. 14(b)より p 型の AER (1 × 10<sup>20</sup>cm<sup>-3</sup>) と n<sup>-</sup>ドリフト層 (7 × 10<sup>14</sup>cm<sup>-3</sup>) からなる pn 接合面において、ホール



(a) Conventional SOI LDiode

(b) AER SOI LDiode

Fig. 14. Comparison in hole density distributions at anode region under the conditions of forward bias and p<sup>-</sup> Schottky / p<sup>+</sup> Ohmic anode structure



濃度差が 2 桁以上あり、かつホールの濃度勾配も殆ど無いことから少数キャリア注入は生じていない。Fig. 14(b)の C-D 線に沿ったホールの擬フェルミポテンシャルの変化が殆ど無いことも、注入が生じていないことを裏づけている。以上より、順バイアス条件下では、AER とその近傍は電気伝導に寄与しないことが明らかになった。

次に、AER ( $1 \times 10^{20} \text{cm}^{-3}$ ) の構造が注入効率を増加させない条件を明らかにするために、AER の位置をトレンチから  $0 \sim 14.5 \mu\text{m}$  の範囲で移動させた場合のシミュレーション解析を行った。Fig. 15 に、3 つのパラメータ順方向電圧降下  $V_F$ 、B 点のホール濃度  $N_p$ 、逆回復電荷  $Q_{rr}$  の位置依存性を示す。Fig. 15 より、 $6 \mu\text{m}$  以下では変化が僅かであるが、 $6 \mu\text{m}$  以上 AER が高濃度  $p^+$  層よりも左側に位置する一では、 $N_p$  の増加が顕著になるにも関わらず、 $V_F$  が急増する傾向を示した。シミュレーション解析によると、 $N_p$  が増加する原因は、AER をアノードとした横型 pin ダイオードの動作が支配的になることにあった。また、 $V_F$  が急増する原因は、低濃度の  $p$  ウェル領域で導電率変調が弱くなるため高抵抗層になり、これが AER とアノード電極の間に介在することになった。従って、AER はトレンチ側壁～高濃度  $p^+$  層の範囲 ( $0 \sim 6 \mu\text{m}$ ) に配置する必要がある。

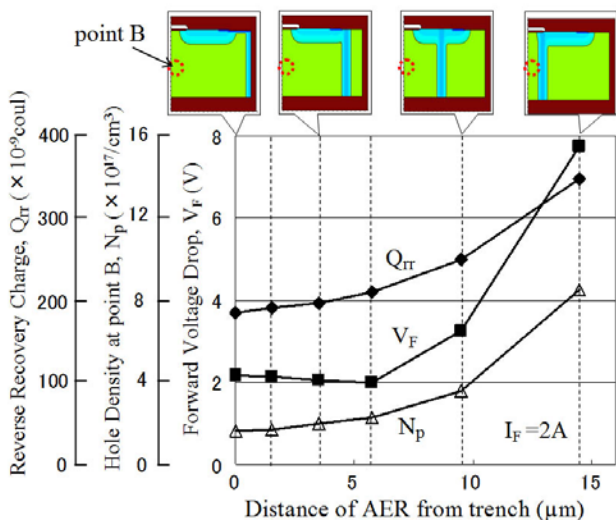


Fig. 15. Simulated forward voltage drop ( $V_F$ ), hole density at point B ( $N_p$ ), and reverse recovery charge ( $Q_{rr}$ ) as functions of the distance of AER from trench

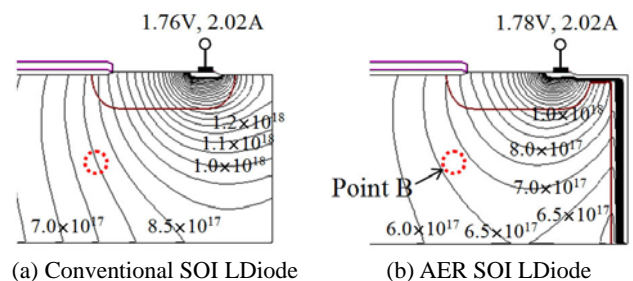
#### 〈4・2〉 AER と $p^-/p^+$ アノード構造の関係

〈4.1〉より、拡散でキャリア伝導が支配される順バイアス条件下では、Fig. 14 から、アノード領域においては  $p^-/p^+$  アノード構造がキャリア注入現象を支配しており、低濃度  $p$  ウェルより奥に位置する AER は、キャリア伝導に寄与しないことが明らかになった。

一方、ドリフトでキャリア伝導が支配される逆バイアスのリカバリ動作条件下では、AER がアノード  $p$  層として働くため一次元ダイオード構造と見なせる。そして、リカバ

リの初期段階において、トレンチ近傍～アノード下部に蓄積したホールは AER を経由して速やかに掃き出されて空乏化することで、 $n^-$  ドリフト層の空乏化が早く開始すると共に、蓄積ホールは低濃度  $p$  ウェルを経由して掃き出される。この結果、電界の上昇が緩和されてダイナミックアバランシェが抑制される。すなわち、AER は、順バイアスと逆バイアスではキャリア伝導への関わり方が異なることを利用して、リカバリ初期過程のごく短時間のみデバイス動作に関与してダイナミックアバランシェを抑制するという巧妙なメカニズムを生み出している。

次に、低濃度  $p$  ウェルと AER がデバイス動作に与える影響を詳しく分析するために、 $p^-/p^+$  アノード構造の低注入効率を機能させない条件—低濃度  $p$  ウェルをアノード電極に接続しない設定 (open) —の下で、従来型と AER 型の順バイアスにおけるホール濃度分布を Fig. 16(a), (b) に対比して示す。順方向電流  $I_F$  は共に  $2.02 \text{ A}$  に設定されている。この時の電圧降下  $V_F$  は、(a) 従来型が  $1.76 \text{ V}$ , (b) AER 型が  $1.78 \text{ V}$  で殆ど等しい。デバイス内部において、B 点のホール濃度  $N_p$  は、それぞれ  $8.0 \times 10^{17} / \text{cm}^3$ ,  $6.75 \times 10^{17} / \text{cm}^3$  でほぼ等しく、B 点から左側の領域におけるホール濃度分布もほぼ等しい。これらの値は、Fig. 14 に示した  $N_p$  ( $=1.8 \times 10^{17} / \text{cm}^3$ ) と比べると 4 倍以上の高キャリア濃度である。一方、Fig. 16 に示す B 点から右側の領域において、トレンチ近傍のホール濃度は、(a) 従来型よりも (b) AER 型の方が低いことが分かった。これは、 $p$  型の AER と  $n^-$  ドリフト層からなる  $pn$  接合が順バイアスされないために、ホール注入が生じないことが原因である。



(a) Conventional SOI LDiode

(b) AER SOI LDiode

Fig. 16. Comparison in hole density distributions at anode region under the conditions of forward bias and disconnected lightly-doped  $p$  well from the anode electrode

以上の分析から、アノードの注入効率は AER の有無によらず  $p^-/p^+$  アノード構造で決定されることが明らかになった。そして、AER は、順バイアス時の静特性と逆バイアス時のリカバリ特性を共に損なうことなく、大きな  $di/dt$  の下でもダイナミックアバランシェの発生を押さえ、これに伴う  $Q_{rr}$  の増加も抑制することができる。

#### 〈4・3〉 AER のドーピング条件の影響

Fig. 10 に示した AER の不純物濃度と厚さは  $1 \times 10^{20} \text{cm}^{-3}$ ,  $1 \mu\text{m}$  (Type-I) であったが、これを  $1 \times 10^{17} \text{cm}^{-3}$ ,  $3 \mu\text{m}$  (Type-II) に変えた場合のリカバリ特性の変化を Fig. 17 に示す。Fig. 17



より、Type-I と Type-II の 1st peak ( $t_2''$ , 103ns) を比較すると 0.09A と僅かな増加であった。また  $t_1$  における Type-II の  $I_F$ ,  $V_F$ ,  $N_p$  がそれぞれ 2.02A, 2.18V,  $1.59 \times 10^{17} \text{cm}^{-3}$  であり、Fig. 14(b) に示す Type-I とほぼ等しかった。一方、2nd peak ( $t_3''$ , 108ns) の増加も 0.07A と僅かであり、Type-II においてもダイナミックアバランシェは十分に抑制されている。AER によるリカバリ特性改善は、AER の不純物濃度を少なくとも  $1 \times 10^{17} \text{cm}^{-3}$  程度まで下げても十分効果が得られることが明らかになった。

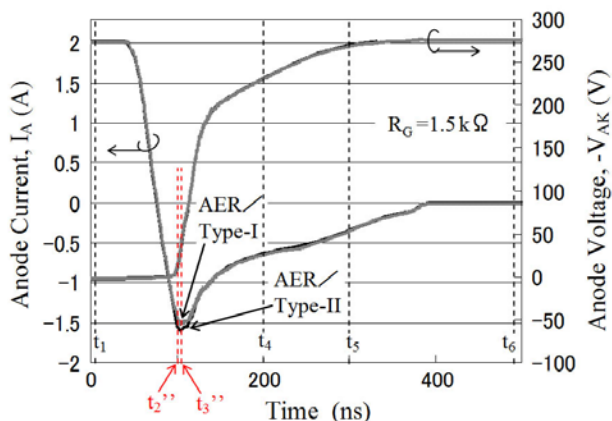


Fig. 17. Simulated dependence of recovery waveforms on doping and thickness of AER. Type-I:  $1 \times 10^{20} \text{cm}^{-3} / 1 \mu\text{m}$ , Type-II:  $1 \times 10^{17} \text{cm}^{-3} / 3 \mu\text{m}$ ,  $di/dt = -80 \text{A}/\mu\text{s}$  ( $R_G = 1.5 \text{k}\Omega$ )

#### 〈4・4〉 AER の長さの影響

Fig. 10 に示した AER 型 LDiode / Type-I の場合、AER の長さ  $L_e$  はシリコン層の厚さ  $15 \mu\text{m}$  に等しい。これに対して、AER が Box に届かない短い場合に、リカバリ特性がどの程度改善されるのかを調べた。Fig. 18 に、 $L_e$  を半分の  $7.5 \mu\text{m}$  に短縮した AER 型 LDiode / Type-III の場合のリカバリ特性を、AER 型 / Type-I ( $15 \mu\text{m}$ ) 及び従来型 ( $0 \mu\text{m}$ ) と比較して示す。なお、 $I_F = 2 \text{A}$  ( $650 \text{A}/\text{cm}^2$ ),  $di/dt = -43 \text{A}/\mu\text{s}$  に設定した。

Fig. 18 より、従来型の場合は 1st peak ( $120 \text{ns}$ ,  $-0.79 \text{A}$ ) と

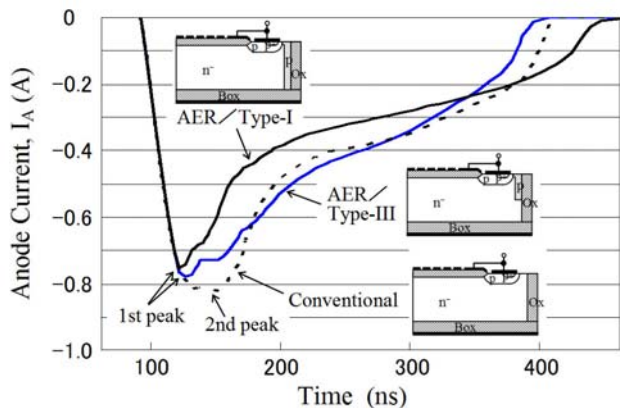


Fig. 18. Simulated dependence of recovery waveforms on AER length. Type-I:  $15 \mu\text{m}$ , Type-III:  $7.5 \mu\text{m}$ , conventional:  $0 \mu\text{m}$ ,  $I_F = 2 \text{A}$ ,  $di/dt = -43 \text{A}/\mu\text{s}$

2nd peak ( $150 \text{ns}$ ,  $-0.83 \text{A}$ ) の二つのピーク、Type-I の場合は 1st peak ( $117 \text{ns}$ ,  $-0.74 \text{A}$ ) の一つのピークを呈するのに対し、Type-III の場合は 1st peak ( $120 \text{ns}$ ,  $-0.77 \text{A}$ ) のみであり、従来型と Type-I の中間的なピーク波形を示した。この結果から、AER が Box に届かない短い場合でも、リカバリ特性が十分改善できることが分かった。

### 5. 試作素子による検証実験の試み

(2.1) で述べた AER 型 SOI LDiode のデバイス仕様に基づいて作製した試作素子を Fig. 19 に示す。試作素子は 1 セル構成であり、中央部にカソード、外周部にアノードを配置したトラックパターンを採用した。〈4.4〉で述べた Type-III 構造を特徴づける AER は、表面濃度  $1.0 \times 10^{16} \text{cm}^{-3}$ 、接合深さ  $5.4 \mu\text{m}$  の deep-p ウェルで形成した。セル寸法と面積は、それぞれ  $980 \mu\text{m} \times 175 \mu\text{m}$ ,  $0.169 \text{mm}^2$  であり、Fig. 3 に示すシミュレーションに使用した LDiode の面積 ( $= 0.31 \text{mm}^2$ ) に対して約 1/2 である。キャリア寿命の制御は実施していない。試作素子の静特性は  $V_F = 1.63 \text{V}$  (at  $I_F = 0.5 \text{A}$ ,  $300 \text{A}/\text{cm}^2$ )、耐圧  $760 \text{V}$  であった。

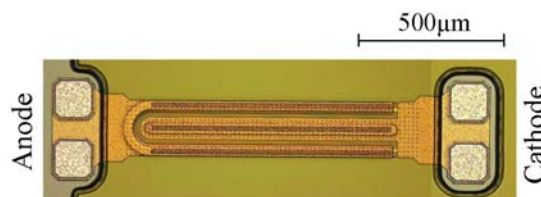


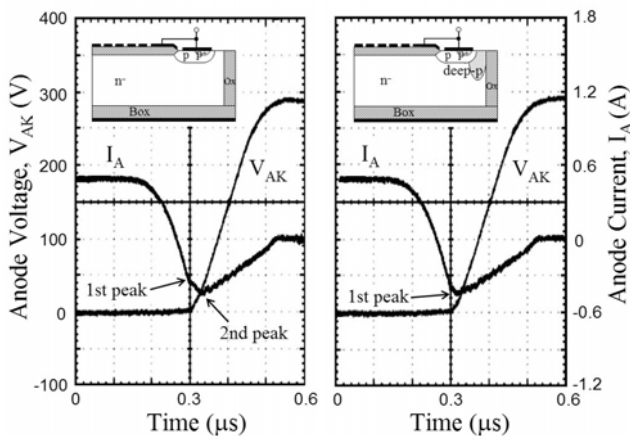
Fig. 19. Photo of the fabricated AER/Type-III SOI LDiode. The diode cell size is  $980 \mu\text{m} \times 175 \mu\text{m}$

次に、試作素子のリカバリ特性を Fig. 20 に示す。Fig. 20(a) は従来型、Fig. 20(b) は deep-p ウェルで形成した AER を備えた Type-III である。測定条件は、 $I_F = 0.5 \text{A}$  ( $300 \text{A}/\text{cm}^2$ ),  $di/dt = -10 \text{A}/\mu\text{s}$  に設定した。素子面積は、〈2.1〉のシミュレーションに対して約 1/2 であり、実験結果は  $20 \text{A}/\mu\text{s}$  相当としてシミュレーション結果と比較する必要がある。

Fig. 20 より、(a) 従来型は 1st peak ( $0.30 \mu\text{s}$ ,  $-0.35 \text{A}$ ) の直後にダイナミックアバランシェに起因する 2nd peak ( $0.34 \mu\text{s}$ ,  $-0.45 \text{A}$ ) が現れている。一方、(b) AER 型 / Type-III は、1st peak ( $0.32 \mu\text{s}$ ,  $-0.43 \text{A}$ ) のみであり、2nd peak は観測されなかった<sup>(11)</sup>。両者の比較から、〈3.3〉のシミュレーション解析を参考にすると、AER により衝突イオン化率が 1 桁以上低減した場合の電流ピーク抑制に相当する効果が確認された。

以上の実験結果より、Fig. 18 に示したシミュレーションによる予測を、ある程度確認することができたと考えられる。ただし、実験においては、シミュレーションと比べて  $di/dt$  が  $20 \text{A}/\mu\text{s}$  相当と小さいこと、AER の表面濃度が  $1.0 \times 10^{16} \text{cm}^{-3}$  と低いことから、シミュレーションに対する検証実験としては十分でないことに注意する必要がある。今後、

さらに厳密な検証実験が必要と考えられる。



(a) Conventional SOI LDiode (b) AER SOI LDiode/Type-III

Fig. 20. Comparison of measured recovery waveforms between conventional and Type-III AER SOI LDiods.  $I_F = 0.5A$ ,  $di/dt = -10A/\mu s$

## 6. まとめ

デバイスシミュレーションを使用して、従来技術で構成したSOI LDiodeを大きな  $di/dt$  でリカバリ動作させた時に発生するダイナミックアバランシェ現象を詳しく解析した。その結果、従来構造では、リカバリ開始直後において、アノード領域に蓄積したホールの抜けが悪く空乏化が遅れ、アノード領域の電界強度が高くなり、アノード側のフィールド酸化膜端部のシリコン表面 (Fig. 9 の A 点) において、高密度の衝突イオン化が発生することがダイナミックアバランシェの原因であることを明らかにした。

この理解に基づいて、リカバリ開始直後にアノード領域の空乏化を促進することを狙ってトレンチ側壁に p 型 AER を付加した構造を提案し、デバイスシミュレーションを使用してダイナミックアバランシェを効果的に抑制できることを初めて明らかにした。さらに、p 型 AER がシリコン厚さの約 1/2 と短い場合でも十分な抑制効果があることを、シミュレーションにより予測した上で、LDiode の試作素子により検証実験を試みた。

以上から、p 型 AER と  $p^-/p^+$  アノード構造を組み合わせた AER 型 LDiode は、ダイナミックアバランシェを効果的に抑制することができ、高速スイッチング動作に適した構造であることを示した。

## 謝辞

本研究を進める上で、有益な議論をしていただいた白木聡、高橋茂樹、鈴木隆司 (豊田中研)、蛭間淳之の各氏に感謝いたします。試作評価及び測定で協力していただいた千田厚慈、酒井健、櫻井晋也、木村大至 (豊田中研)、芦田洋一、池浦奨悟の各氏に謝意を表します。

(平成 23 年 3 月 26 日受付, 平成 23 年 9 月 19 日再受付)

## 文 献

- (1) A. Nakagawa: "Impact of Dielectric Isolation Technology on Power ICs", Proc. ISPSD '91, pp.16-21 (1991-5)
- (2) A. Nakagawa, H. Funaki, Y. Yamaguchi, and F. Suzuki: "Improvement in Lateral IGBT Design for 500V 3A One Chip Inverter ICs", Proc. ISPSD '99, pp.321-324 (1999-5)
- (3) Power Device and Power IC Handbook, IEEEJ, Ohmsya, p.84, 168 (1996-7) (in Japanese)  
パワーデバイス・パワーICハンドブック, 電気学会編, オーム社, p.84, 168 (1996-7)
- (4) K. Hirayama, H. Funaki, Y. Yamaguchi, and A. Nakagawa: "Reverse Recovery Characteristics of SOI Lateral High Speed Diodes", IEEEJ Tech. Meeting, EDD-98-61, pp.21-26 (1998-2) (in Japanese)  
平山敬三・舟木英之・山口好広・中川明夫: 「横型 SOI 高速ダイオードの逆回復特性」, 電学研資, EDD-98-61, pp.21-26 (1998-2-19)
- (5) A. Nakagawa, H. Funaki, Y. Yamaguchi, and K. Hirayama: "Design Optimization of 500V Lateral SOI High Speed Diodes", Proc. PCIM International '98, pp.9-12 (1998-4)
- (6) H. Funaki, Y. Yamaguchi, K. Hirayama, and A. Nakagawa: "Lateral SOI Diode Design Optimization for High Ruggedness and Low Temperature Dependence of Reverse Recovery Characteristics", Proc. ISPSD '98, pp.33-36 (1998-6)
- (7) K. Sato, N. Hirano, A. Kawakami, and H. Iwamoto: "Study of Oscillation in High Voltage Diode during at Recovery Operation", IEEEJ Trans. IA, Vol. 119, No. 11, pp.1401-1408 (1999-11) (in Japanese)  
佐藤克己・平野紀利・川上明・岩本英雄: 「逆回復動作時の高耐圧ダイオードの発振現象の検討」, 電学論, 119 巻 11 号, pp.1401-1408 (1999-11)
- (8) T. Yamamoto, H. Kato, N. Tokura, and A. Nakagawa: "Analysis of dynamic avalanche phenomenon in SOI lateral high speed diode during reverse recovery and proposal of novel device structure suppressing the dynamic avalanche", IEEEJ Joint Tech. Meeting, EDD-10-93/SPC-10-150, pp.57-64 (2010-11) (in Japanese)  
山本貴生・加藤久登・戸倉規仁・中川明夫: 「横型 SOI 高速ダイオードの逆回復動作におけるダイナミックアバランシェ現象の解析とその抑制構造の検討」, 電学合研資, EDD-10-93/SPC-10-150, pp.57-64 (2010-11-29)
- (9) K. Endo, Y. Baba, Y. Udo, M. Yasui, and Y. Sano: "A 500V 1A 1-Chip Inverter IC with a New Electric Field Reduction Structure", Proc. ISPSD '94, pp.379-382 (1994-6)
- (10) ISE TCAD Release 10.0 DESSIS (2005)
- (11) T. Suzuki, T. Kimura, S. Sakurai, S. Takahashi, S. Shiraki, N. Tokura, and T. Sugiyama: "Development of high speed and highly rugged SOI lateral diode with improved anode structure", IEEEJ Joint Tech. Meeting, EDD-10-94/SPC-10-151, pp.65-70 (2010-11) (in Japanese)  
鈴木隆司・木村大至・櫻井晋也・高橋茂樹・白木聡・戸倉規仁・杉山隆英: 「アノード構造を改良した高速・高破壊耐量 SOI 横型ダイオードの開発」, 電学合研資, EDD-10-094/SPC-10-151 (2010-11-29)
- (12) Y. Ashida, S. Takahashi, S. Shiraki, N. Tokura, and A. Nakagawa: "Extraction enhanced lateral IGBT ( $E^2$  LIGBT): A super high speed LIGBT superior to LDMOS", Ext. Abstracts SSDM2011, L-8-2, pp.1371-1372 (2011-9-30)
- (13) S. Shiraki, S. Takahashi, A. Yamada, M. Yamamoto, K. Senda, Y. Ashida, A. Hiruma, and N. Tokura: "High voltage and high reliability SOI power IC technologies and their application to 750V 4.5A micro-inverter IC", Ext. Abstracts SSDM2011, L-8-3, pp.1373-1374 (2011-9-30)
- (14) H. Kato, S. Harada, Chan-Su Yun, V. Meniailenko, Y. Ashida, S. Takahashi, and N. Tokura: "High accurate TCAD calibration methodology realizing smart-design of integrated power devices consisting of lateral-IGBT & Diode in SOI micro-inverters", Ext. Abstracts SSDM2011, P-14-18, pp.554-555 (2011-9-29)
- (15) TPD4125K datasheet, <http://www.semicon.toshiba.co.jp/openb2b/web-search/productDetails.jsp?partKey=TPD4125K>

戸倉規仁



(正員) 1953年9月19日生。1978年3月静岡大学大学院工学研究科電子工学専攻修士課程修了。同年日本電装(株)入社。1985年まで(株)日本自動車部品総合研究所にて車載電子システム製品の研究開発に従事。1986年から日本電装(株)にて主に車載用中小電力パワー半導体デバイス(IGBT, パワー-MOSFET, Si超格子デバイス, InP-MISFET, SiC-MOSFET等)の研究開発に従事。1995年から(株)デンソーにて主に車載用大電力 IGBT, RC-IGBT, 及び SJ-MOSFET の開発並びに TCAD システム構築に従事。2009年から幸田製作所にて主に SOI 型パワーIC の開発に従事。応用物理学会, 電子情報通信学会会員。博士(工学)。電気学会パワーデバイス技術調査専門委員会委員('93~'04)。ISPSD 論文委員('98, '04, '05)。電気学会編「世界を動かすパワー半導体(2008年12月)」を共同編纂。

山本貴生



(非会員) 1981年1月19日生。2005年3月東北大学理学研究科修士課程修了。同年ローム(株)に入社し, パワー-MOSFET の製品開発に従事。2008年(株)デンソーに入社し, デバイス開発部にて SJ-MOSFET の開発, 2010年より SOI 型パワー半導体デバイスの TCAD 解析に従事。現在, デバイス事業部 CAE 革新室にて ECAD 構築に従事。

加藤久登



(正員) 1965年7月15日生。1989年3月名古屋大学理学部物理学科卒業。同年日本電装(株)入社。1993年まで(株)日本自動車部品総合研究所にて TFT パネルのプロセス開発に従事。1993年から日本電装(株)にて主として車載用 BCD プロセス・デバイスの開発, 1998年より TCAD システム構築を経て, 微細 CMOS プロセスの開発, 2007年より SOI 型パワーIC の開発に従事。現在, デバイス事業部 CAE 革新室にて TCAD 及び ECAD 構築に従事。

中川明夫



(正員) 1949年9月25日生。1974年東京大学理学研究科修士課程修了。同年東芝総合研究所入社。1981年9月~83年2月マサチューセッツ州立大学客員研究員。2005年東芝セミコンダクタ社首席技監。2010年1月合同会社中川コンサルティング事務所設立。現在, 同社技術コンサルタントを務め, パワーデバイス・パワーIC 技術開発のコンサルティング業務に従事。工学博士。IEEE シニアメンバー。1984年ノンラッチアップ IGBT を開発, 1990年大河内記念技術賞, 1997年東芝社長特別表彰, 1998年パワー半導体デバイス国際学会で ISPSD Award 受賞, 2010年 IEEE Newell Power Electronics Award 受賞。