パワー半導体の未来とTCAD技術

中川 明夫

中川コンサルティング事務所

概要

1. パワーデバイスは中小企業。
（サムスンは参入しがたい？）

2. シリコンに注力すべき理由が多くある。

3. TCAD(既存物理モデル)でまだ大きな改善、発見の余地がある。

GTOの電流集中
IEGT
CoolMOS
電流集中

TCADの3次元の本格利用

1. パワーデバイスは中小企業。
（サムスンは参入しがたい？）

2. シリコンに注力すべき理由が多くある。

3. TCAD(既存物理モデル)でまだ大きな改善、発見の余地がある。

GTOの電流集中
IEGT
CoolMOS
電流集中

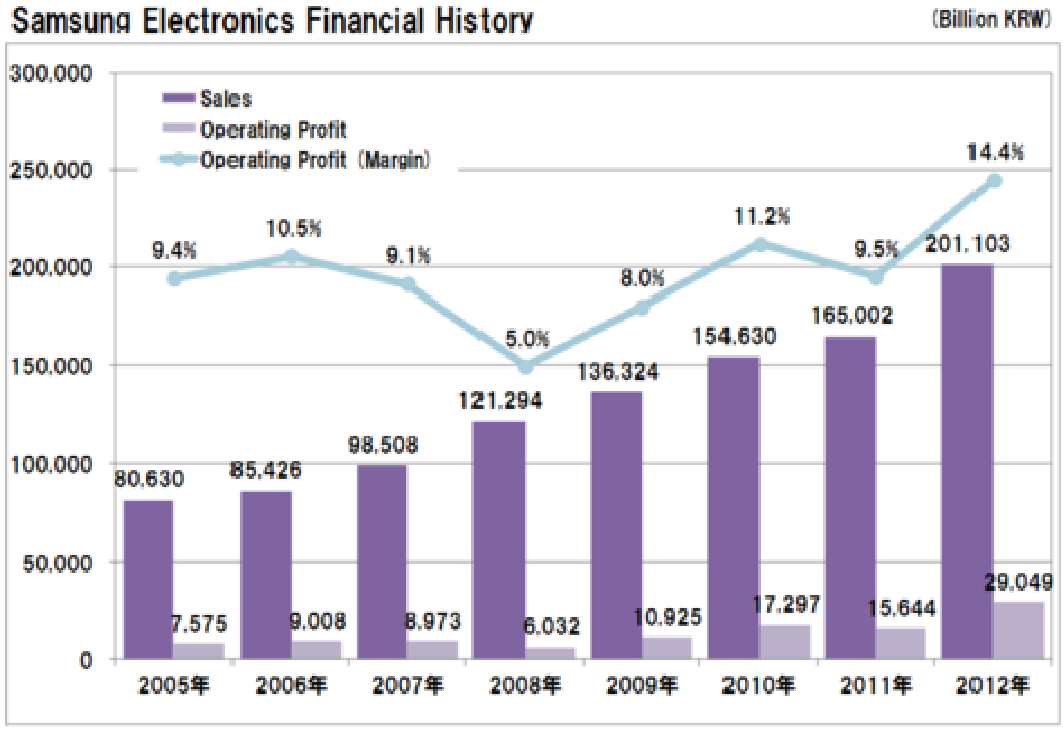
TCADの3次元の本格利用

2013年の半導体売上高

2013F Rank	2012 Rank	Company	Headquarters	2012 Tot Semi	1Q13 Tot Semi	2Q13 Tot Semi	3Q13 Tot Semi	4Q13F Tot Semi	2013F Tot Semi	2013F/2012 % Change
1	1	Intel	U.S.	49,114	11,555	11,785	12,366	12,615	48,321	-2%
2	2	Samsung	South Korea	32,251	7,946	7,769	8,805	9,070	33,590	4%
3	3	TSMC*	Taiwan	16,951	4,460	5,152	5,377	4,815	19,804	17%
4	4	Qualcomm**	U.S.	13,177	3,916	4,222	4,457	4,550	17,145	30%
5	8	SK Hynix	South Korea	9,057	2,577	3,521	3,692	3,250	13,040	44%
6	6	Toshiba	Japan	11,217	2,938	2,868	3,356	3,035	12,197	9%
7	5	TI	U.S.	12,081	2,718	2,872	3,064	2,820	11,474	-5%
8	10	Micron	U.S.	8,002	2,158	2,493	2,900	3,000	10,551	32%
9	9	ST	Europe	8,364	1,994	2,033	2,077	2,080	8,184	-2%
10	11	Broadcom**	U.S.	7,793	1,954	2,035	2,146	1,975	8,110	4%
11	7	Renesas	Japan	9,314	1,886	1,920	2,101	1,920	7,827	-16%
12	14	Infineon	Europe	4,928	1,208	1,327	1,390	1,340	5,265	7%
13	13	AMD**	U.S.	5,422	1,088	1,161	1,461	1,534	5,244	-3%
14	12	Sony	Japan	5,709	1,247	1,144	1,203	1,295	4,889	-14%
15	15	NXP	Europe	4,325	1,085	1,188	1,249	1,265	4,787	11%
16	22	MediaTek**	Taiwan	3,366	817	1,115	1,308	1,275	4,515	34%
17	17	GlobalFoundries*	U.S.	4,013	946	1,020	1,125	1,170	4,261	6%
18	19	Freescale	U.S.	3,803	925	987	1,030	1,000	3,942	4%
19	20	UMC*	Taiwan	3,730	898	1,016	1,060	945	3,919	5%
20	18	Nvidia**	U.S.	3,965	939	903	1,005	905	3,752	-5%
Top 20 Total				216,582	53,255	56,531	61,172	59,859	230,817	7%

米IC Insights社

サムスン電子



2012年の売上高は、前年比21.9%増の201兆1,036億ウォン（約16兆8,800億円）
営業利益は、　　同85.7%増の29兆493億ウォン（約2兆4,400億円）

パワーデバイスの市場はサムスンには魅力がない？

事業分野内訳

コンシューマーエレクトロニクス（CE）事業

TV、モニター、PC、プリンター、カメラ、エアコン、冷蔵庫等製造/販売
営業利益：2.3兆ウォン（1,900億円）

IT＆モバイルコミュニケーション（IM）事業

携帯電話、スマートフォン、タブレットPCなど携帯端末、通信システム製造/販売
営業利益：19.44兆ウォン（1.62兆円）

半導体（Semi）事業

メモリー半導体、システムLSI半導体製造/販売
営業利益：4.17兆ウォン（3,475億円）

ディスプレイパネル（DP）事業

LCDパネル、LEDパネル製造/販売
営業利益：3.21兆ウォン（2,675億円）

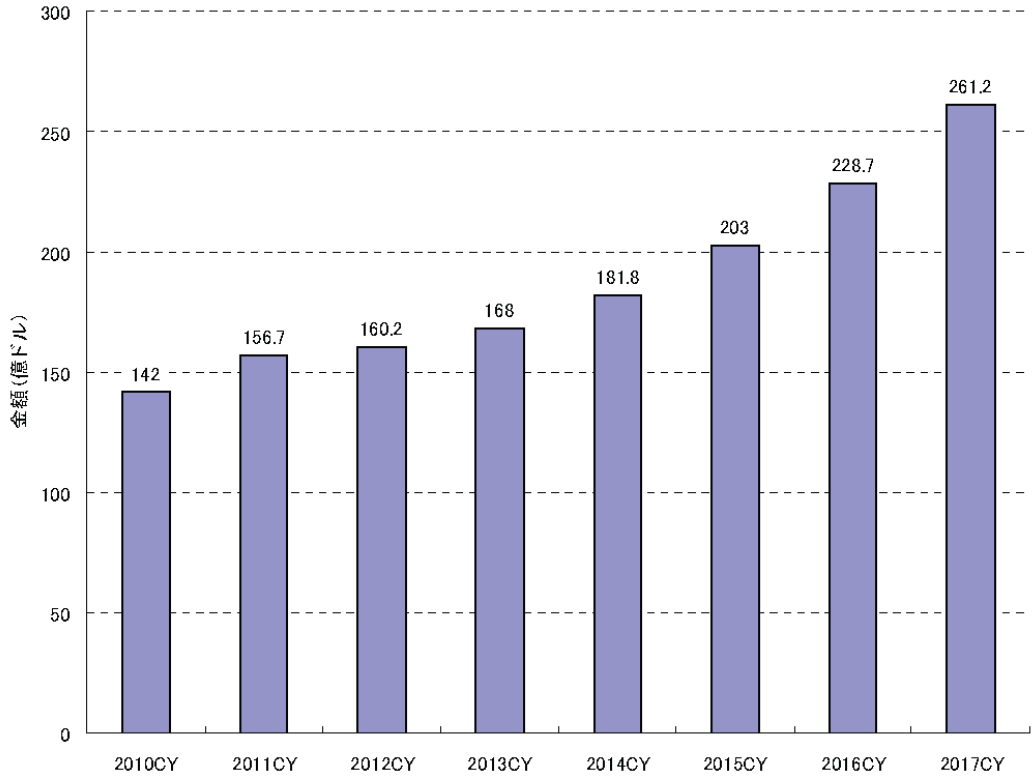
パワーデバイスの市場

◆ 2011年のパワー半導体世界市場は，新興国向けの需要が拡大し,156億7,000万ドルに達する見込み

◆ 2011年のパワー半導体市場はIGBTが市場を牽引，2009年と比較して市場全体に占めるIGBTの割合は12.4%上昇

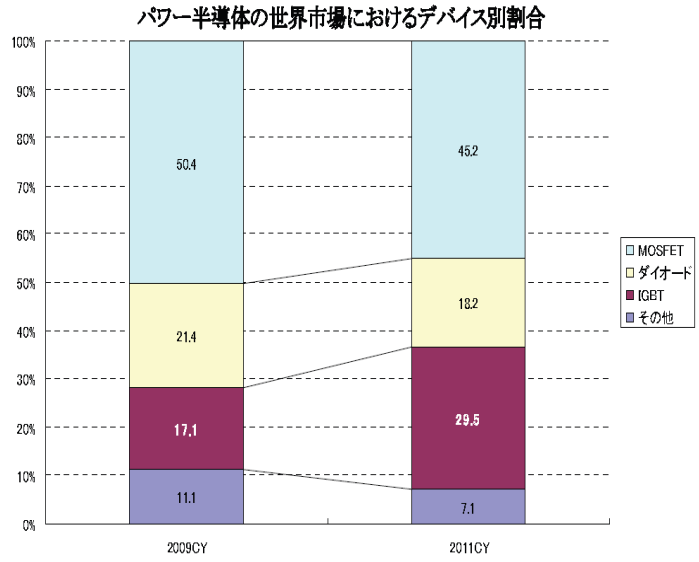
2011年の市場規模をデバイス別に分析すると、IGBTが市場全体の29.5%（46億2,000万ドル）を占めている。新エネルギー、白物家電、次世代自動車（HV/EV）向けのIGBTモジュールの需要拡大が進み、2009年の市場規模と比較すると、全体に占める割合は12.4%上昇する見通しである。

パワー半導体の世界市場規模推移と予測



矢野経済研究所推計

パワー半導体の世界市場におけるデバイス別割合



注1:メーカー出荷金額ベース
注2:2009年実績値、2011年見込値
注3:IGBTにパワーモジュール含む。その他にバイポーラトランジスタ、SiCデバイス含む。

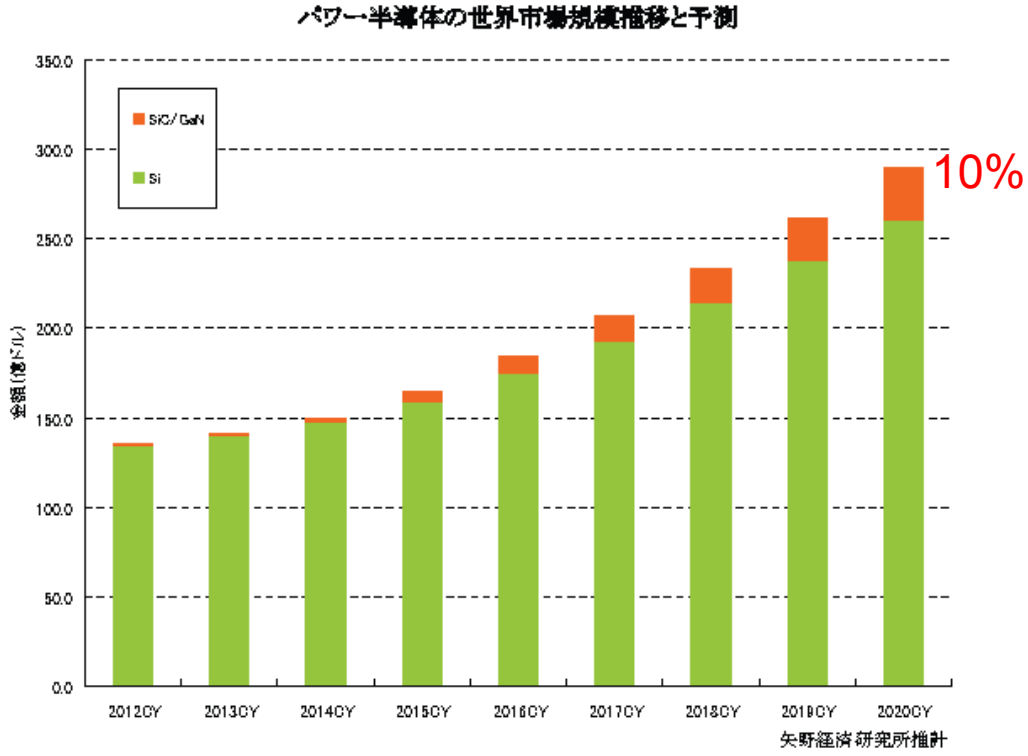
2013年矢野経済研究所

◆今後はパワーモジュールが市場を牽引し、2020年におけるパワー半導体の世界市場は290億1,000 万ドルと予測

パワー半導体の世界市場は、2013年後半より回復基調に戻る可能性が高い。MOSFET、ダイオードなどのディスクリート品から、パワーモジュールに市場の牽引役が移り、2020年におけるパワー半導体の世界市場規模は290億1,000万ドル（メーカー出荷金額ベース）へ成長と予測する。

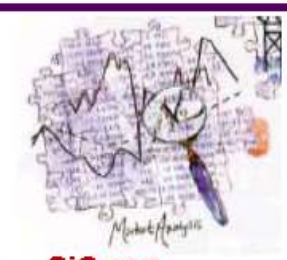
◆SiC、GaNなどを使った次世代パワー半導体世界市場は、2015年以降から本格的に採用拡大が進み、2020年の市場規模は29億8,000万ドルに達すると予測

次世代パワー半導体は、これまで一部用途に搭載機器は限定されていたが、コストダウンの進む2015年以降から各需要分野での採用が拡大、本格的に市場が立ち上がる。2020年におけるSiC、GaNパワー半導体の世界市場規模は29億8,000万ドル（メーカー出荷金額ベース）と予測する。

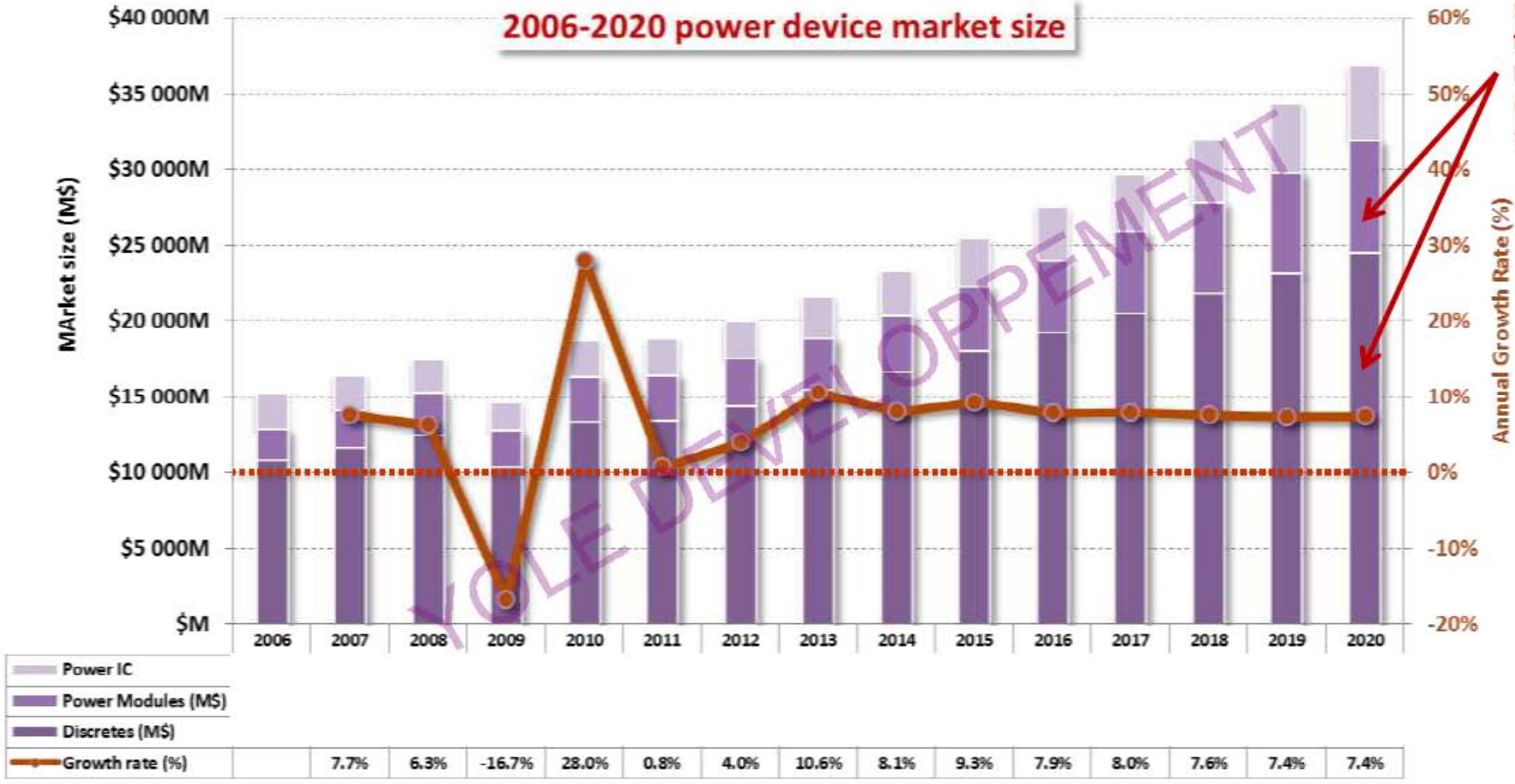


What TAM for SiC?

2006-2020 overall PE market size, split by device type



SiC can theoretically take market shares over these 2 segments



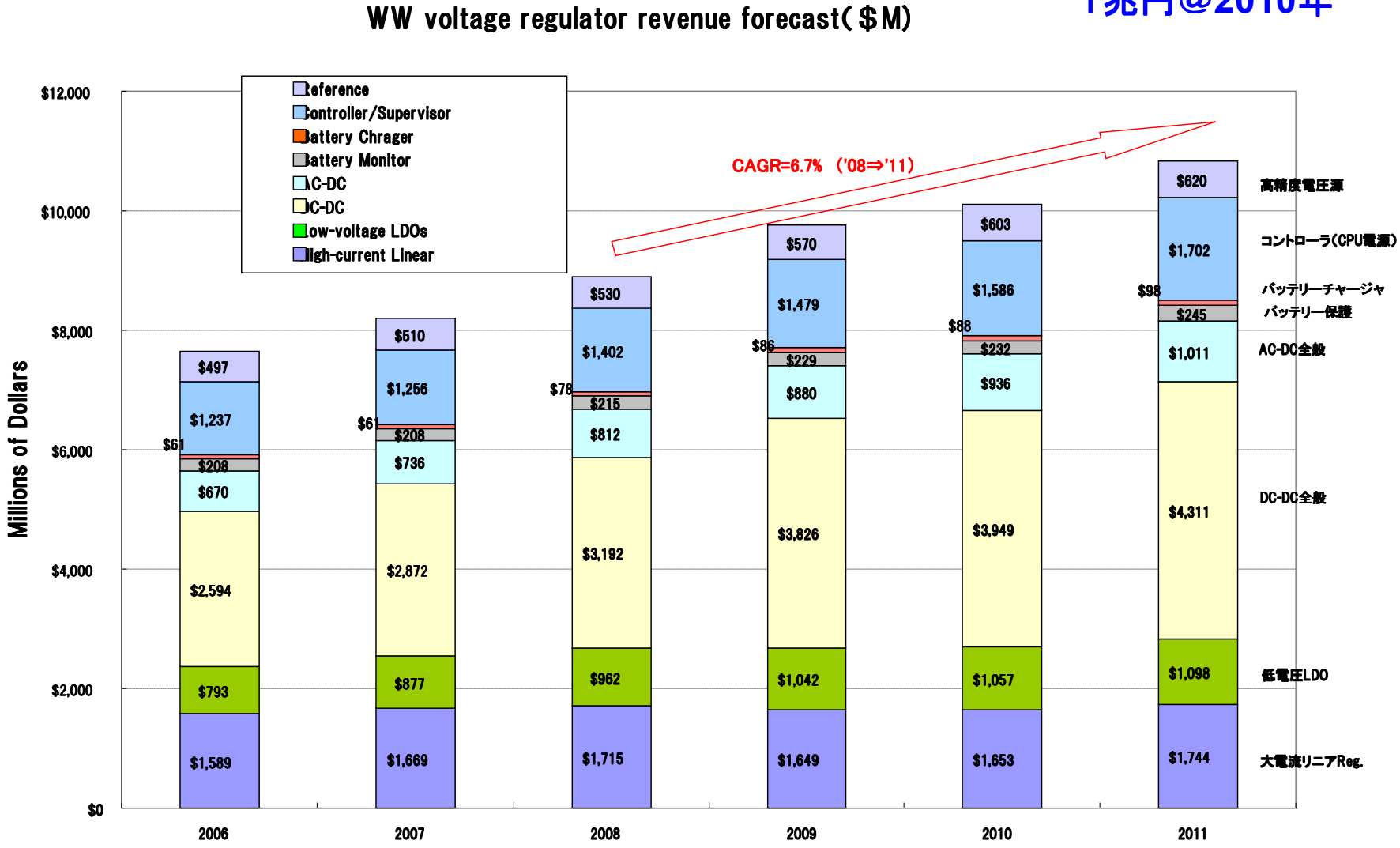
Source: Yole Développement

It includes:

- Power discretes: MOSFET, rectifier, IGBT, Bipolar….
- Power modules: IGBT, diode or MOSFET modules, IPM
- Power IC: power management IC: mainly voltage regulators (POL) and drivers

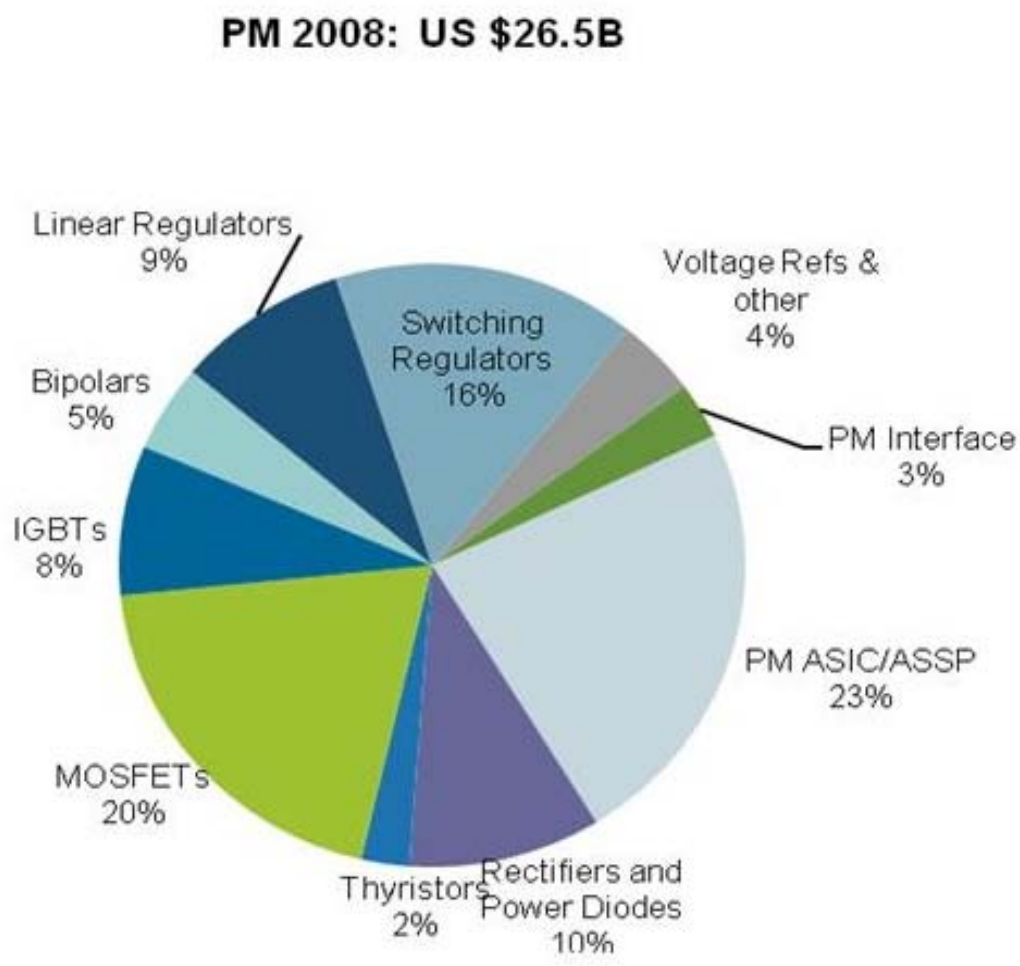
電源半導体の世界市場

1兆円@2010年



出典:Gartner

広義のパワーデバイス市場は２兆円超え



パワー・マネージメント半導体の2008年市場規模

出所：南川 明＝アイサプライ・ジャパン

1. パワーデバイスは中小企業。
（サムスンは参入しがたい？）

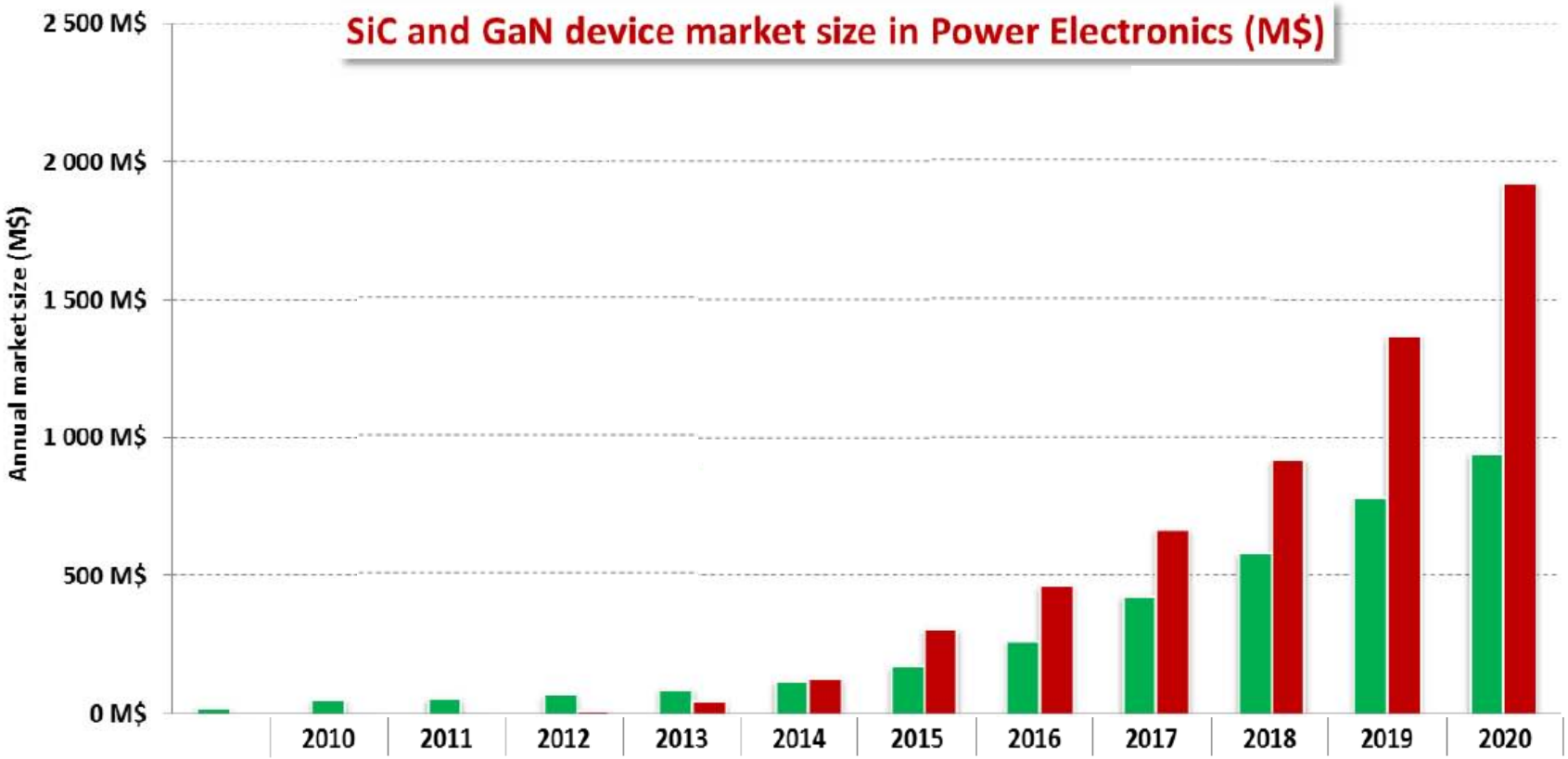
2. シリコンに注力すべき理由が多くある。

3. TCAD(既存物理モデル)でまだ大きな改善、発見の余地がある。

GTOの電流集中
IEGT
CoolMOS
電流集中

TCADの3次元の本格利用

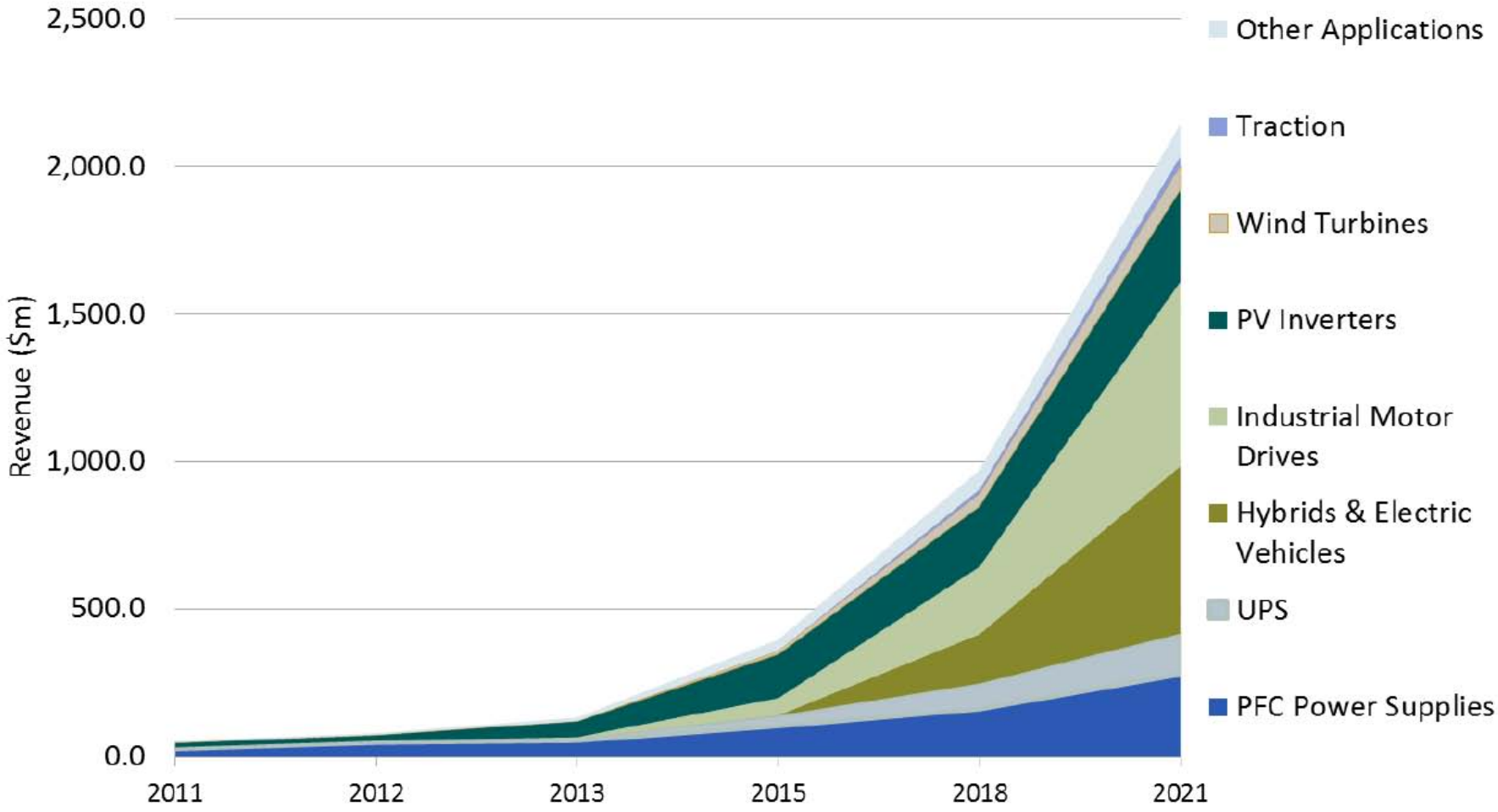
Comparison of SiC and GaN device market size projection to 2020



SiC and GaN overlap in some applications. Typically, for EV/HEV, PV inverter or Motor Drives, the market can by indifferently fuelled by SiC or GaN. Thus, part of the market value could move from one to the other. So, these values are "as if XX technology would capture 100% of its market potential, with no competition from YY technology"

2012年予測 (IMSresearch)

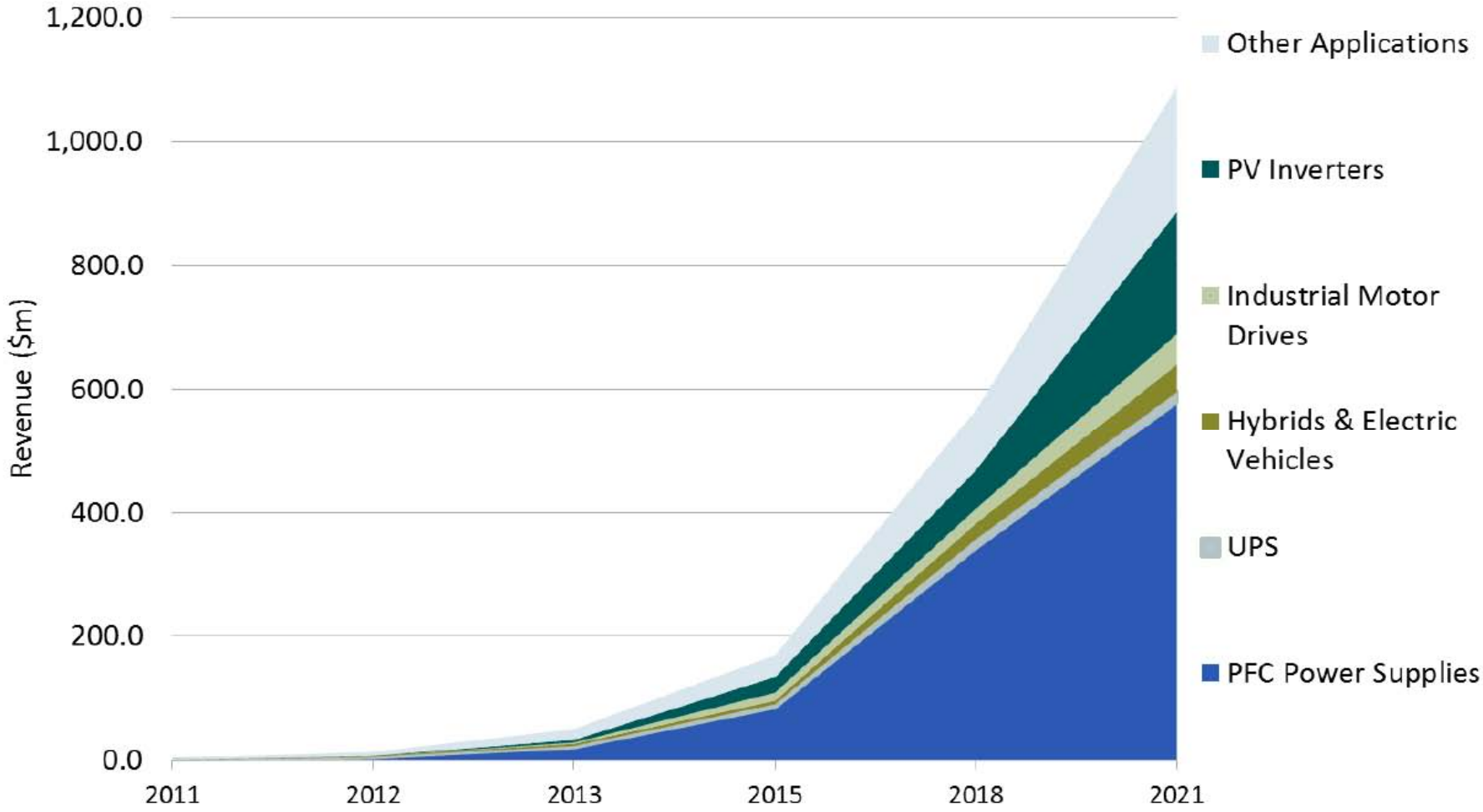
SiC Power Semiconductor Market



Data Source:
The World Market for Silicon Carbide & Gallium Nitride Power Semiconductors – 2012

2012年予測 (IMSresearch)

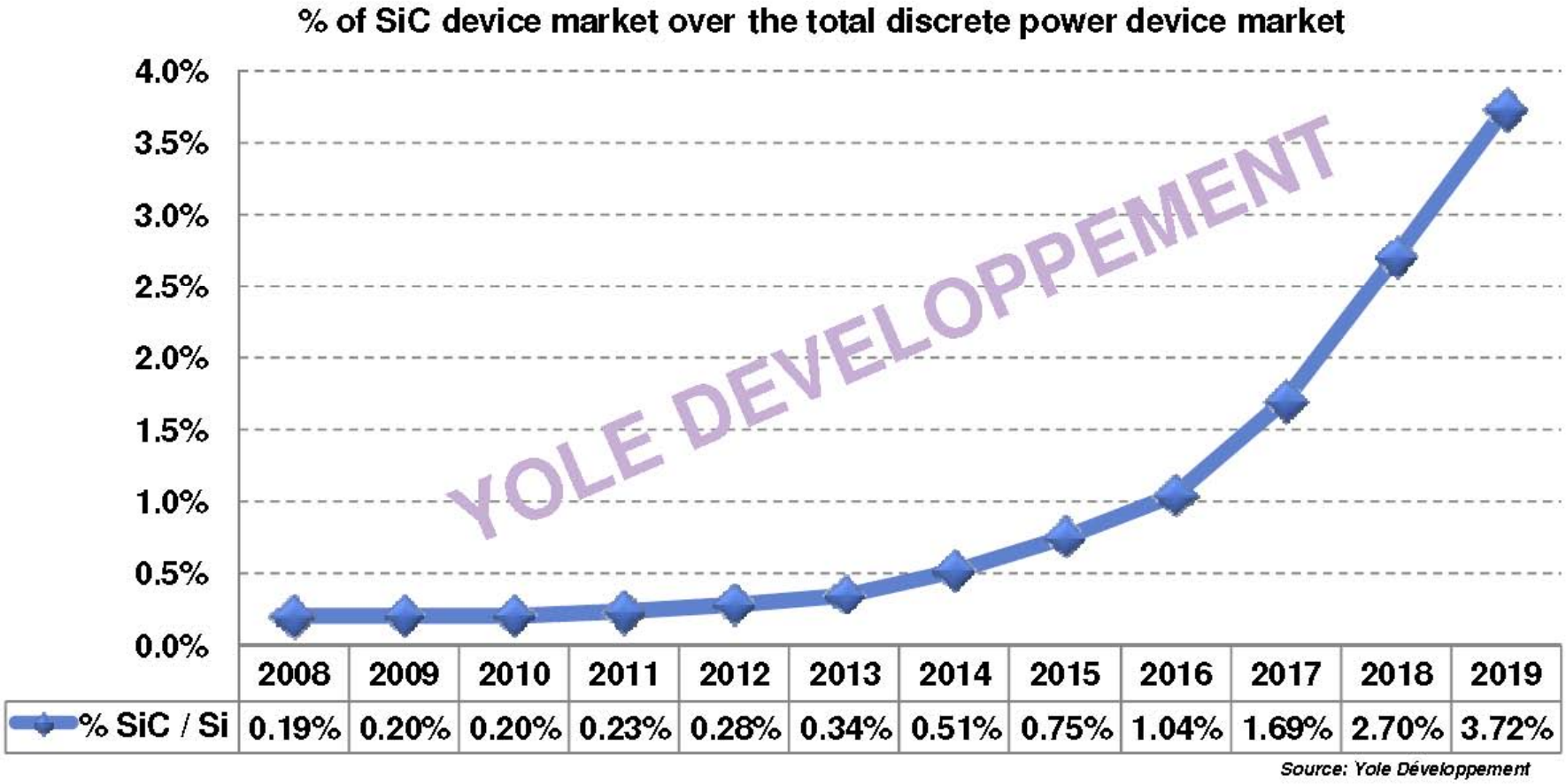
GaN-on-Silicon Power Semiconductor Market



Data Source:
The World Market for Silicon Carbide & Gallium Nitride Power Semiconductors – 2012

2010年時点での予測 (Yole Development)

SiC Device Market
% of Total silicon discrete power device market



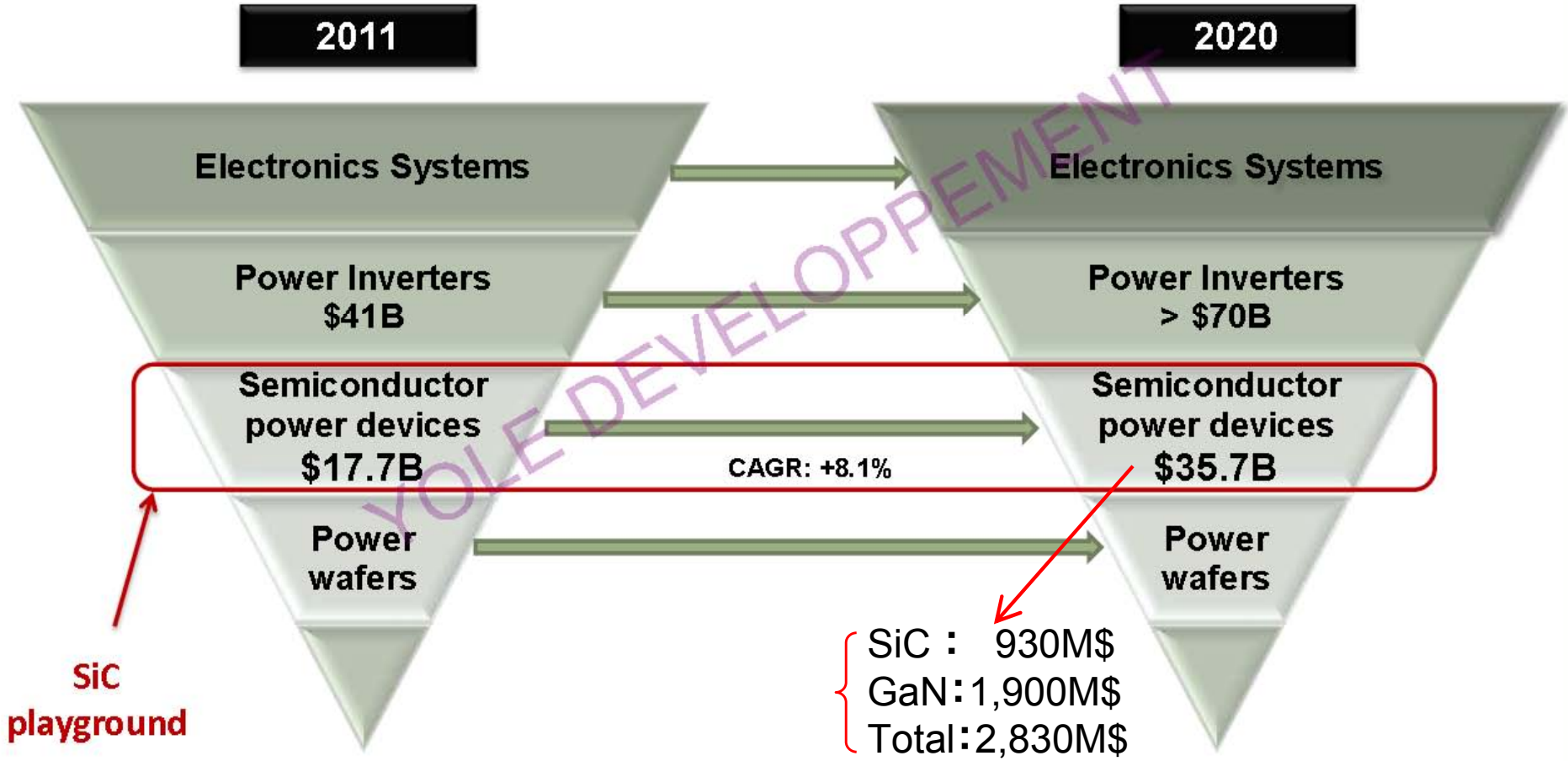
	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019
% SiC / Si	0.19%	0.20%	0.20%	0.23%	0.28%	0.34%	0.51%	0.75%	1.04%	1.69%	2.70%	3.72%

Source: Yole Développement

2012年時点での予測 (Yole Development)

Power Electronics

2011-2020 value-chain analysis: wafer, device, system

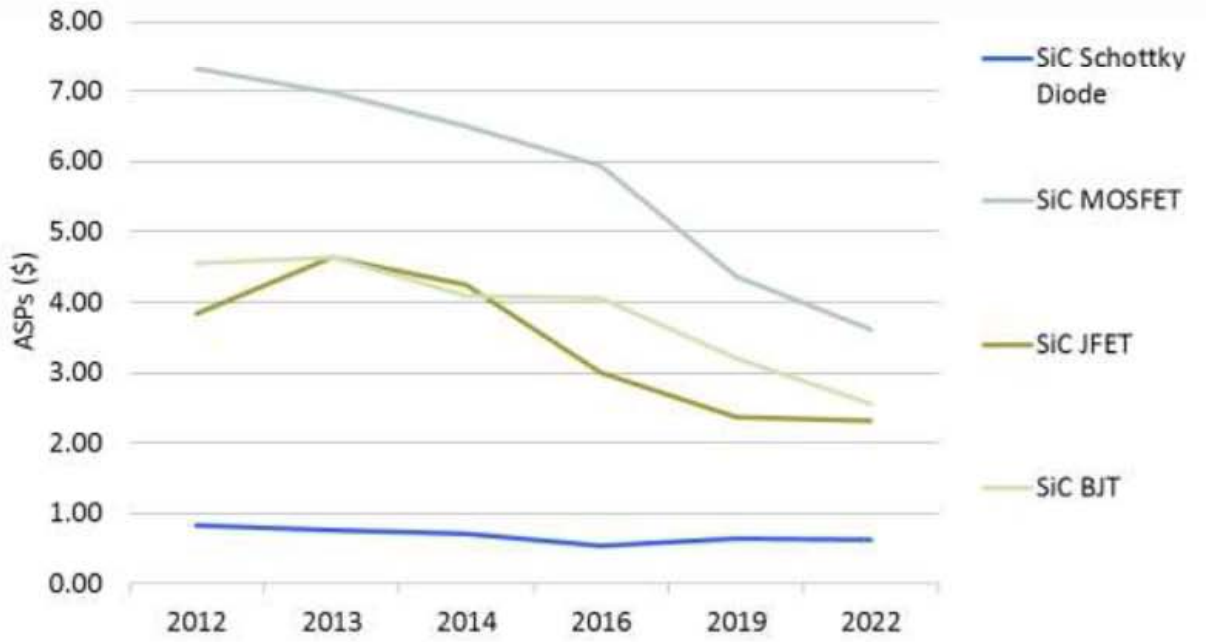


SiC素子のコストは2020年でも現在の1/2 High ENDにしか使えない？

IHS has acquired IMSresearch

SiC Device price trends

- SiC Diodes currently cost x5 – x7 Silicon Schottky Diodes
- SiC JFETs cost x4 – x7 Silicon MOSFETs
- SiC MOSFETs cost x10 – x15 Silicon MOSFETs



Data Source:
The World Market for Silicon Carbide & Gallium Nitride Power Semiconductors – 2013

出所: APEC 2013 Industry Session 1.4.2 IMSresearch

シリコンはまだ進化している!!

SiCとの競合技術

MOSFET	NEXFET	30V
	CoolMOS	600V
Diode	QSPEED	600V

回路技術で対応する！

エアコン	CoolMOS	リカバリーアシスト

シリコン限界への挑戦

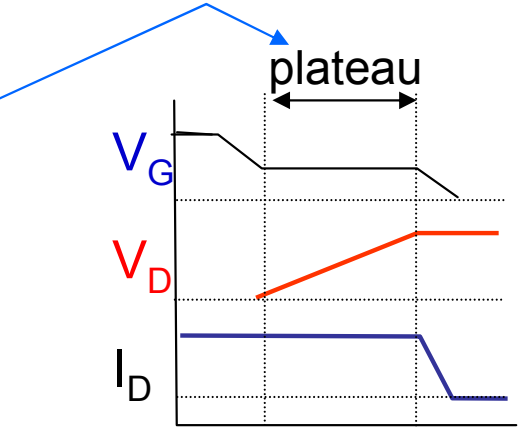
Theoretical Silicon limit of Switching Speed :

$$t_f = \frac{\text{Stored Charge } (Q_{str})}{\text{Drain Current } (I_D)}$$

MOSFETのターンオフ

$$t_f = \frac{Q_{str}}{I_D}$$

$$\text{Mirror period} = \frac{Q_{gd}}{I_G}$$



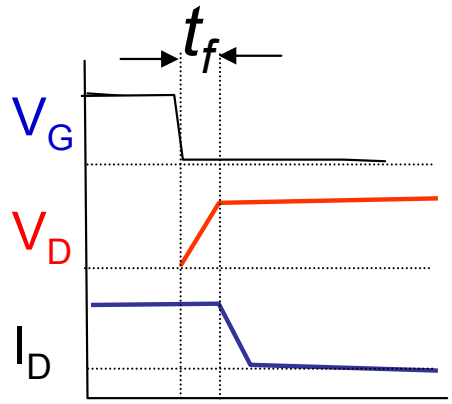
$$P_{loss} = R_{on} I_D{}^2 + V_A I_D \frac{Q_{gd}}{I_G} f + \frac{1}{3} Q_{str} V_A f$$

Major loss

MOSFETのターンオフ

理想限界:

$$t_f = \frac{Q_{str}}{I_D} \qquad \text{Mirror period} = \frac{Q_{gd}}{I_G} = 0$$



$$P_{loss} = R_{on} I_D{}^2 + \frac{1}{3} Q_{str} V_A f$$

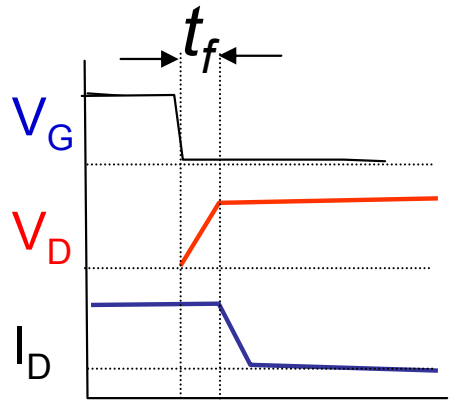
→ Low Impedance gate drive is a key technology
to supply a large gate current
to eliminate mirror period.

MOSFETのターンオフ

New FOM = $\mathbf{R_{on}Q_{str}}$

理想限界:

$$t_f = \frac{Q_{str}}{I_D} \qquad \text{Mirror period} = \frac{Q_{gd}}{I_G} = 0$$

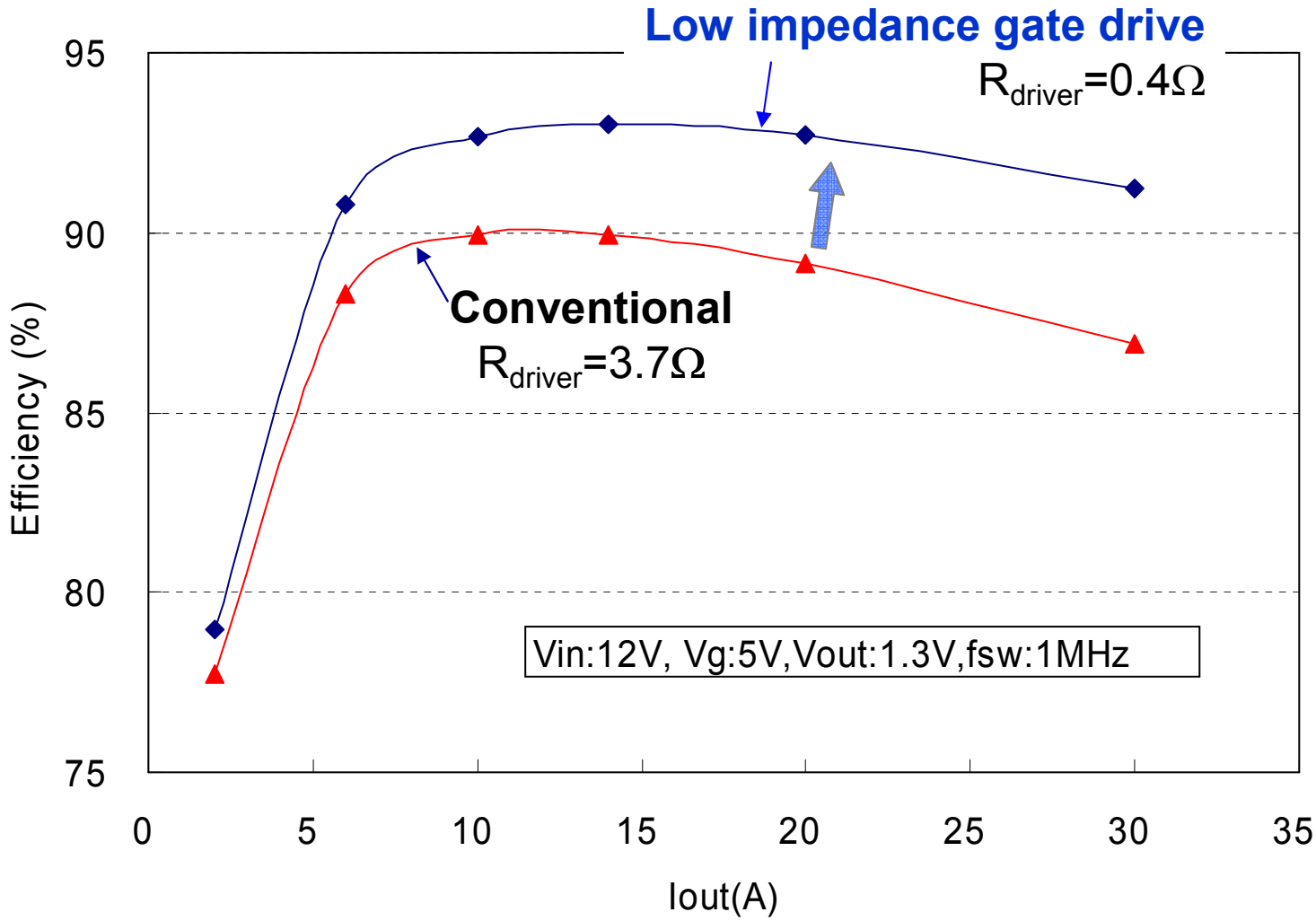


$$P_{loss} = R_{on} I_D{}^2 + \frac{1}{3} Q_{str} V_A f$$

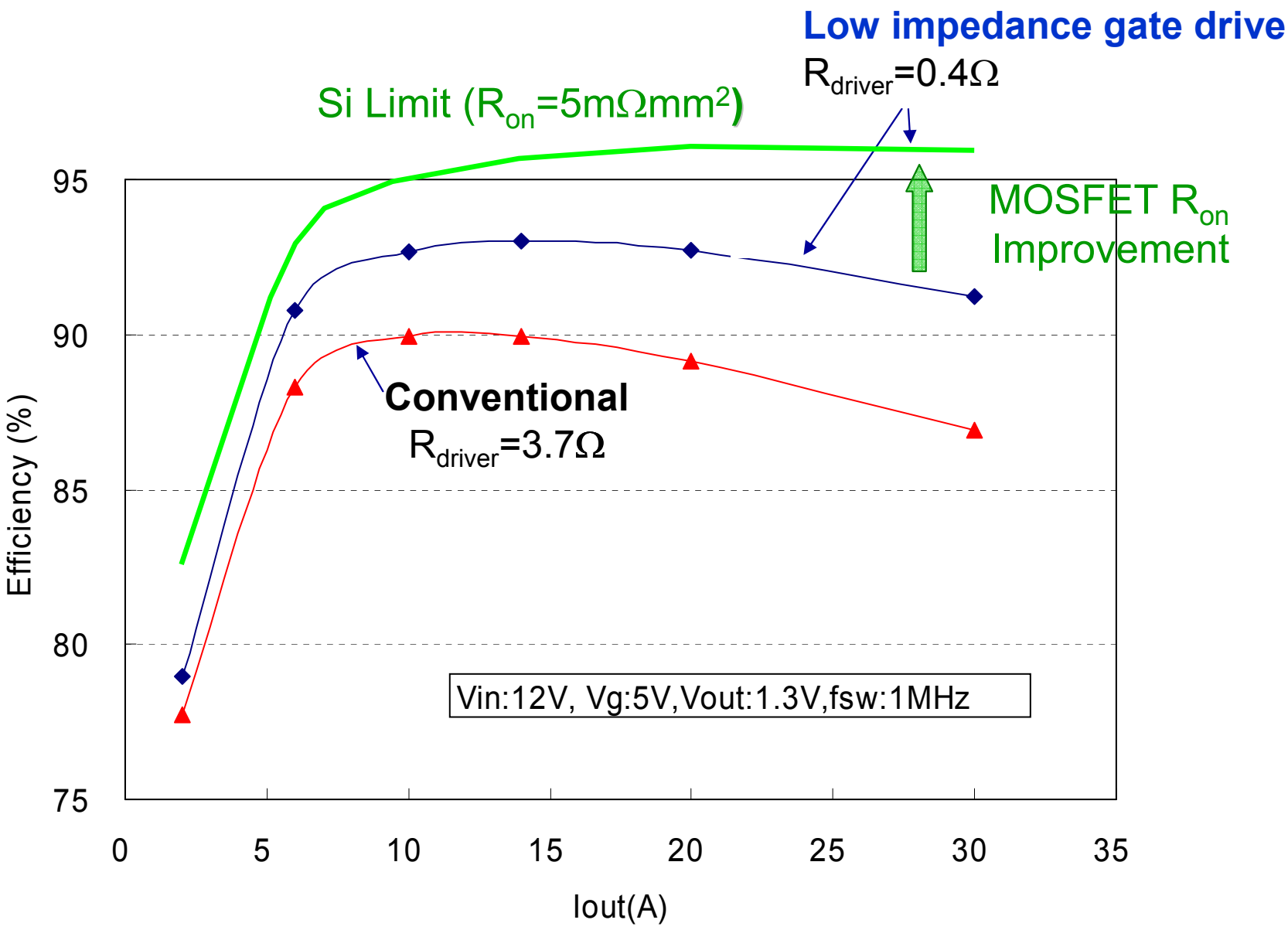
$$= R_{on} I_D{}^2 + \frac{1}{3} Q_{str} V_A f \geq 2\sqrt{\mathbf{R_{on}Q_{str}} \frac{1}{3} I_D{}^2 V_A f}$$

New FOM

Effect of low impedance gate drive

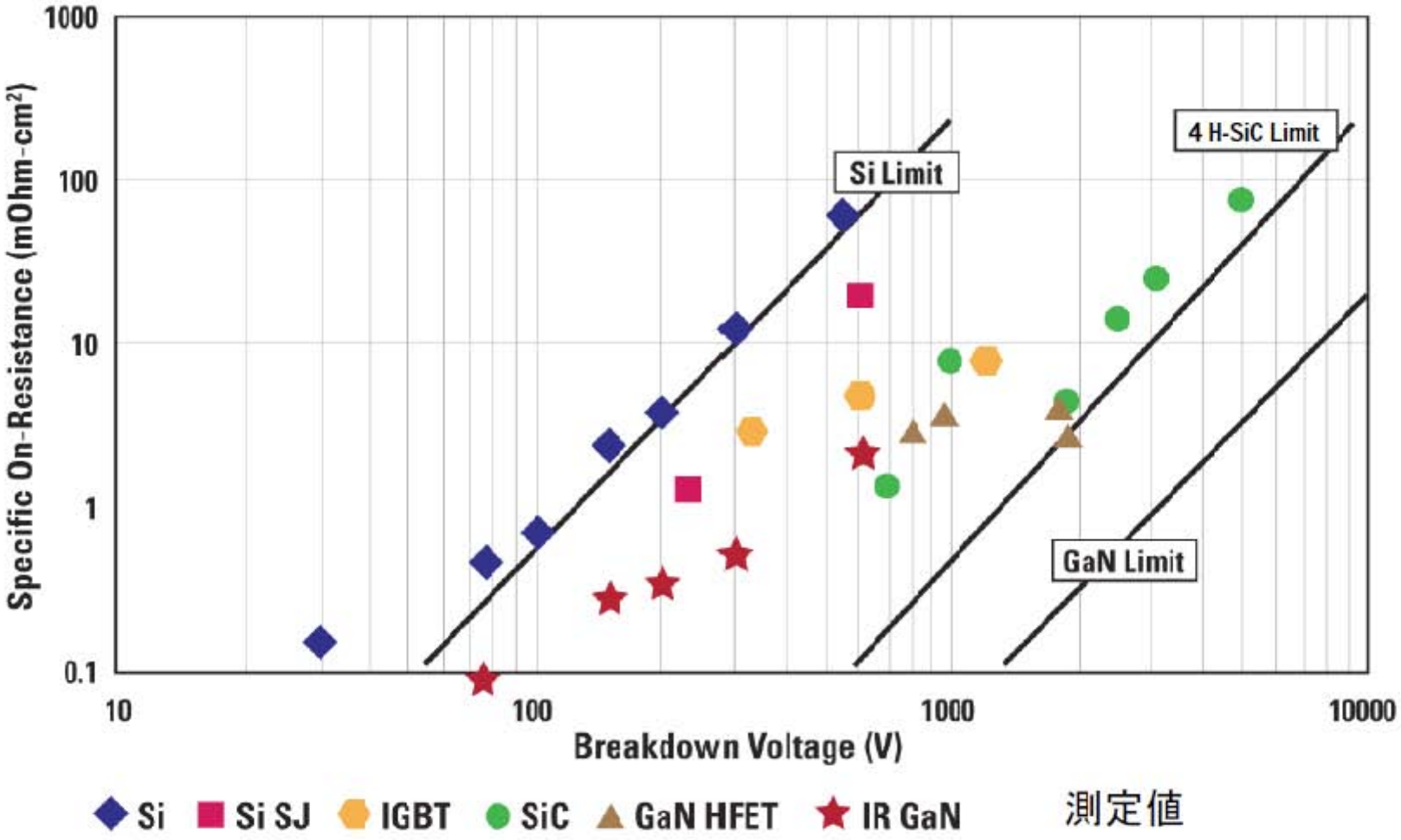


Predicted Silicon Limit Efficiency



飛躍的にパワー・デバイスのFOMを改善

Si, SiC とGaN のR_{on} 比較

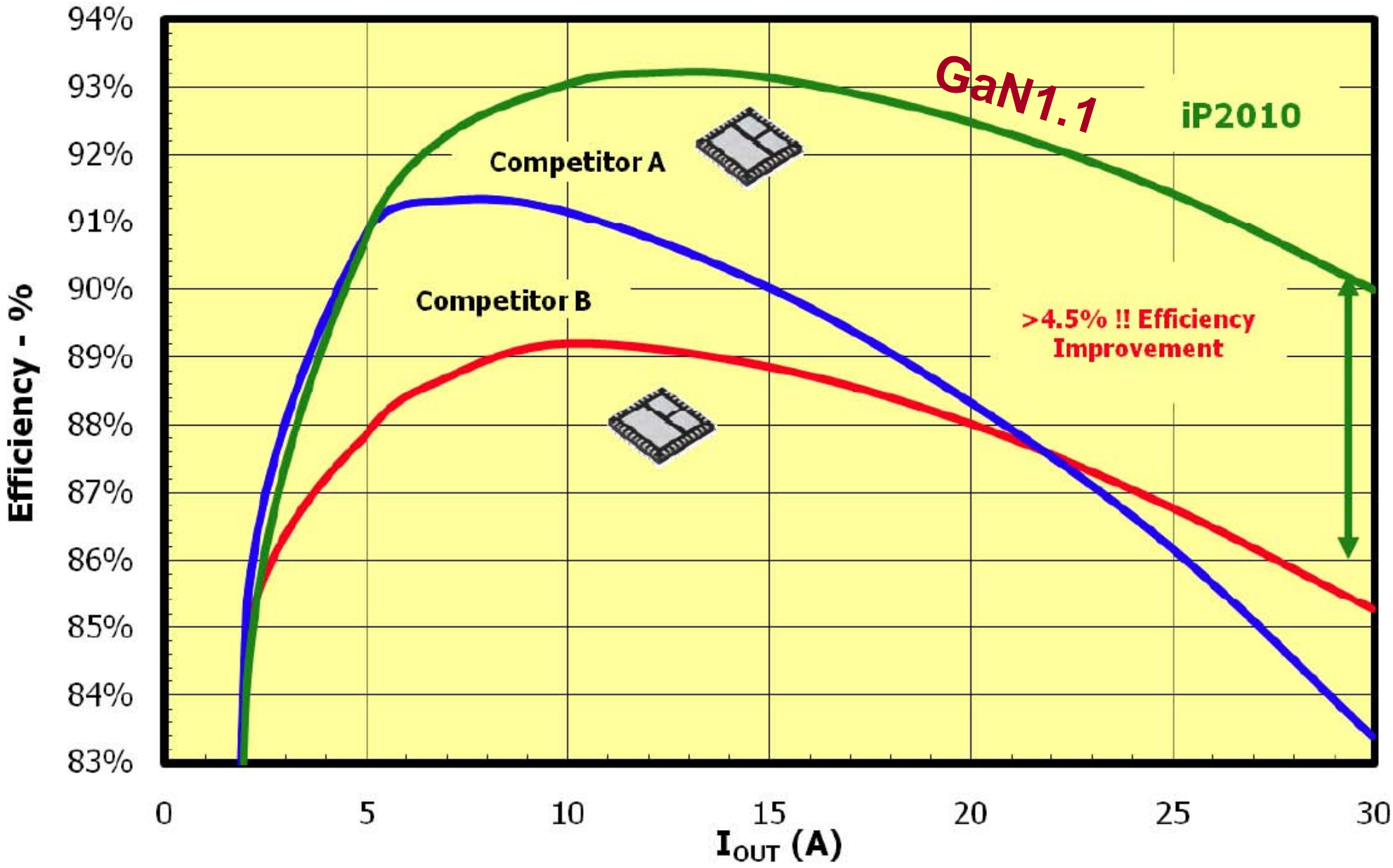


臨界電界 : Si = 20 V/μm , GaN = 300 V/ μm

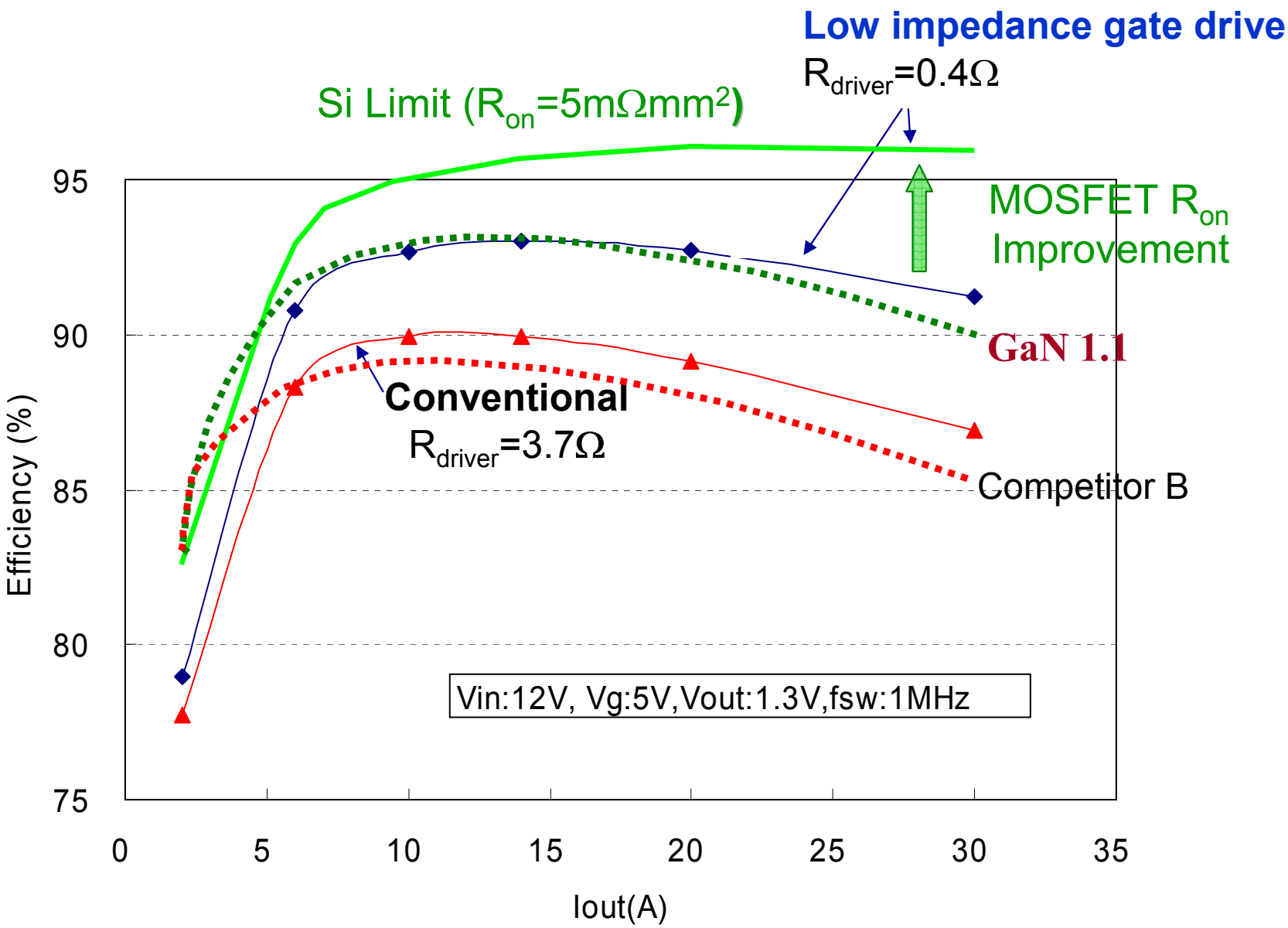
Ref: N. Ikeda et.al. ISPSD 2008 p.289

Vin=12V, Vo=1.2V @ 600KHz

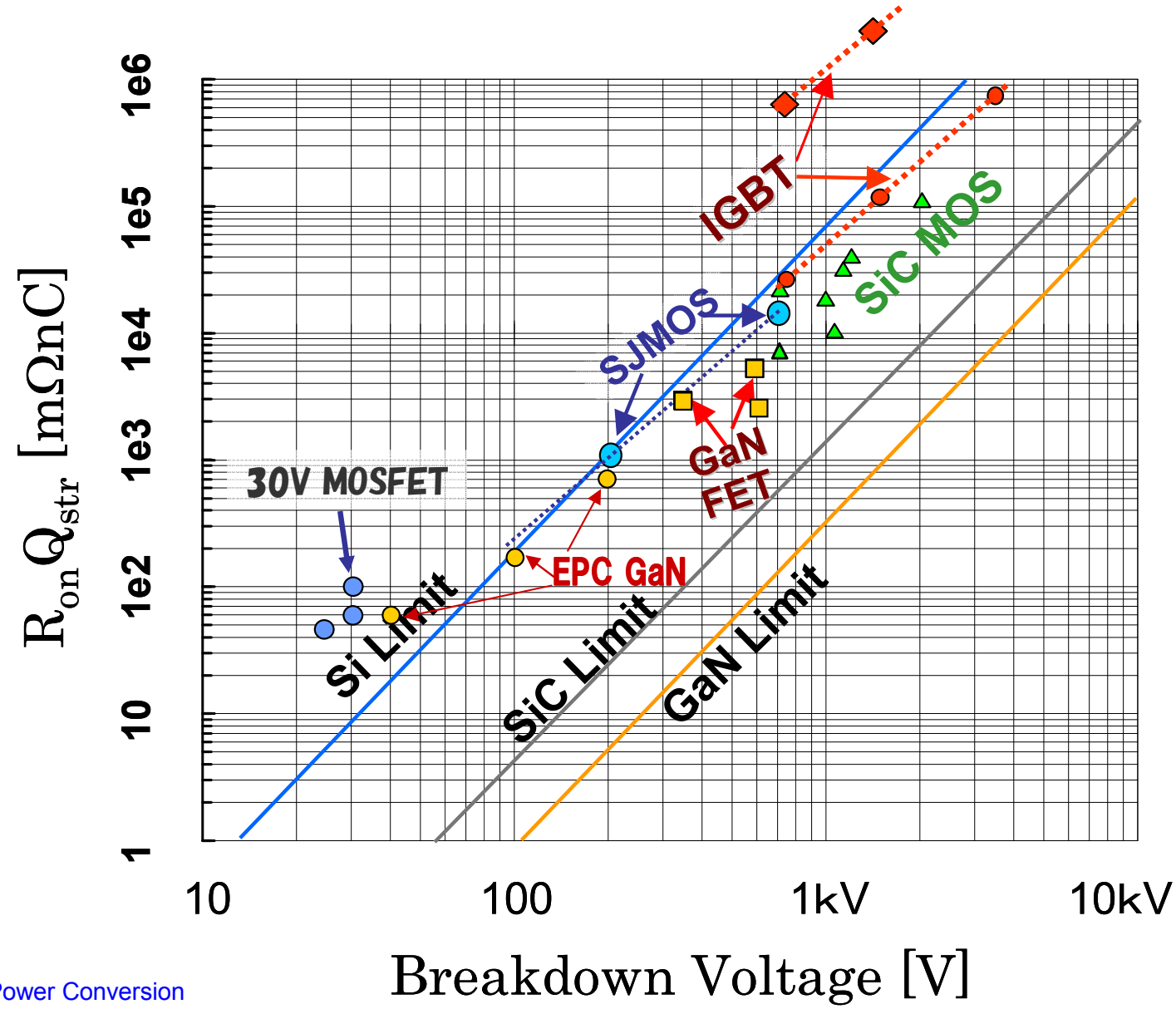
@2008



Predicted Silicon Limit Efficiency



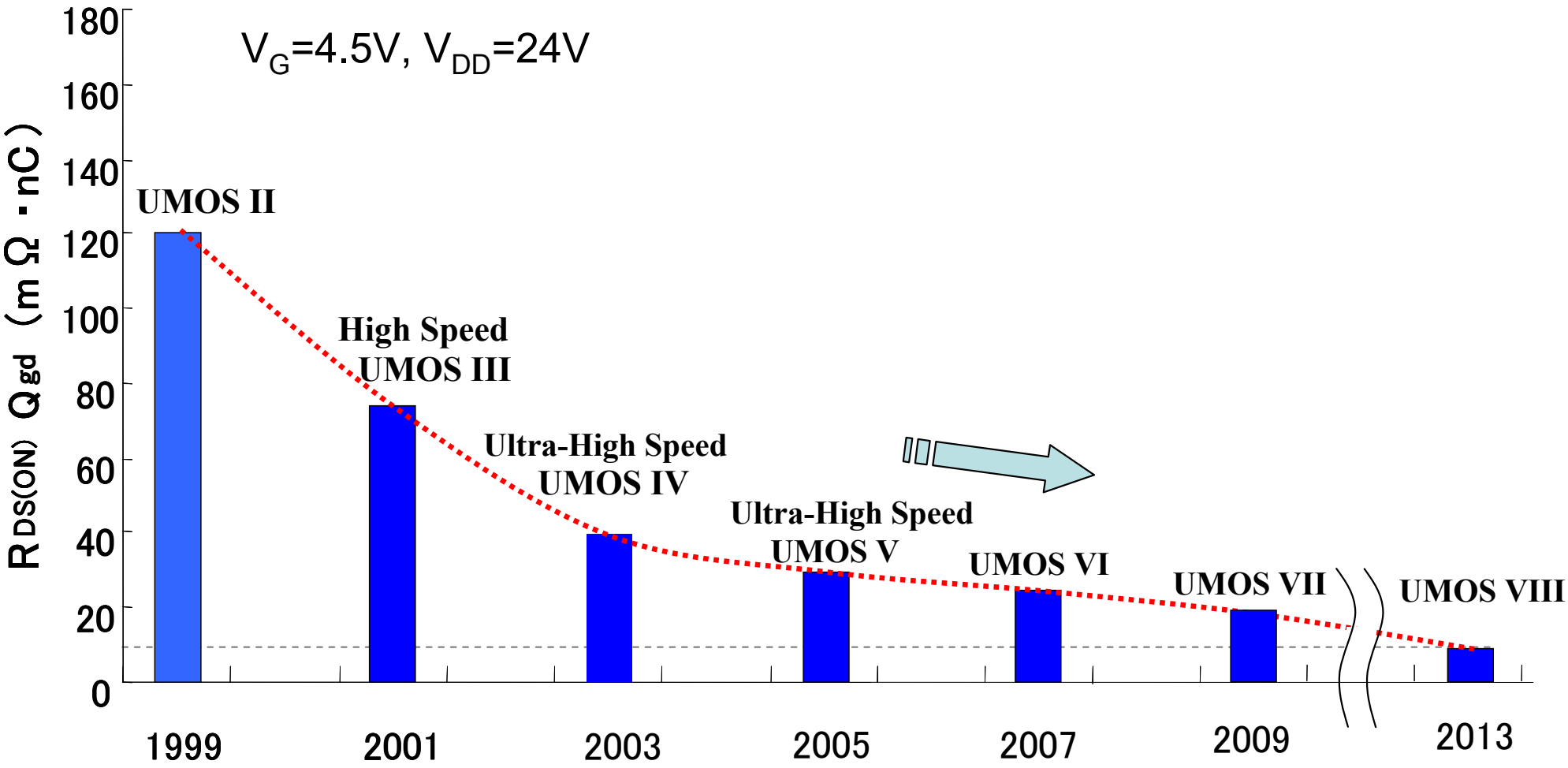
New FOM: $R_{on}Q_{str}$ for high speed switching



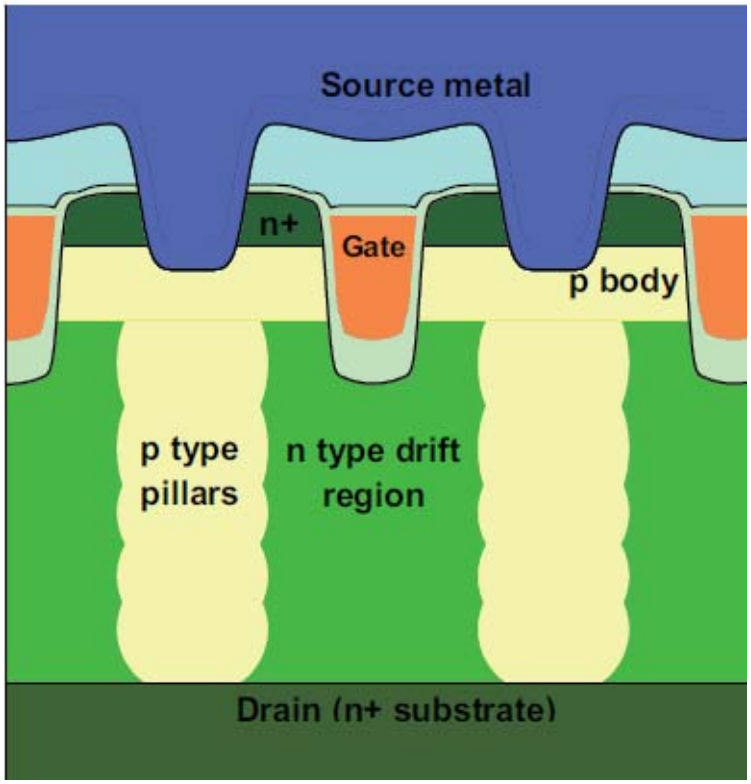
EPC: Efficient Power Conversion

Trend of High Speed MOSFET

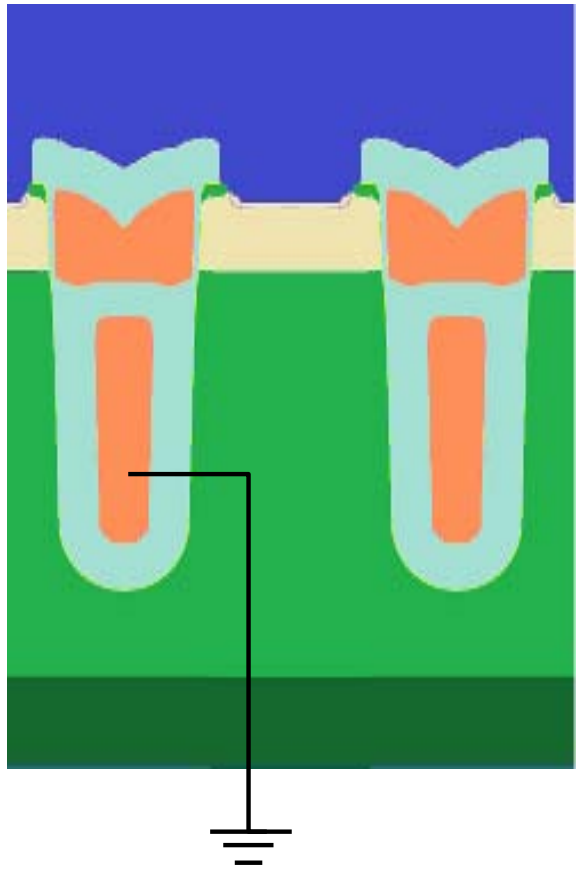
Figure of Merit: $R_{on}Q_{gd}$



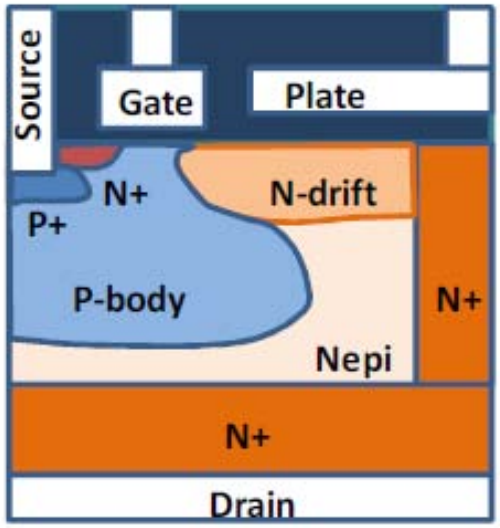
Super Junction

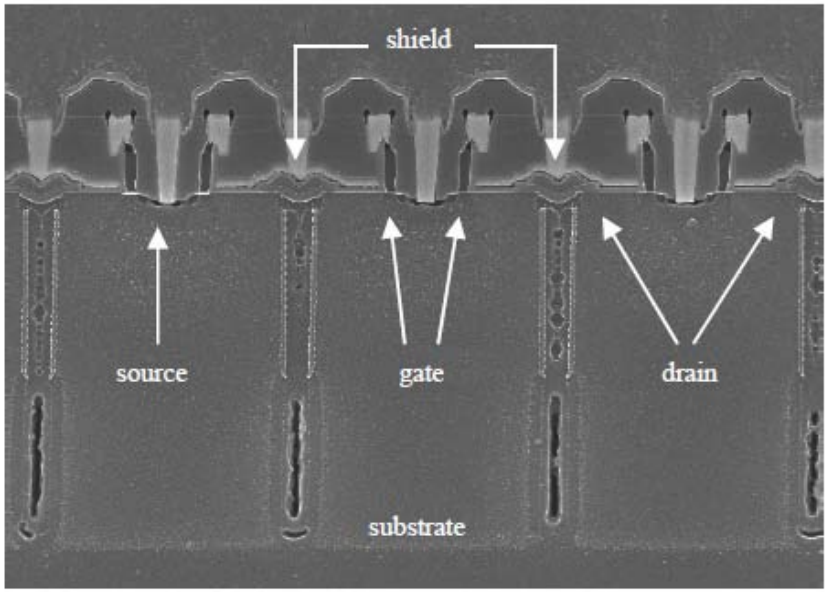


Field Plate (Split Gate)



横型MOSFET





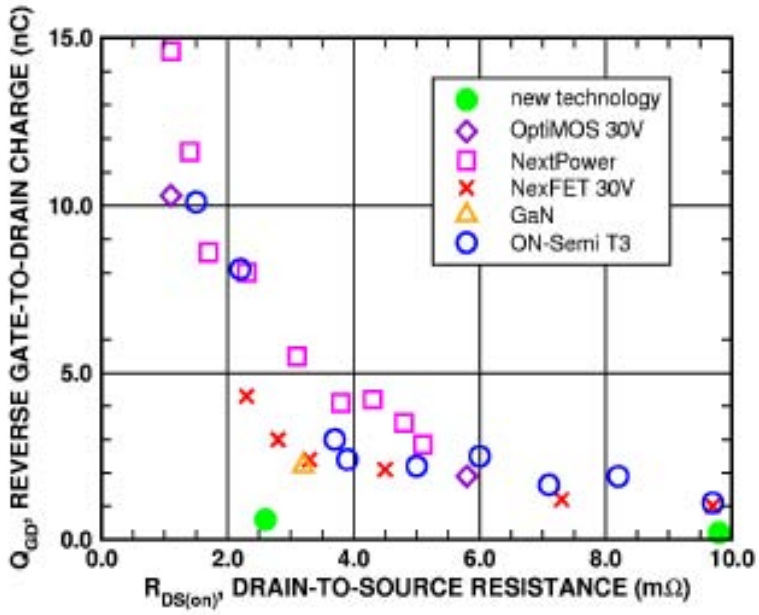
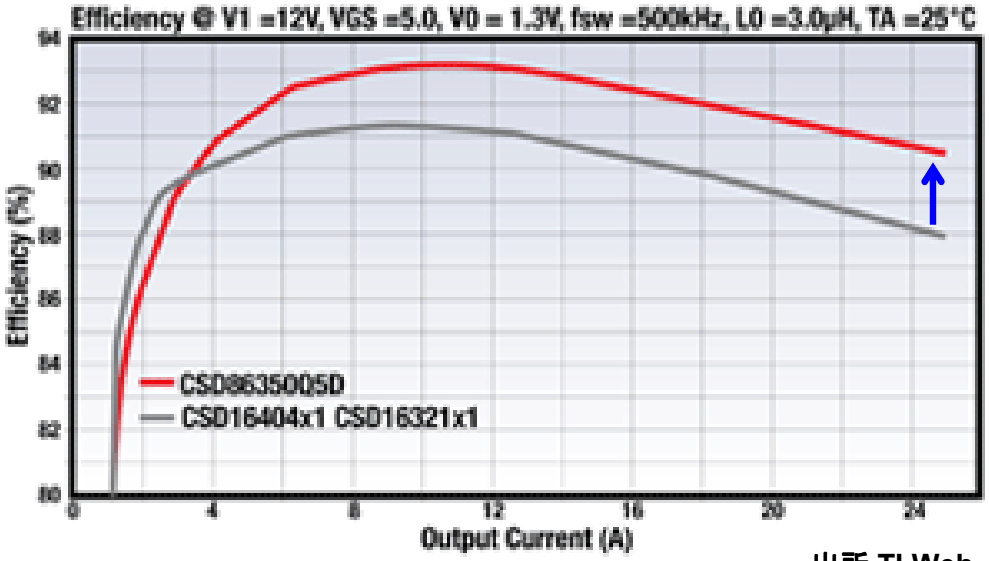


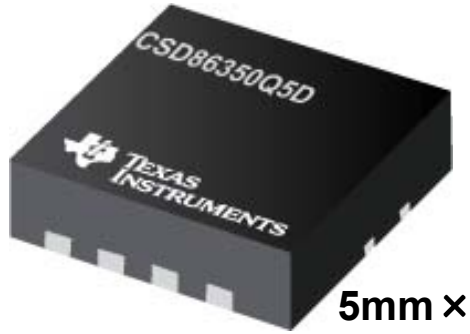
Figure 8. Comparison of the Miller charge (Q_{GD}) to other FET technologies [9-13] including OptiMOS™ (Infineon), NextPower™ (NXP), NexFET™ (Texas Instruments), GaN (IR and Efficient Power Conversion), and T3.

Loechelt, etc. On Semiconductor ISPSD'12

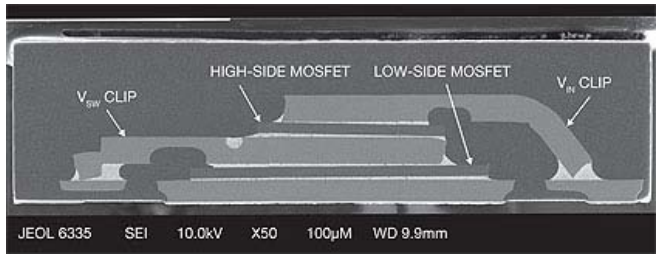
横型MOSFET＆積層パッケージで特性改善



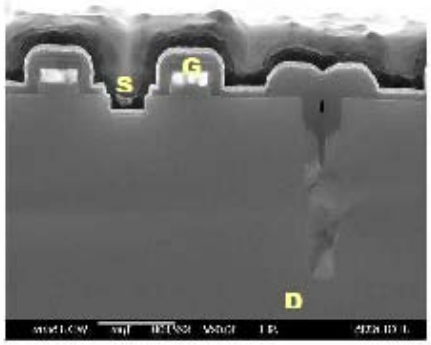
出所 TI Web

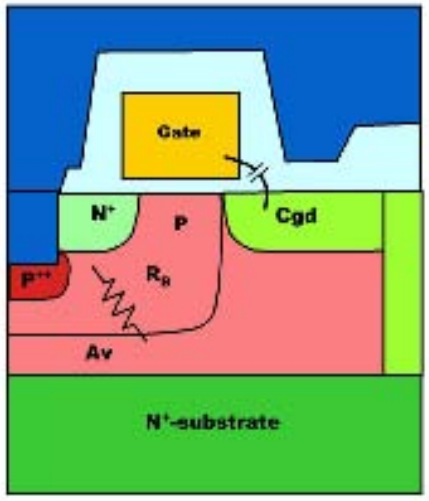


5mm×6mm SON



http://ednjapan.com/edn/articles/1204/18/news015.html





IEDM’09 p.145

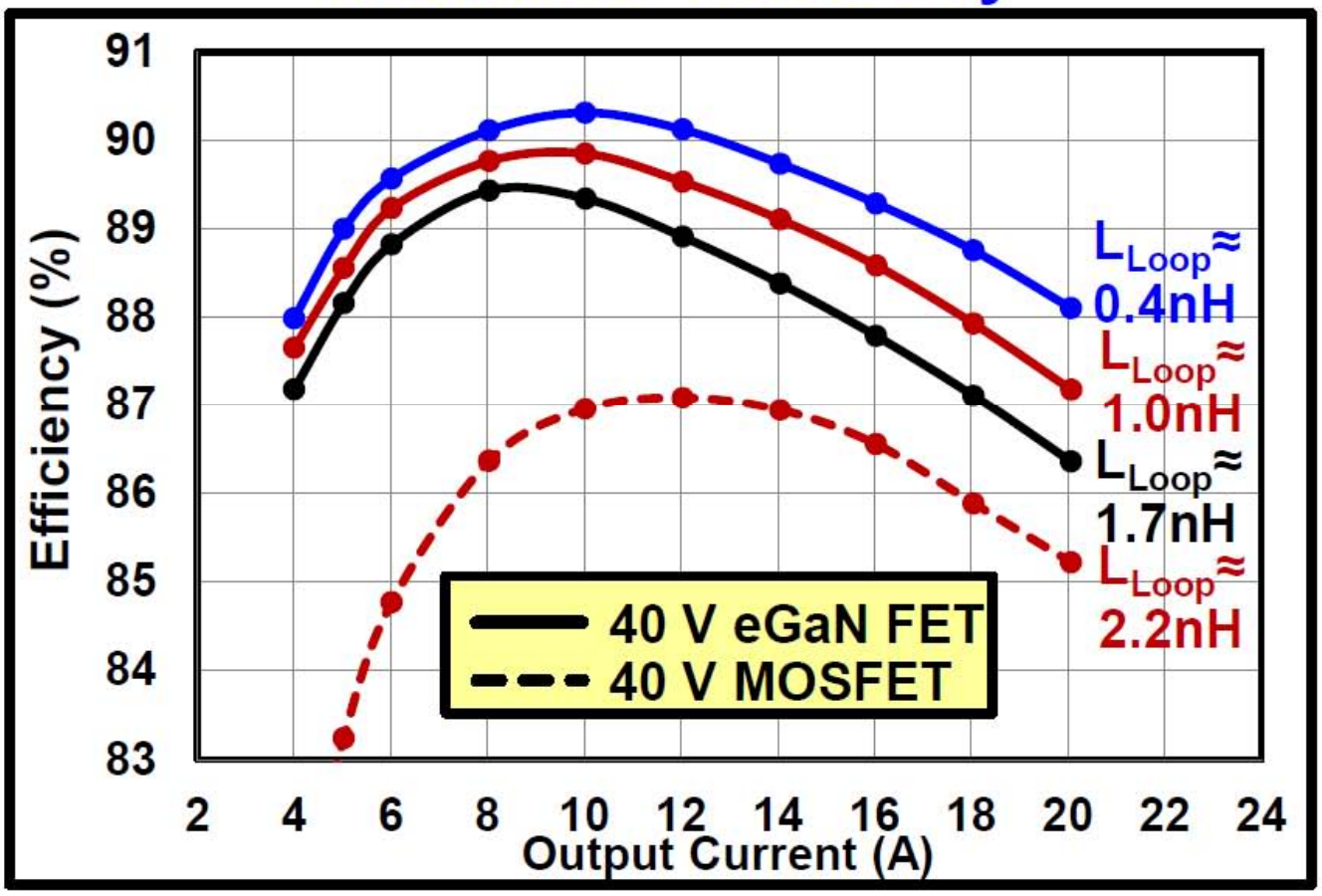
NEXFET（25V）
RonQgd=5.25mΩnC
RonQg =29.4mΩnC

Trench（30V）
RonQgd=7.31mΩnC
RonQg =34 mΩnC

eGaN（40V）
RonQgd=7 mΩnC
RonQg=33.6mΩnC

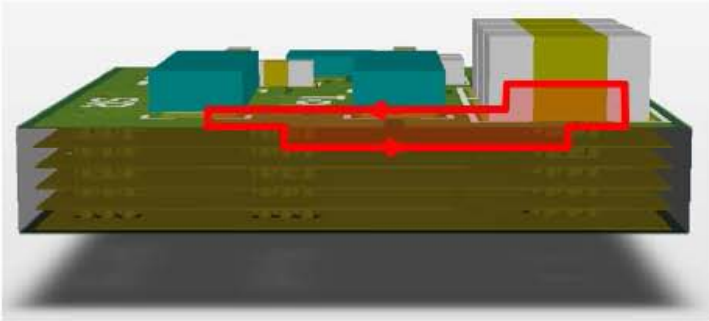
Layout Impact on Efficiency

Measured Efficiency



V_{IN}=12 V, V_{OUT}=1.2 V, f_{sw}=1 MHz, L=300 nH

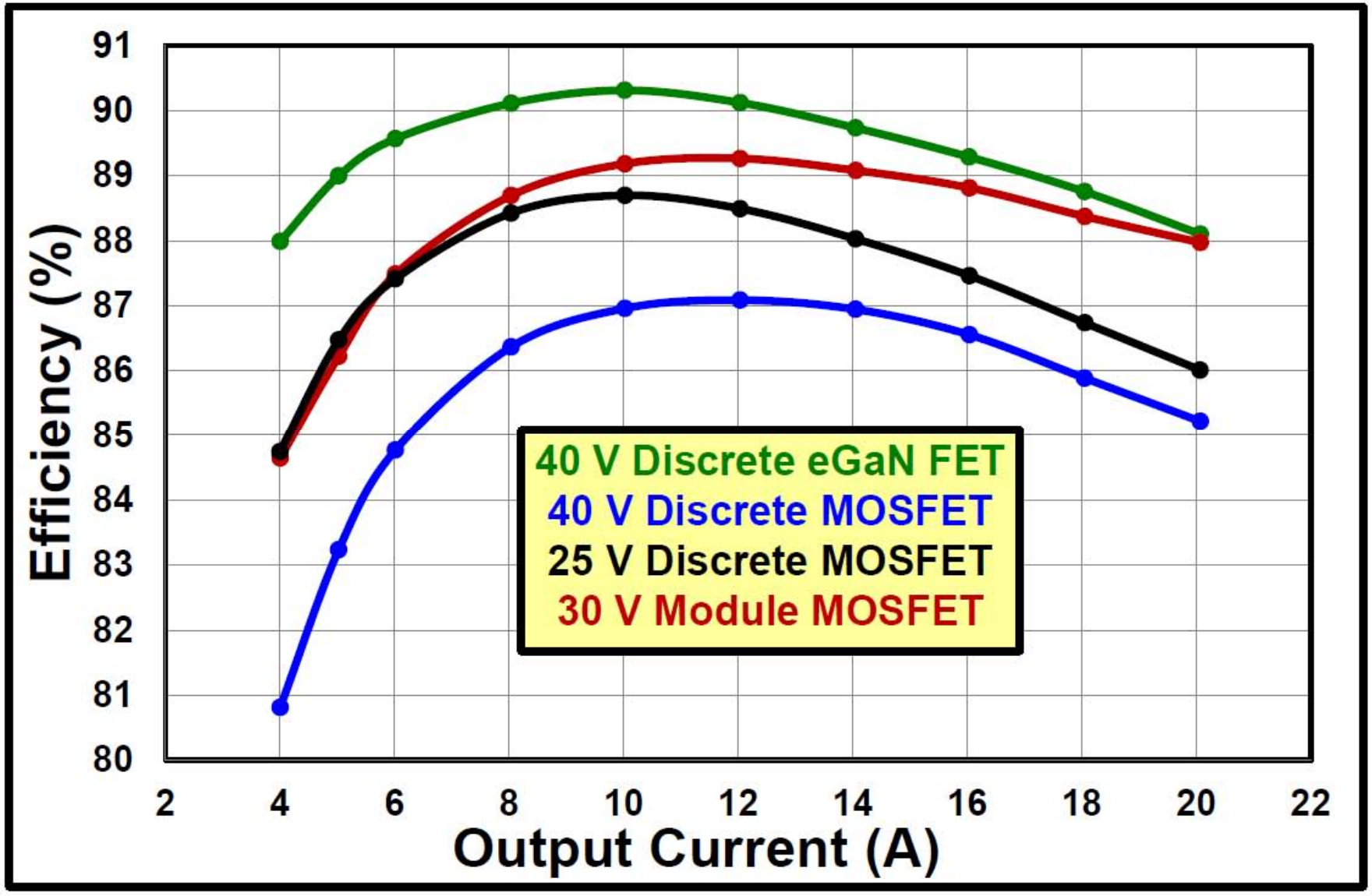
EPC Optimal Layout



Ref: D. Reusch, J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High Frequency Gallium Nitride Based Point of Load Converter," APEC 2013

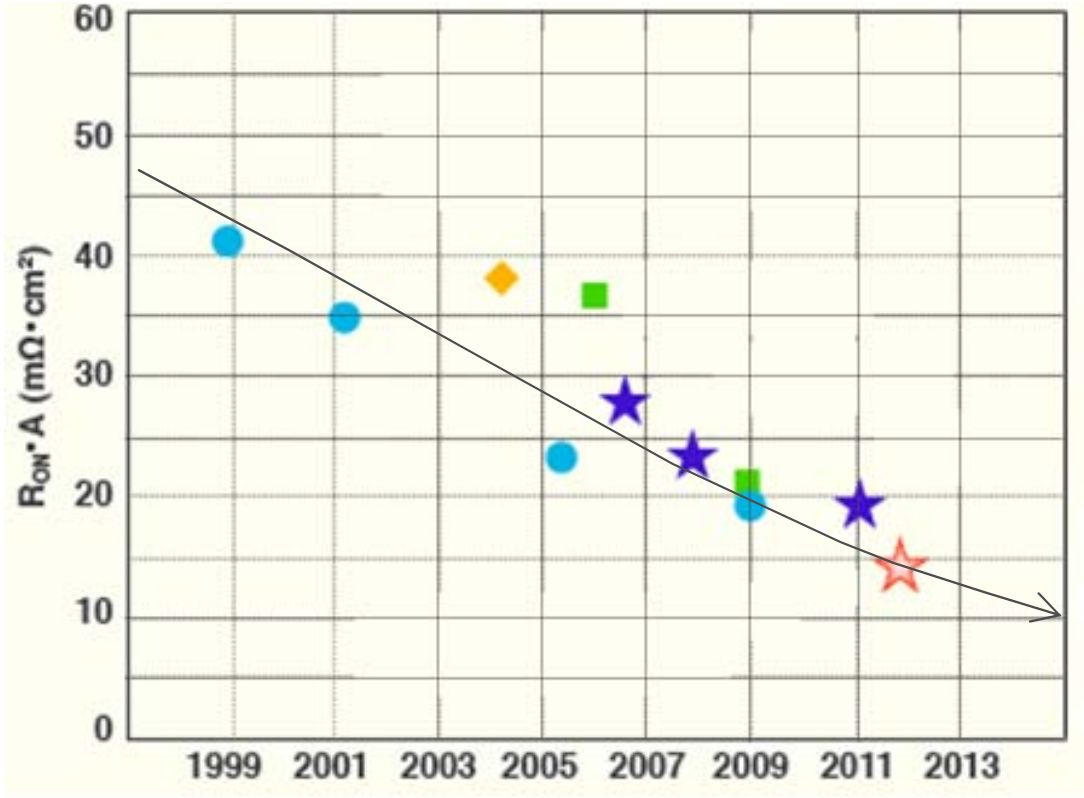
APEC2014 Industry Session IS2-4-3

Lower Voltage Comparison



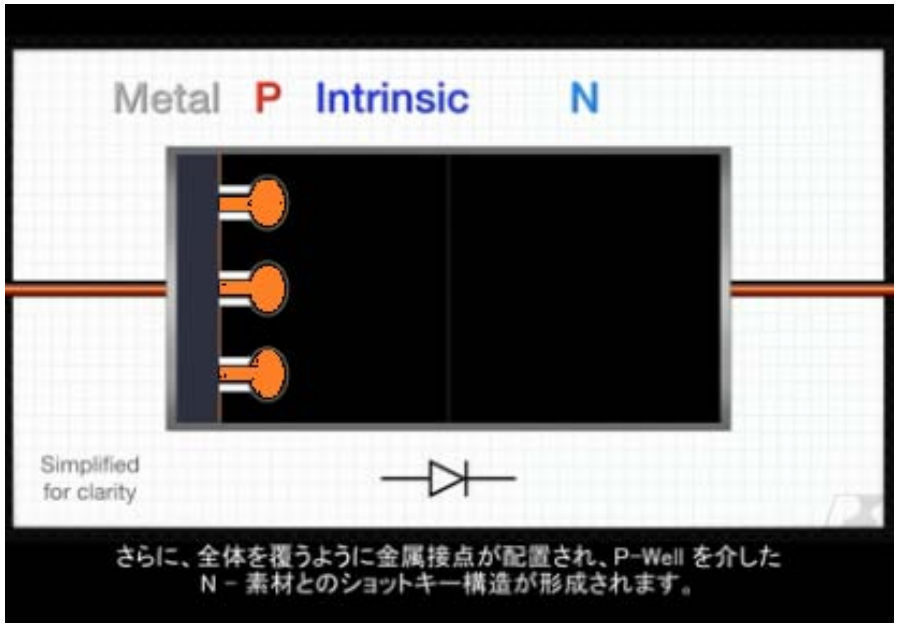
V_{IN}=12 V V_{OUT}=1.2 V f_{sw}=1 MHz L=300 nH

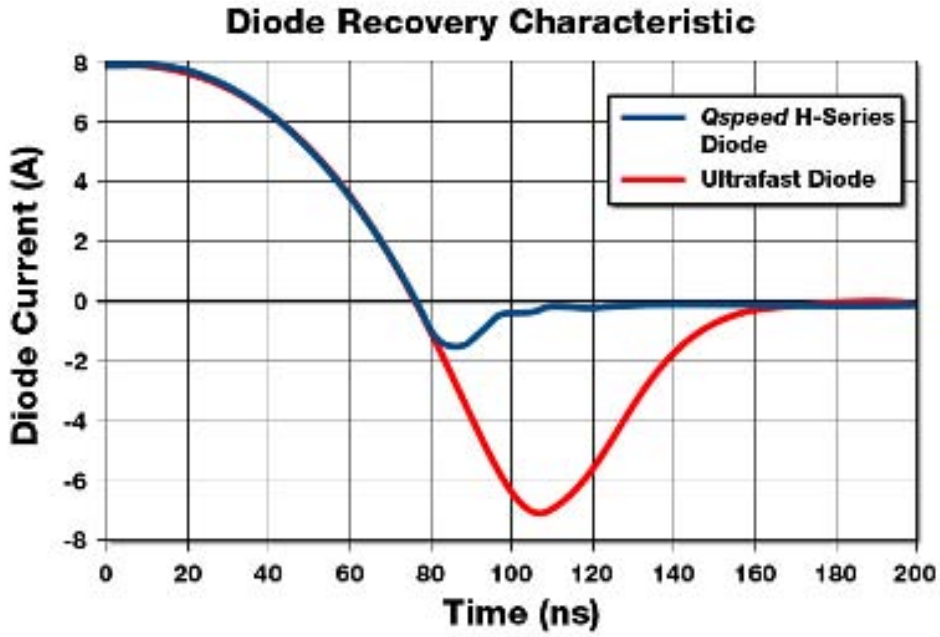
600V CoolMOS改善の動向



東芝Web

SiC並のシリコン高速ダイオード QSPEED





出所: http://www.powerint.com/qspeed

ダイキンのインバータが世界の省エネに貢献

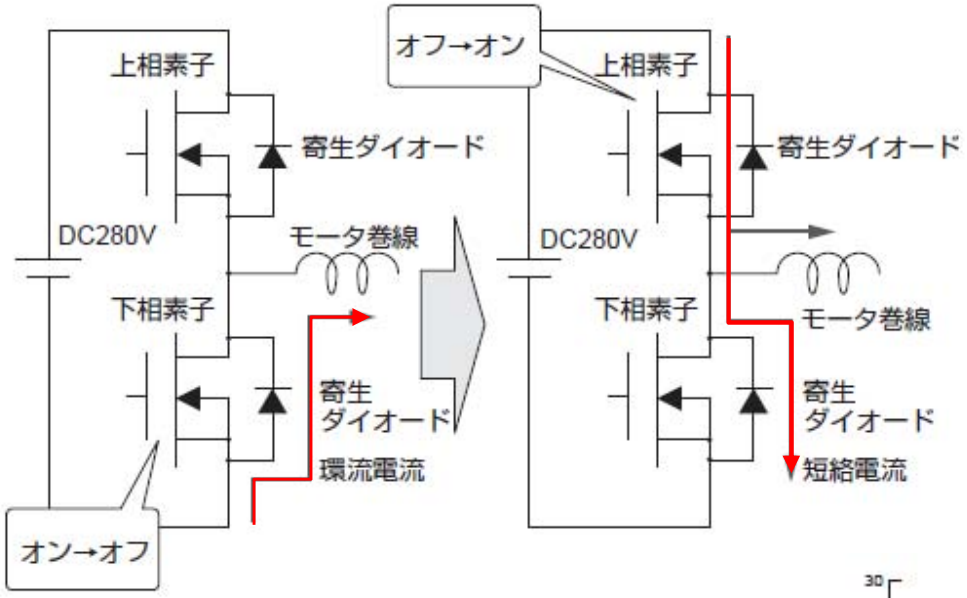
住宅用エアコンの年間販売台数におけるインバータ搭載機比率

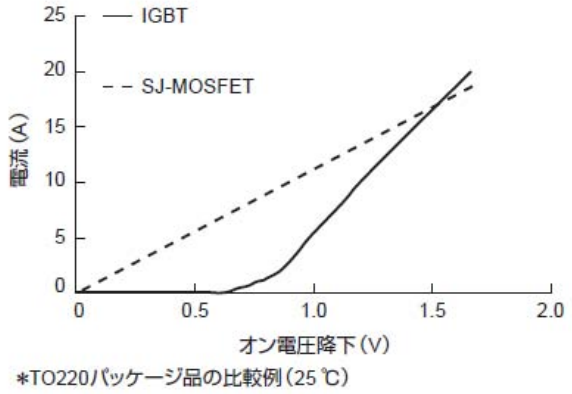
※ダイキン工業調べ（2008年）

世界にインバータ搭載エアコンを広めることで、
世界中の省エネに貢献しています。

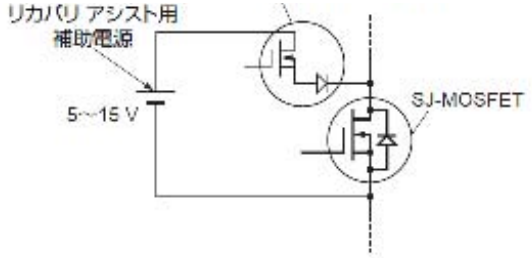
回路技術でSi素子特性を改善

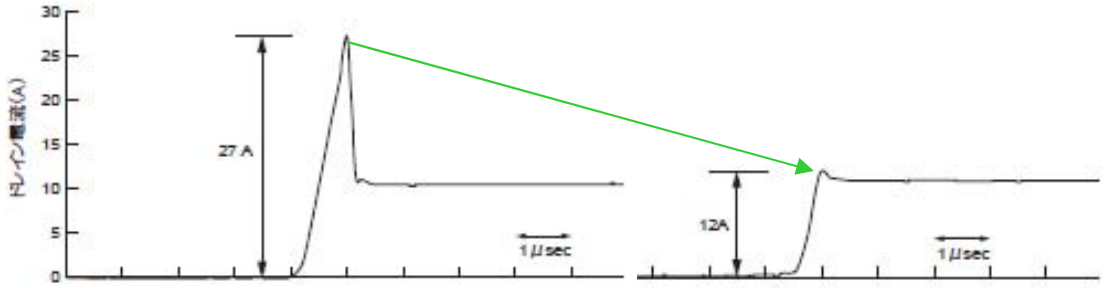
CoolMOSをエアコンに用いる!!

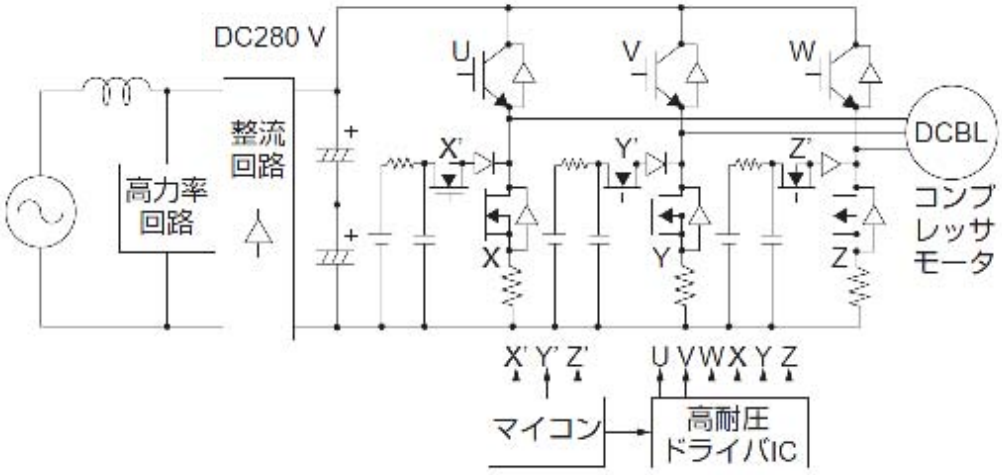


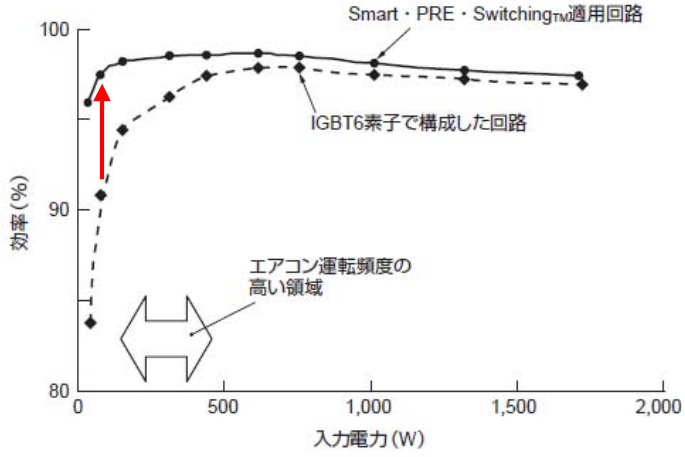


*TO220パッケージ品の比較例（25 ℃）









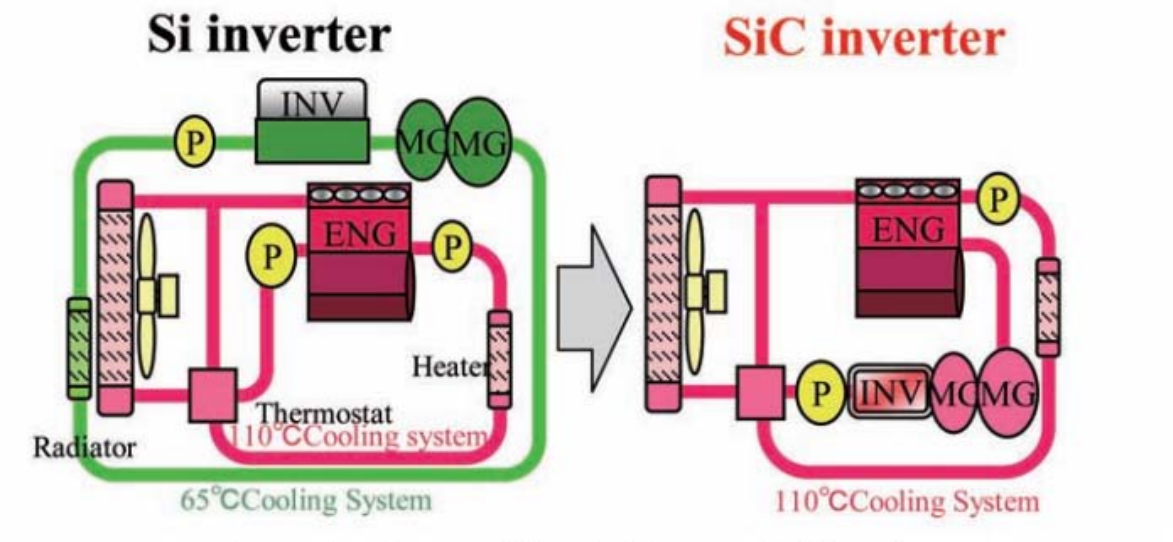
排ガス規制がHEV化を進める！

欧州
2015年　　120g/km以下
2021年　　 95g/km以下

米国
2025年　　54.5マイル/ガロン（23km/L）

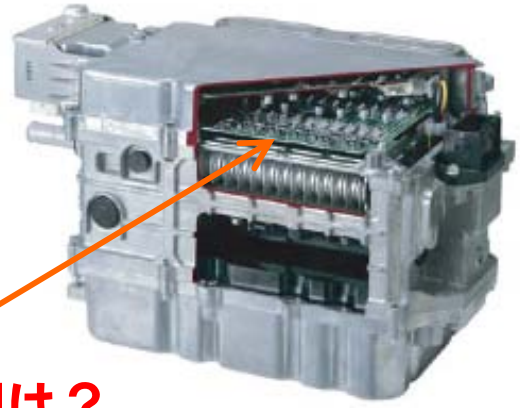
SiCのHEV適用効果

- 燃費向上10%
- PCU　1/5に縮小
- 高温動作（冷却系改良）



Comparison between Si and SiC inverters in HV cooling systems

（デンソー論文より引用）



The developed PCU

（デンソー論文より引用）

周辺Si製ICの冷却は？

SiO_2ゲート信頼性

シリコンでも高速動作＆高温動作は可能

SOI CMOSは400℃で動作可能
SOI パワーICは200℃で動作可能
1200V IGBTは200℃動作可能

しかし、誰も追求していない！

最大の問題点は:
・周辺技術がついて来ない
・市場が小さい
・素子の値段が高くできない

APEC 2014 Industry Session

IS2.3-6 Wide Bandgap (WBG) Power Devices for High-Density Power Converters - Excitement and Reality

Krishna Shenai, Ph.D.
Principal Electrical Engineer, Argonne National Laboratory
Senior Fellow, NAISE, Northwestern University
Senior Fellow, Computation Institute, University of Chicago

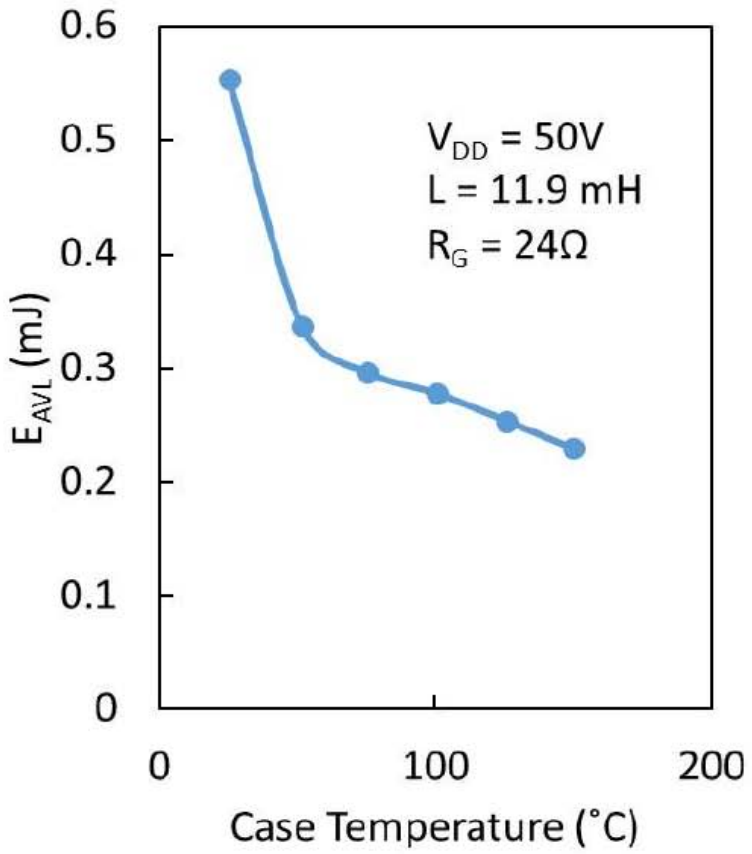
APEC 2014, Fort Worth, TX
Industry Session Paper – IS2.3-6
Wednesday , March19, 2014
2:00 pm – 5:30 pm

Why WBG Power Semiconductors are not in the Transportation Sector?

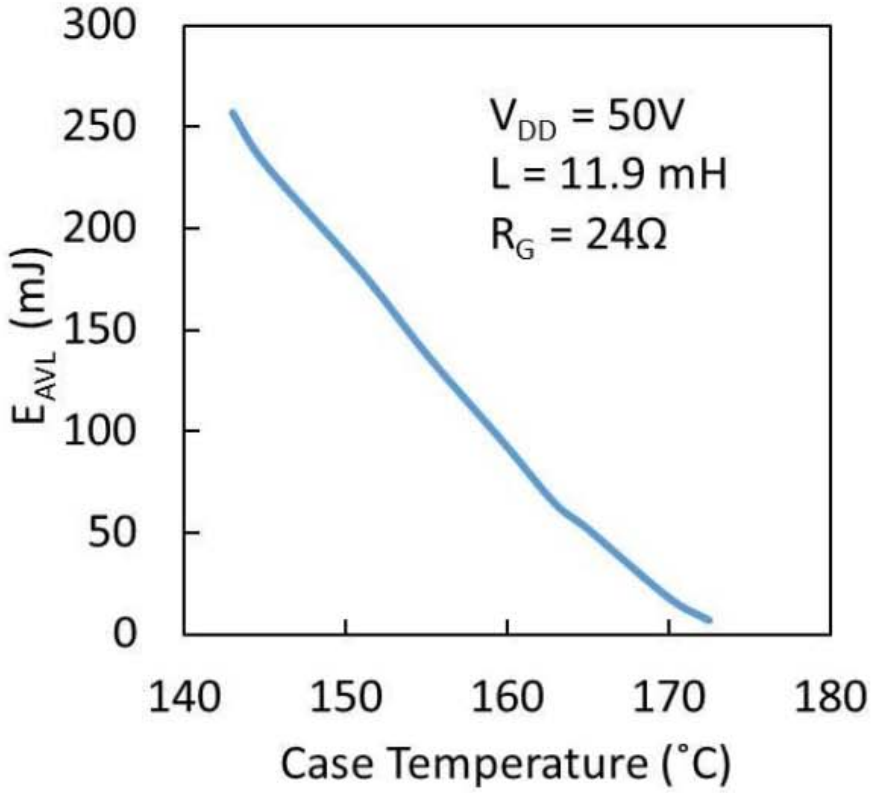
- Reality !

http://www.apec-conf.org/about/previous-years/apec-2014/industry-session-presentations/

Measured Avalanche Energy of Diodes



600V/8A 4H-SiC JBS diode



600V/6A silicon MPS diode

WBG data sheets do not provide *avalanche energy* ratings

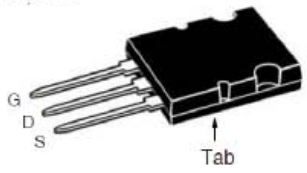
K. Shenai et al, *Proc. IEEE*, Jan. 2014

Safe Operating Area (SOA)

IXFB30N120P

V_{DSS} = 1200V
I_{D25} = 30A
$R_{DS(on)}$ ≤ 350mΩ
t_{rr} ≤ 300ns

PLUS264™

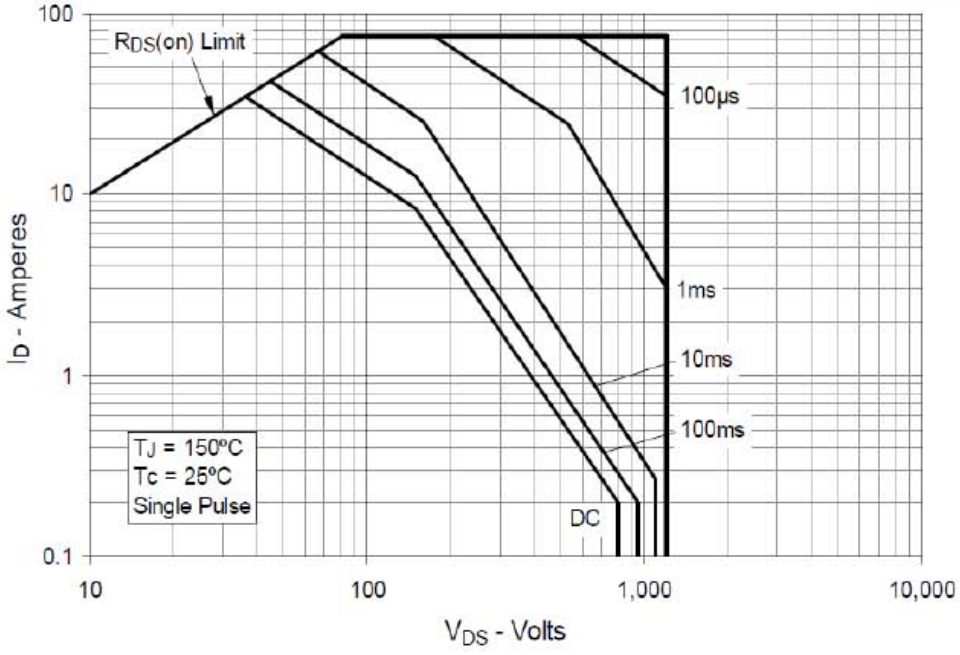


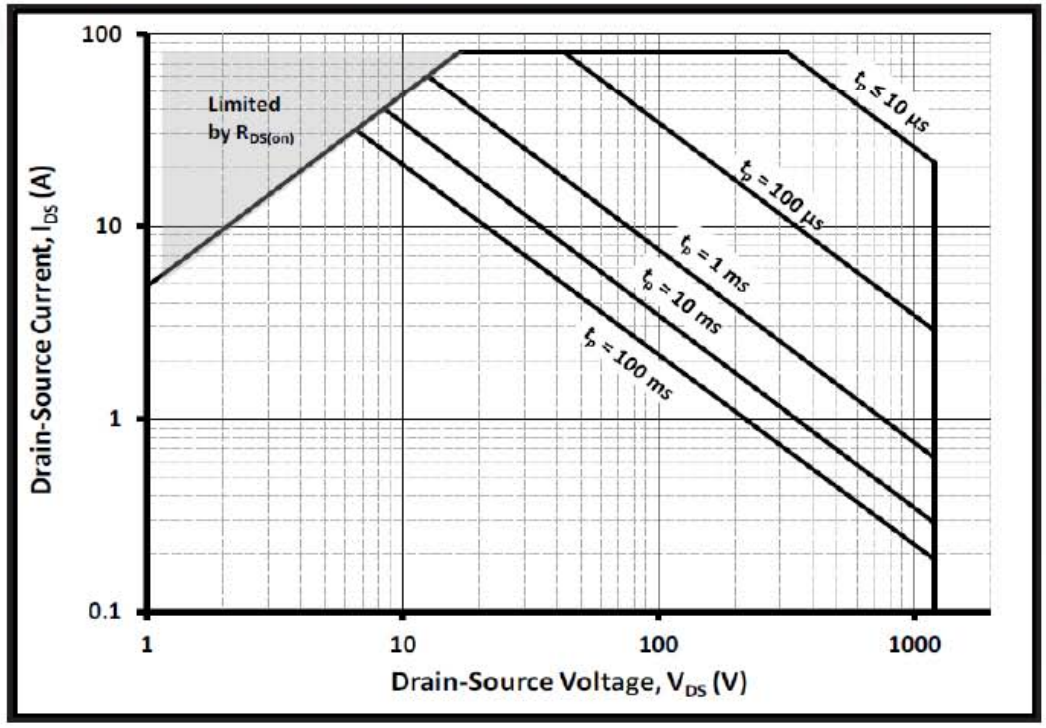
C2M0080120D

V_{DS}	1200 V
$I_{D\ @\ 25°C}$	31.6 A
$R_{DS(on)}$	80 mΩ

TO-247-3

Why SiC SOA is smaller than silicon?





Silicon Carbide MOSFET Gate Oxide Failures

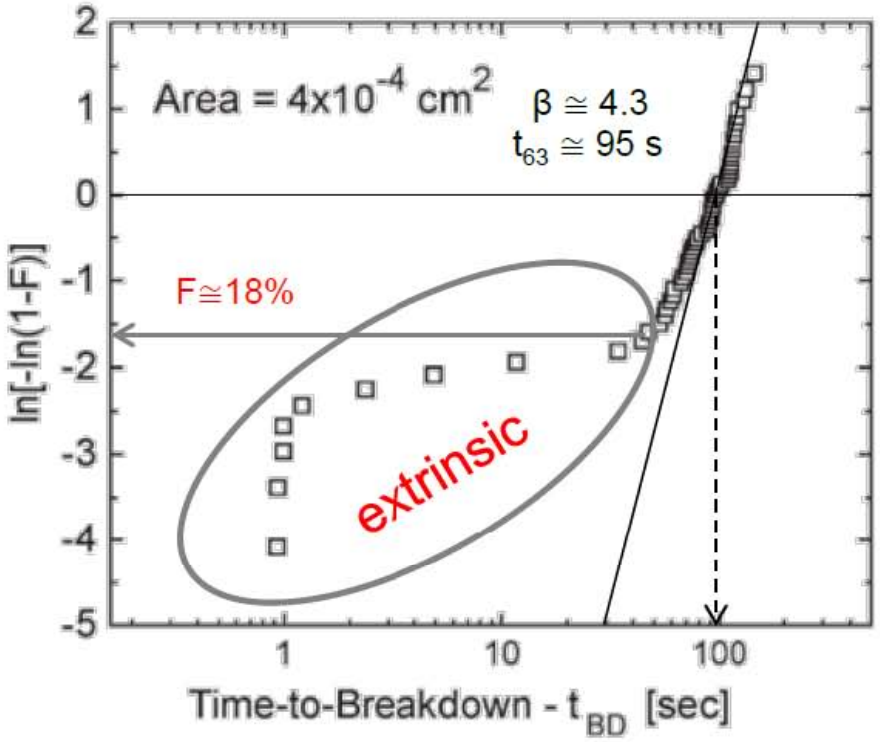
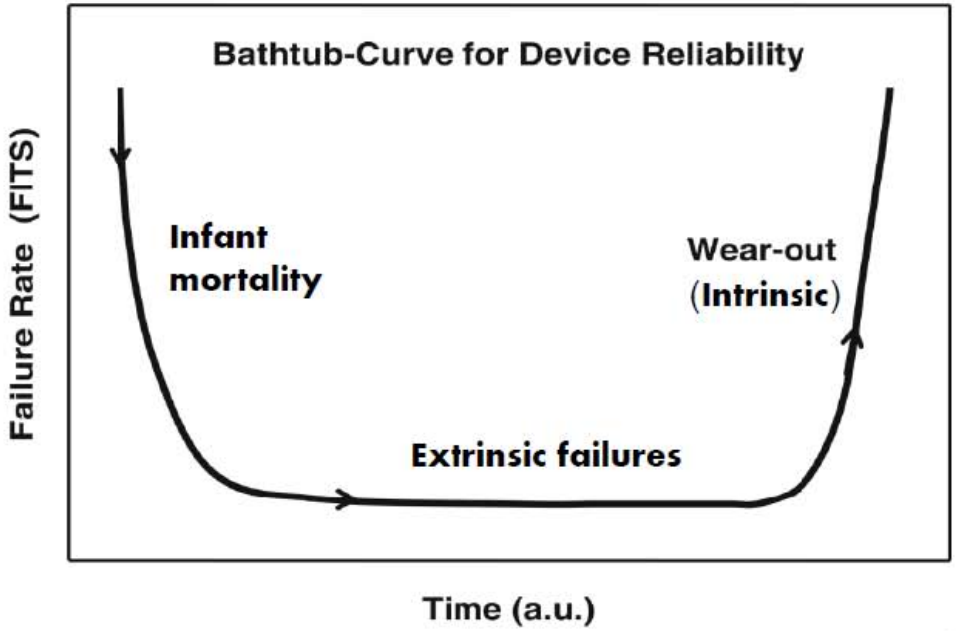


Fig. 9. Uncensored Weibull distribution of 4×10^{-4}-cm^2 4H-SiC capacitors at a temperature of 230 °C and under electric field of 8.9 MV/cm.

M. Gurfinkel et al., "Time-Dependent Dielectric Breakdown of 4H-SiC/SiO2 MOS Capacitors," Device and Materials Reliability, IEEE Transactions on, 2008, vol. 8, pp. 635-641.

- Pre-screening or burn-in difficult
  - Extrinsic population is Poisson-distributed in area
  - Can't predict next failure during useful life of device
- Critical reliability issue



J. W. McPherson, Reliability Physics Engineering. Boston, MA: Springer U 2010.

Existing Applications/Markets of SiC Schottky Diodes

Already in Commercial Productions

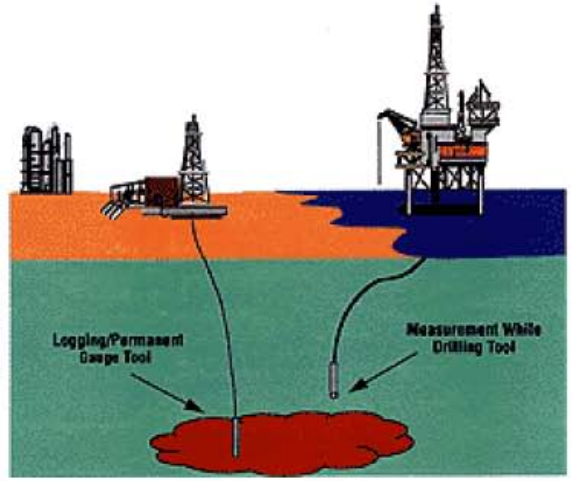
- Solar Inverters (Boost / DC - AC)
- Switching Mode Power Supplies (CCM – PFC)
  - Data Servers
  - Air Conditioners
- EV Chargers
  - Charging Stations
  - Onboard Chargers

Existing Applications/Markets of SiC MOSFETs

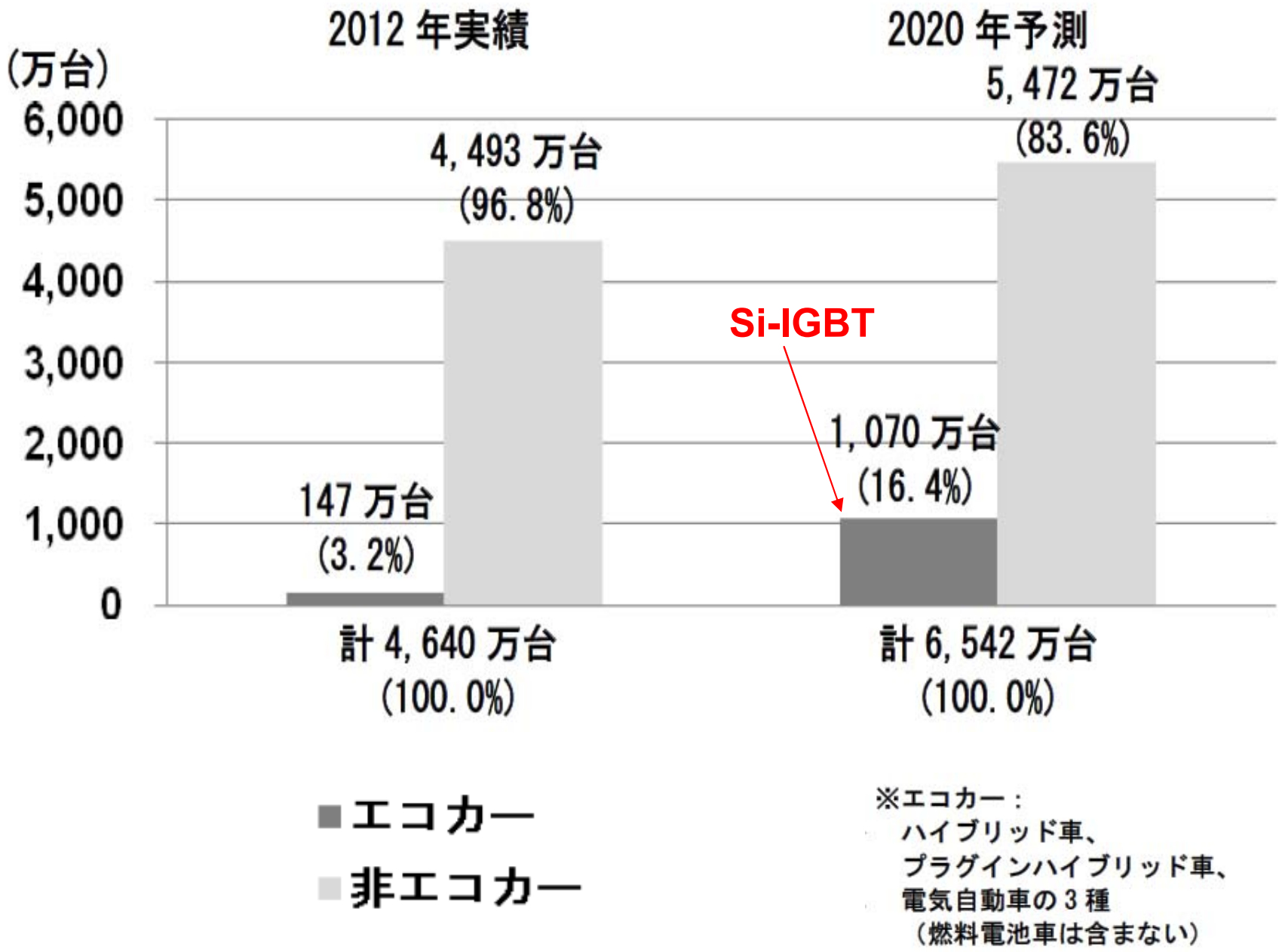
- ❑ Solar Inverters (Boost / DC – AC; 650V-1400/1700V+)
- ❑ High powered, high-frequency (100 kHz+) Power Supplies
- ❑ Down hole Drilling (power supplies, motor drives)
- ❑ Auxiliary Power Supplies

外形寸法図

- Reduction in cooling water by 75%
- Efficiency increased by 1.5 – 2.5%



野村総研2013年


2012 年実績
2020 年予測
(万台)
6,000
5,000
4,000
3,000
2,000
1,000
0
4, 493 万台
(96. 8%)
147 万台
(3. 2%)
5, 472 万台
(83. 6%)
Si-IGBT
1, 070 万台
(16. 4%)
計 4, 640 万台
(100. 0%)
計 6, 542 万台
(100. 0%)
エコカー
非エコカー
※エコカー：
ハイブリッド車、
プラグインハイブリッド車、
電気自動車の３種
（燃料電池車は含まない）

2014年4月30日

三菱電機

世界で初めて、小田急電鉄株式会社1000形車両に搭載 直流1500V架線対応「フルSiC適用VVVFインバーター装置」採用のお知らせ

営業運転で省エネ効果を確認してまいります。

小田急電鉄株式会社1000形車両

フルSiC適用インバーター装置（参考品）

採用により期待される効果

1.主回路システム全体での最適化により最大約36%の省エネ

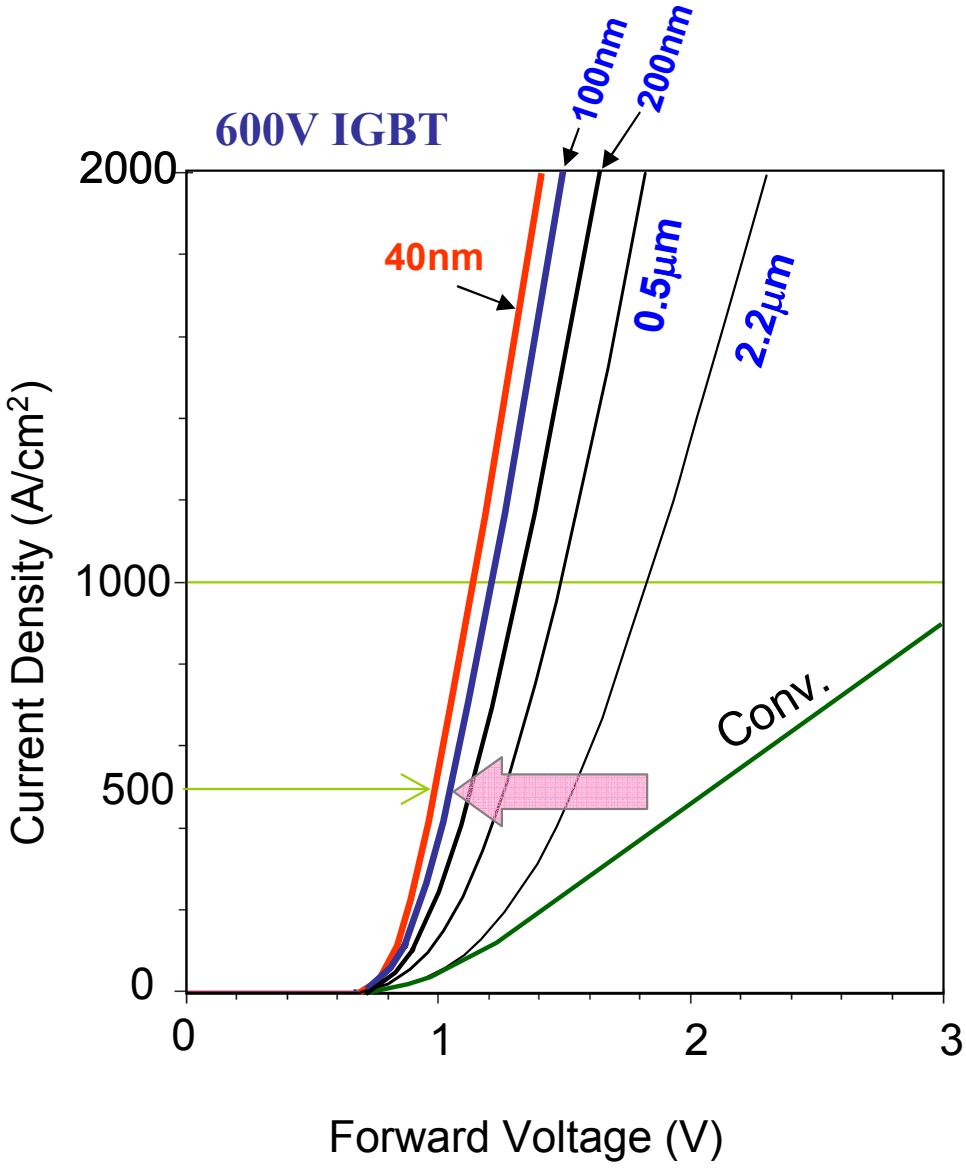
- ・高効率全閉方式の主電動機と本装置を組み合わせた主回路システム全体で省エネ最適化
- ・従来車両と比べ、定員乗車時で約20%、満員乗車時には最大約36%の消費電力改善

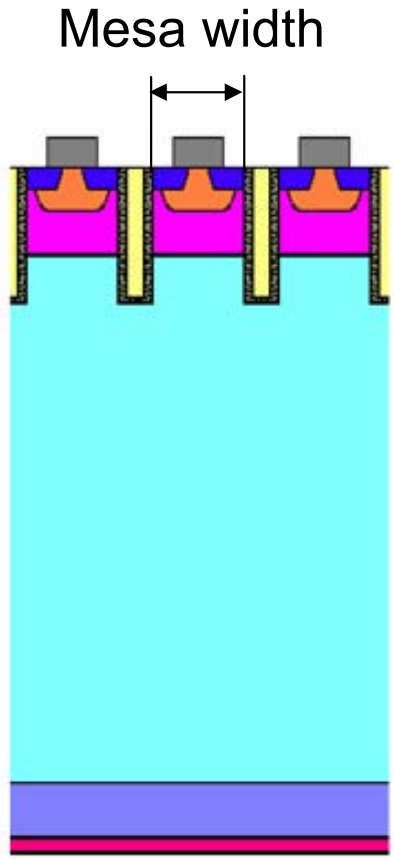
2.小型・軽量化による車体改造費の大幅削減

- ・既存主回路システム比で外形寸法・質量ともに80%以上削減
- ・車両への取り付けの自由度が向上した結果、車体改造工事費用が削減

Si-IGBTの可能性

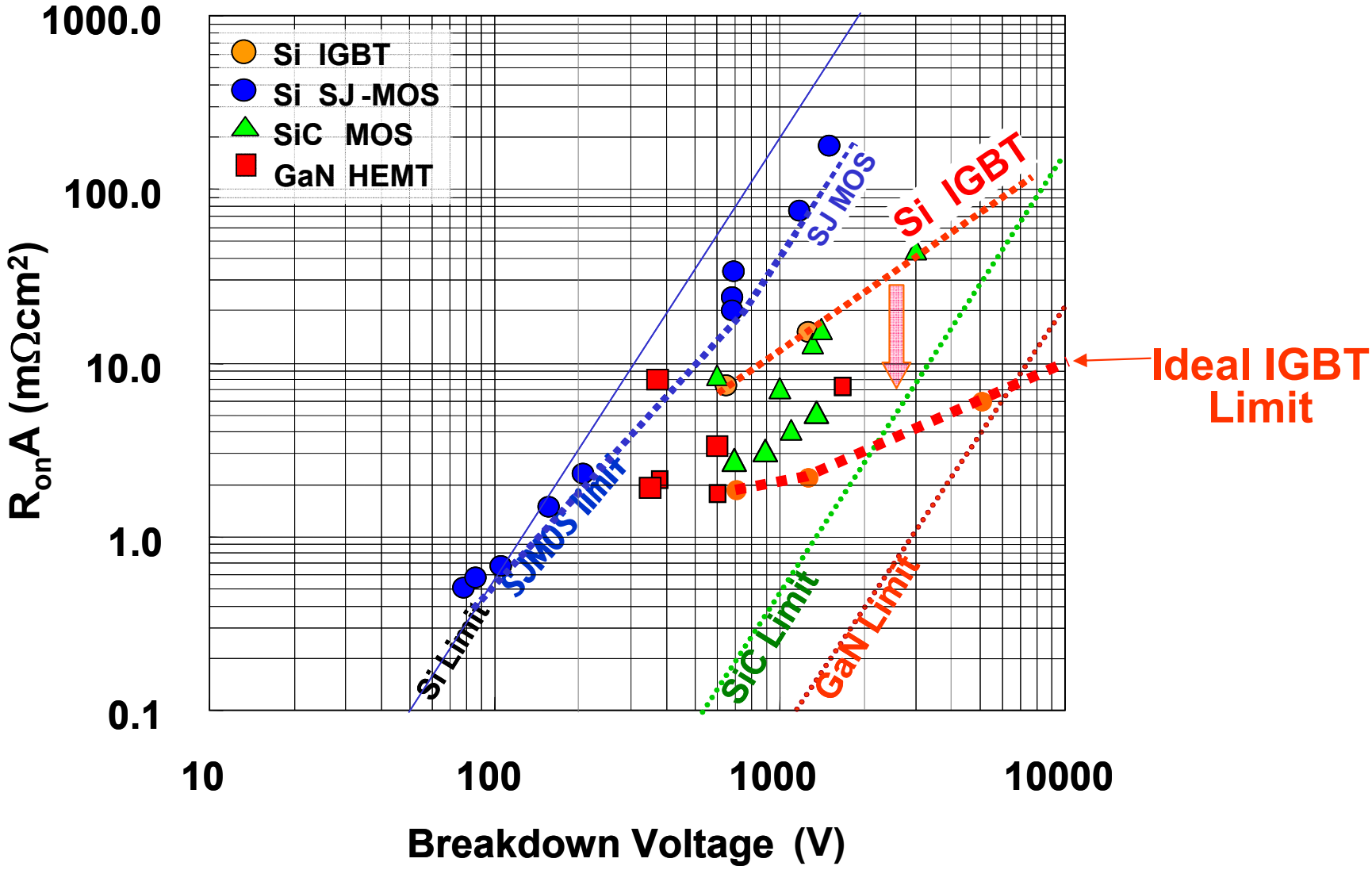
Forward voltage can be greatly improved by reducing mesa width.



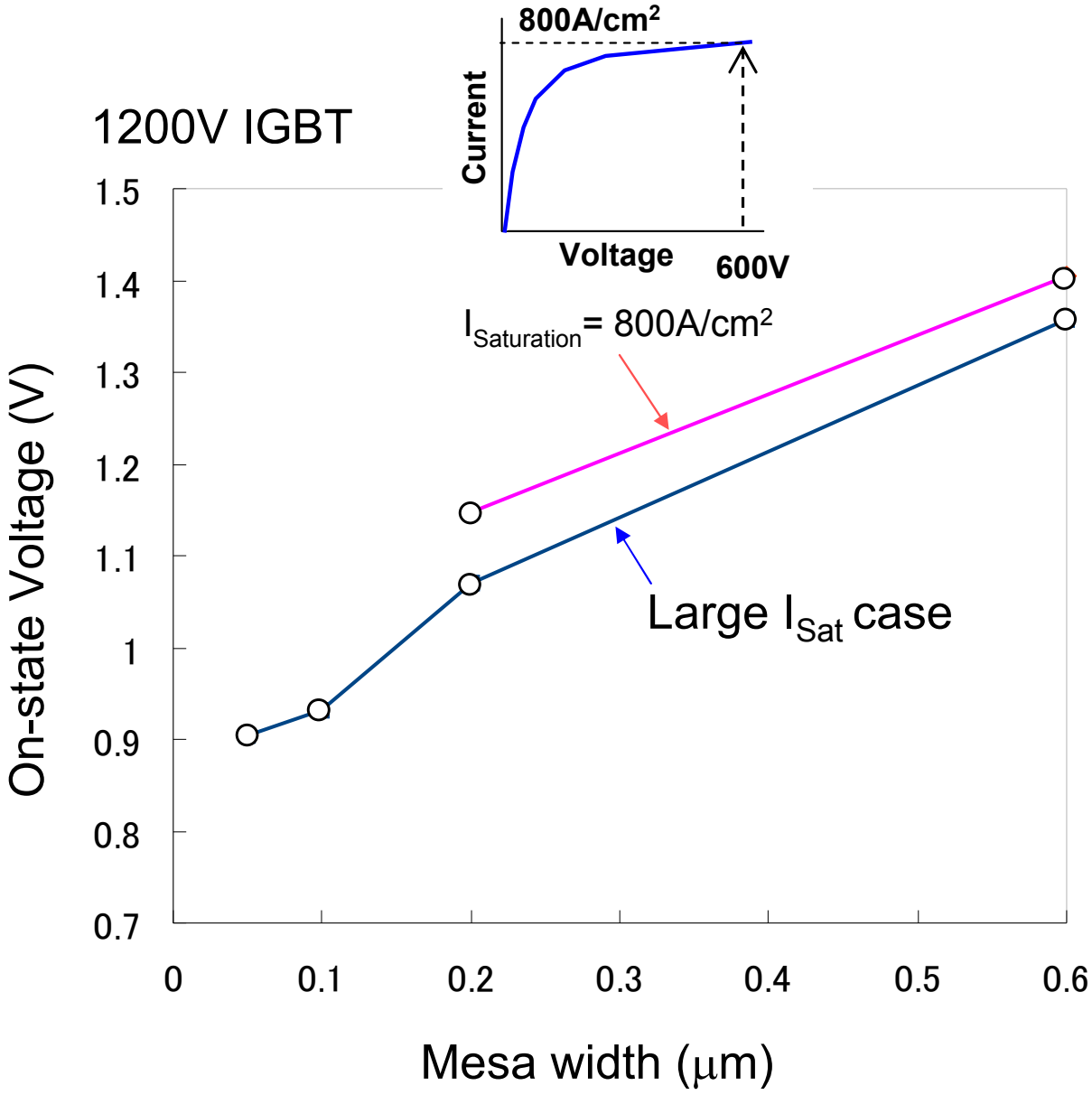


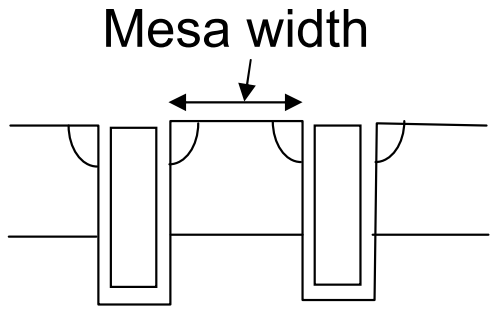
Theoretical limit of IGBT

IGBTs can still be greatly improved in future



Silicon Limit Analysis based on TCAD for 1200V IGBT

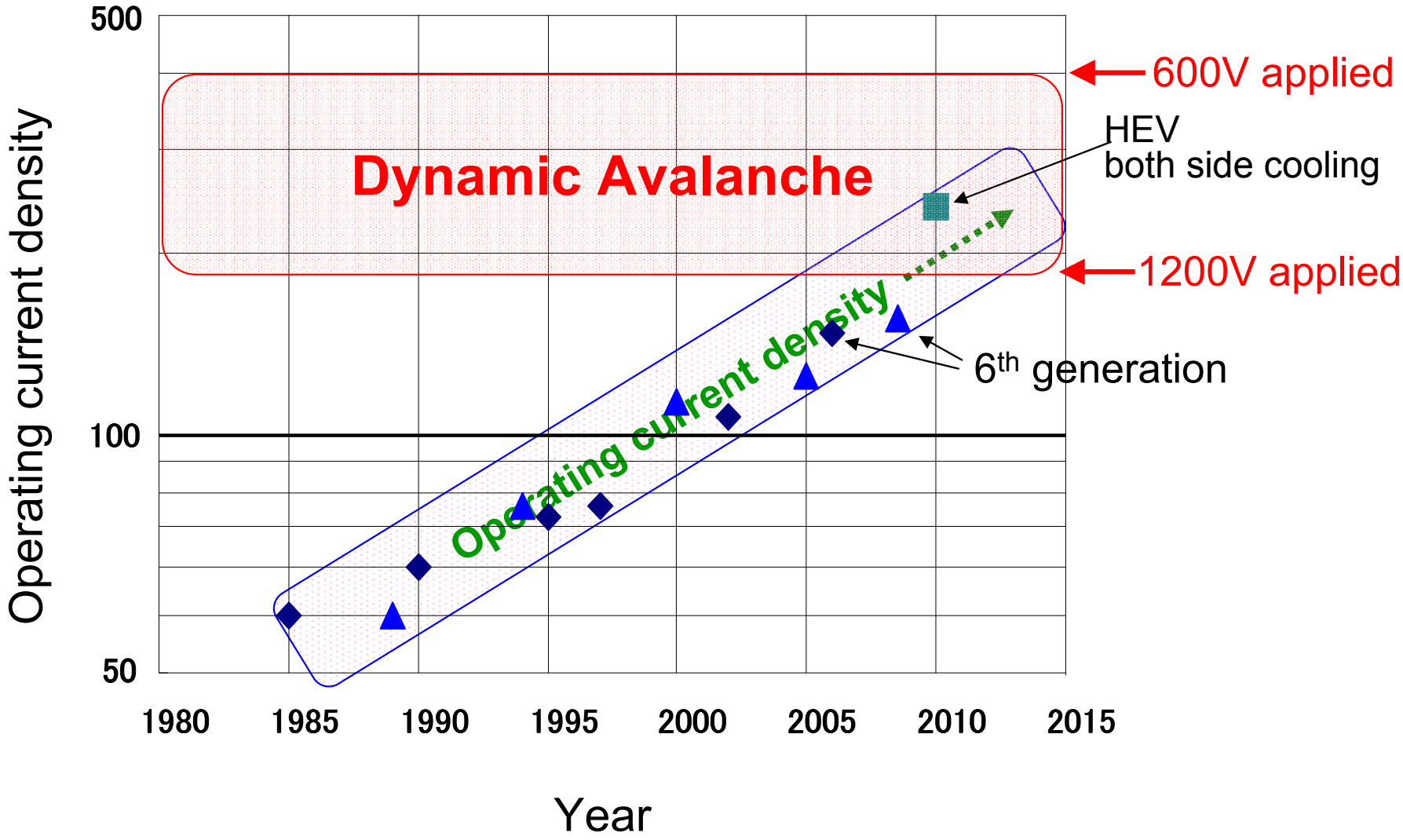




Conditions:
Si thickness=100μm
Current density= 150A/cm2
Temp.=150C
Turn-off loss is fixed at 120μJ/A

汎用モジュールでは負荷短絡保護回路がキー技術！
定電圧のIGBTの実用化が可能

1200V IGBT operating current density



30cm CMOS Fab for Power Devices

低コスト化が狙える！

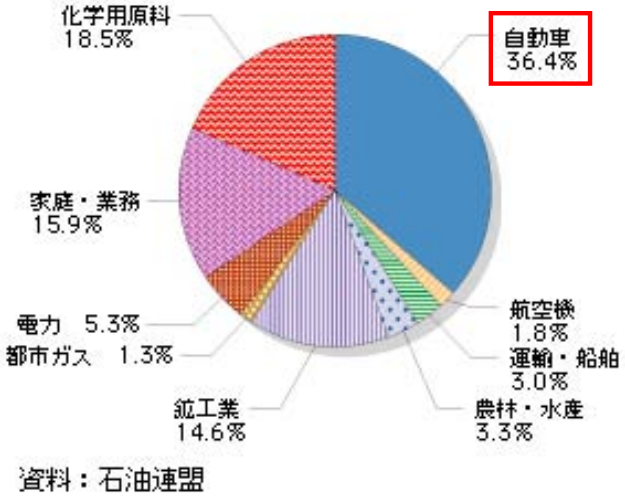
2020年でも90%は依然シリコン!!

電力の需給バランスは逼迫し、地球温暖化からエネルギー消費抑制

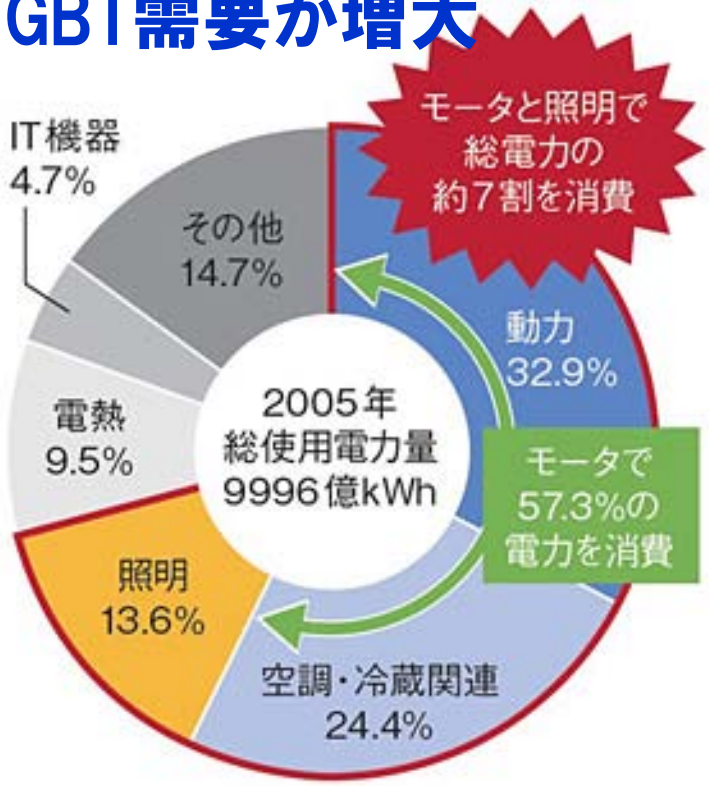
省エネ、再生可能エネルギーがキー技術

低コスト省エネ(インバータ)家電、EV/HEVが重要

IGBTは2極化(SiCと低コストSi)、 Si-IGBT需要が増大



石油製品の用途別需要量
(エネルギー白書2004)



日経エレクトロニクス2011年5月2日号)

1. パワーデバイスは中小企業。
（サムスンは参入しがたい？）

2. シリコンに注力すべき理由が多くある。

3. TCAD(既存物理モデル)でまだ大きな改善、発見の余地がある。

GTOの電流集中
IEGT
CoolMOS
電流集中

TCADの3次元の本格利用

3.TCAD活用(既存物理モデル)で大きな改善、発見の余地がある。宝は既にあるのにまだ見つけていないだけ!!!

■過去の大きな発見も既存物理モデルの世界
IEGT
CoolMOS

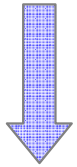
■パワーデバイスは既存モデルでほとんど説明可能
電流集中
GTO破壊
IGBT破壊

■ TCADの3次元の本格利用が可能になり活用範囲が拡大

1970年代

シミュレータは本当に役に立つのか？

シミュレータで設計したとあるが実際は真実でない

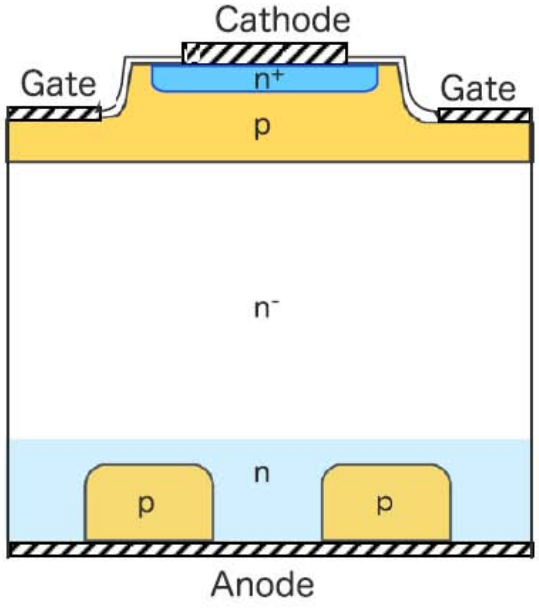


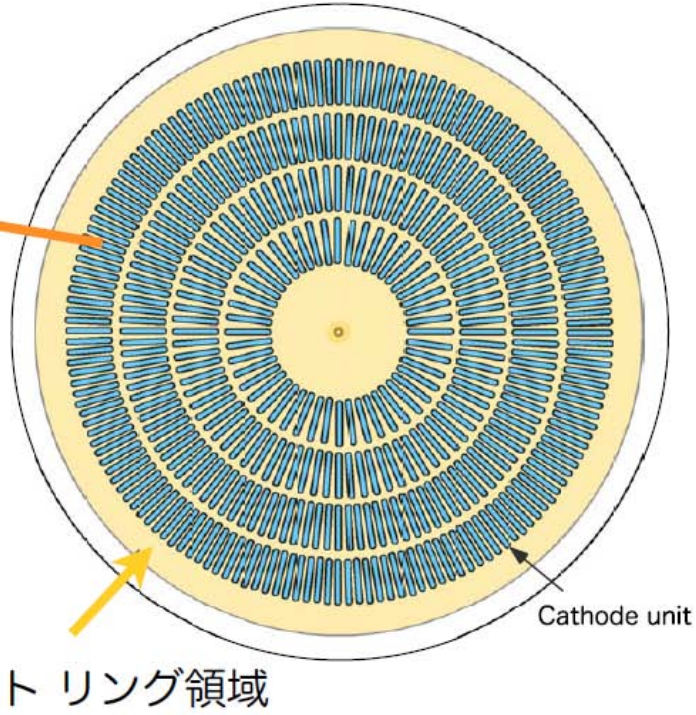
二次元デバイスシミュレータ開発へ

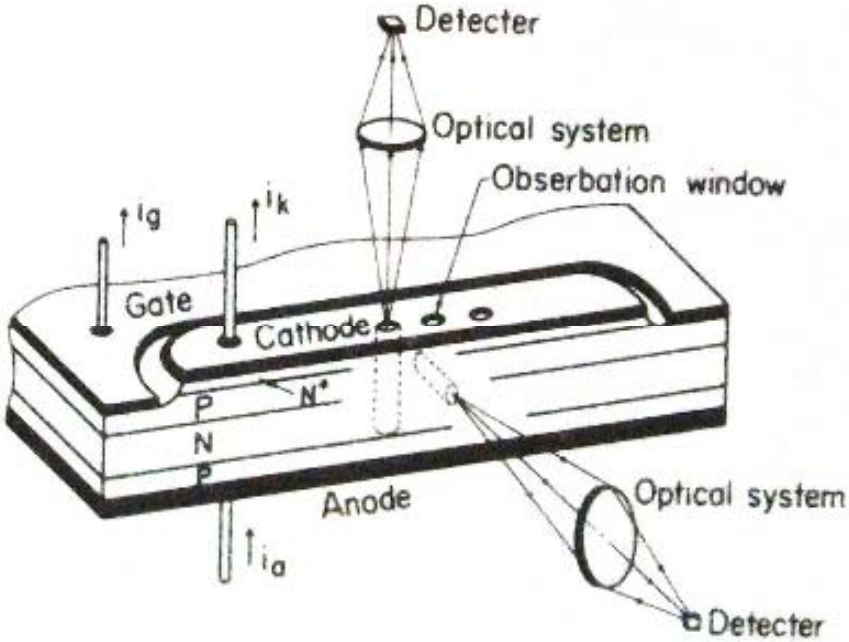
Device Simulator **TONADDE II**

1. 1-dim. version of TONADDE developed in 1980.
2. First version of 2-dim. TONADDE developed in 1982.
3. 2nd version with external circuit option developed in 1991.
4. Graphic user interface: input data generator, 3-D graphic post processor, developed in 1993.

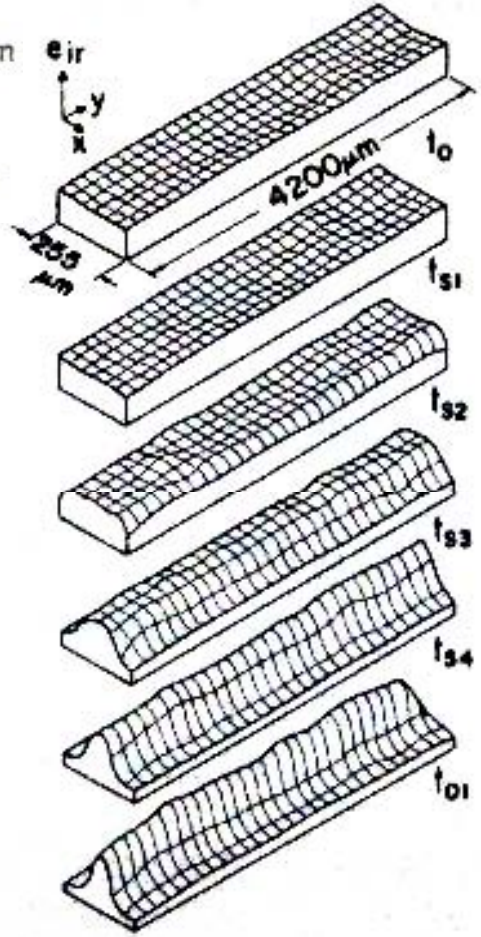
’70年代の最先端デバイスGTO

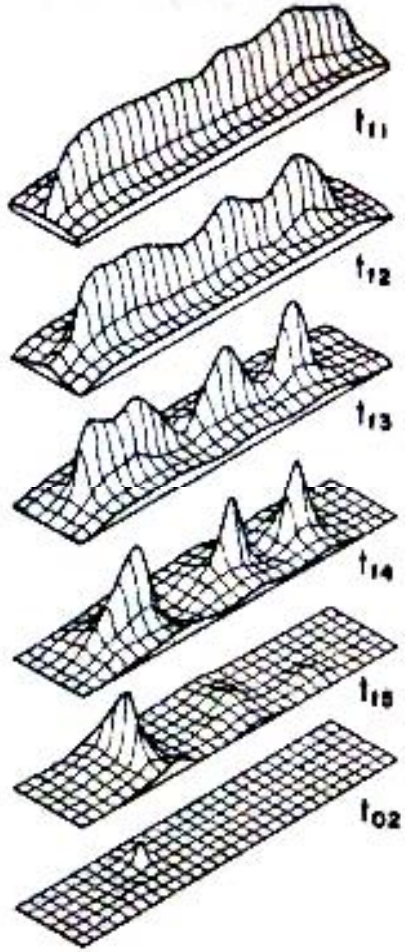





Detecter
Optical system
Obserbation window
i_g
i_k
Gate
Cathode
P
N+
N
P
Anode
i_a
Optical system
Detecter

電流集中!!


e_{ir}
y
x
4200μm
255 μm
t_o
t_{s1}
t_{s2}
t_{s3}
t_{s4}
t_{o1}


t_{i1}
t_{i2}
t_{i3}
t_{i4}
t_{i5}
t_{o2}

最大遮断電流をあげるにはゲインを上げるべきという固定観念

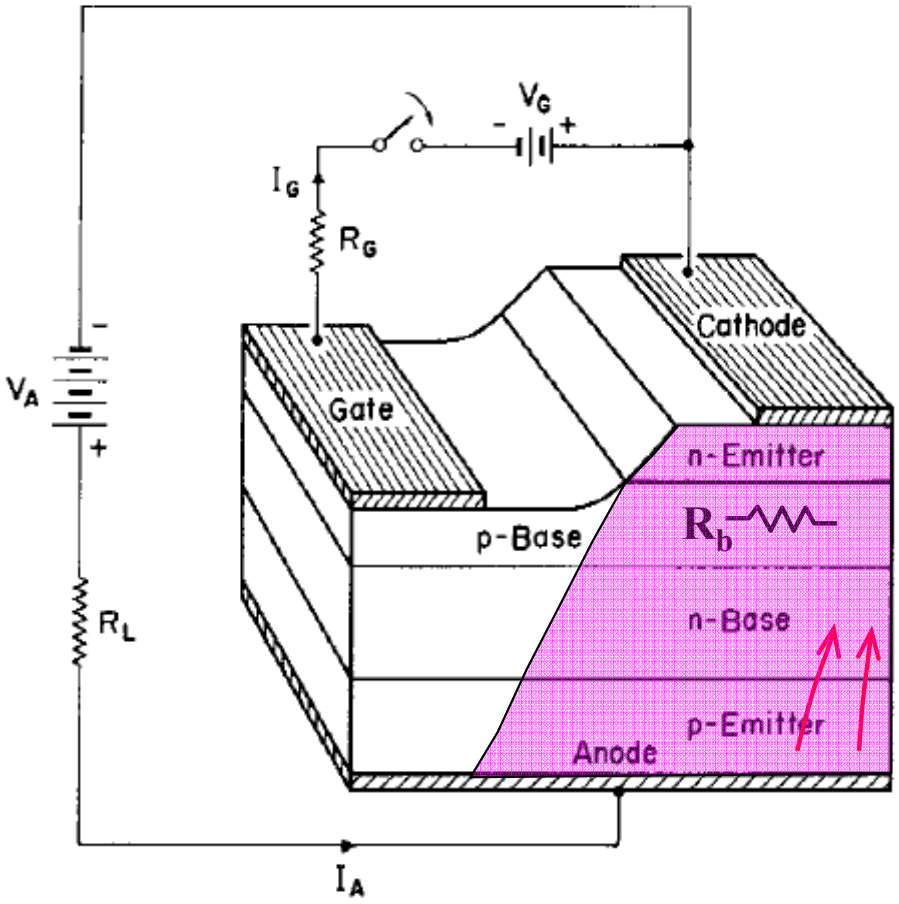
$$I_{ATO} = G_{max} \cdot I_g$$

$$G_{max} = \frac{\alpha_{npn}}{\alpha_{npn} + \alpha_{pnp} - 1}$$

$$I_{ATO} = G_{max} \cdot I_g(max)$$

$$= 2\, G_{max} \cdot \frac{V_{J1}}{R_b}$$

$$\propto \frac{V_{J1}}{\rho_{SPB}}$$



最大遮断電流をあげるにはゲインを上げるべきという固定観念

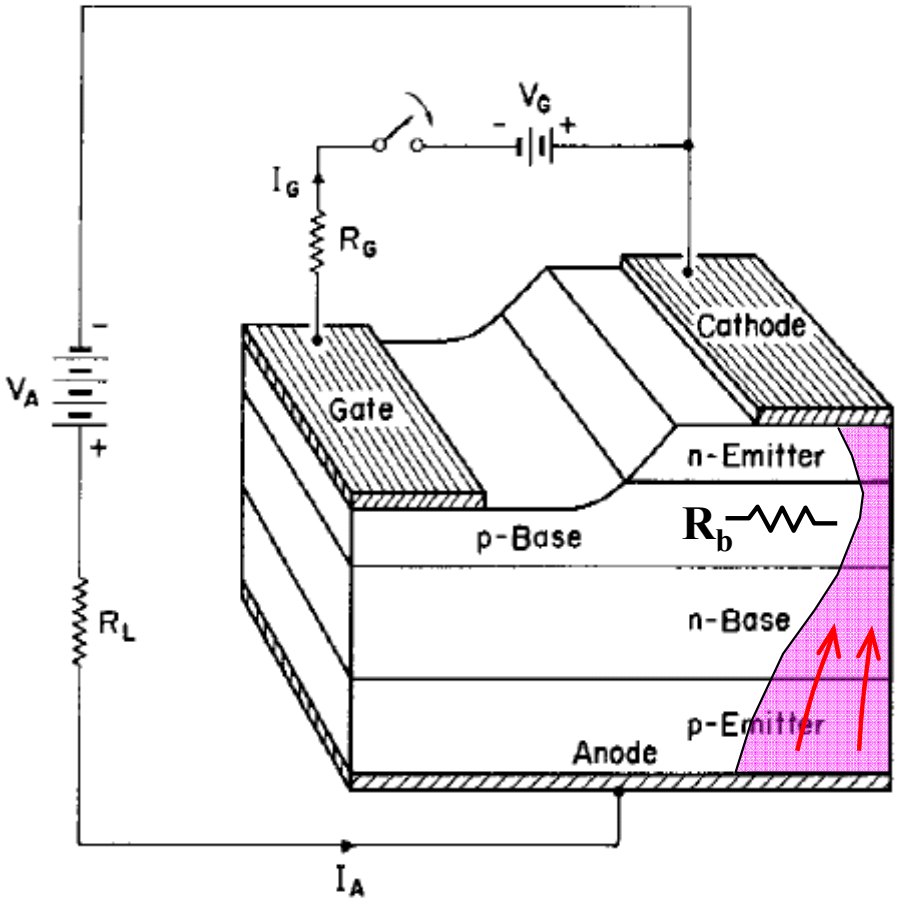
$$I_{ATO} = G_{max} \cdot I_g$$

$$G_{max} = \frac{\alpha_{npn}}{\alpha_{npn} + \alpha_{pnp} - 1}$$

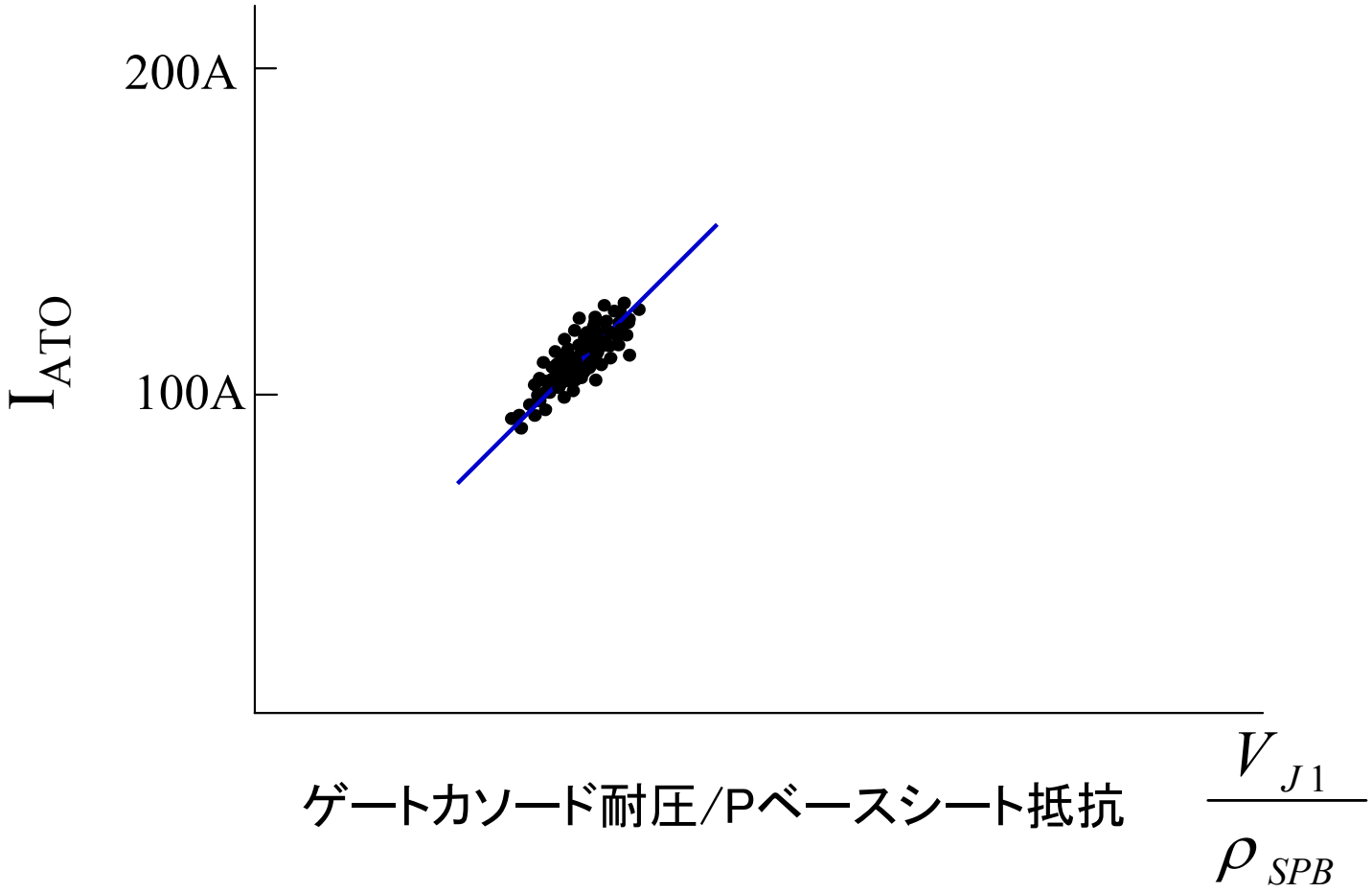
$$I_{ATO} = G_{max} \cdot I_g(max)$$

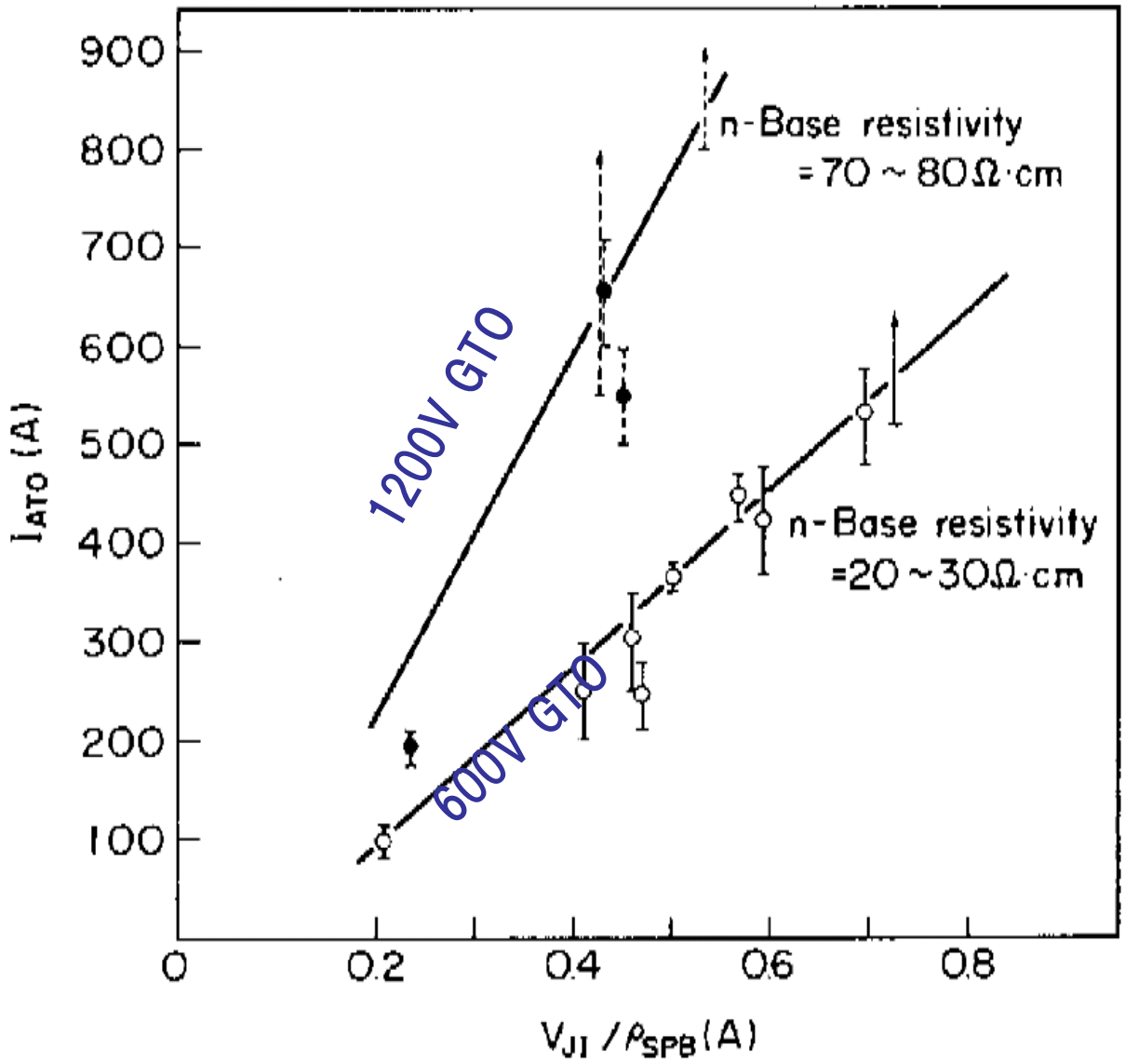
$$= 2\, G_{max} \cdot \frac{V_{J1}}{R_b}$$

$$\propto \frac{V_{J1}}{\rho_{SPB}}$$

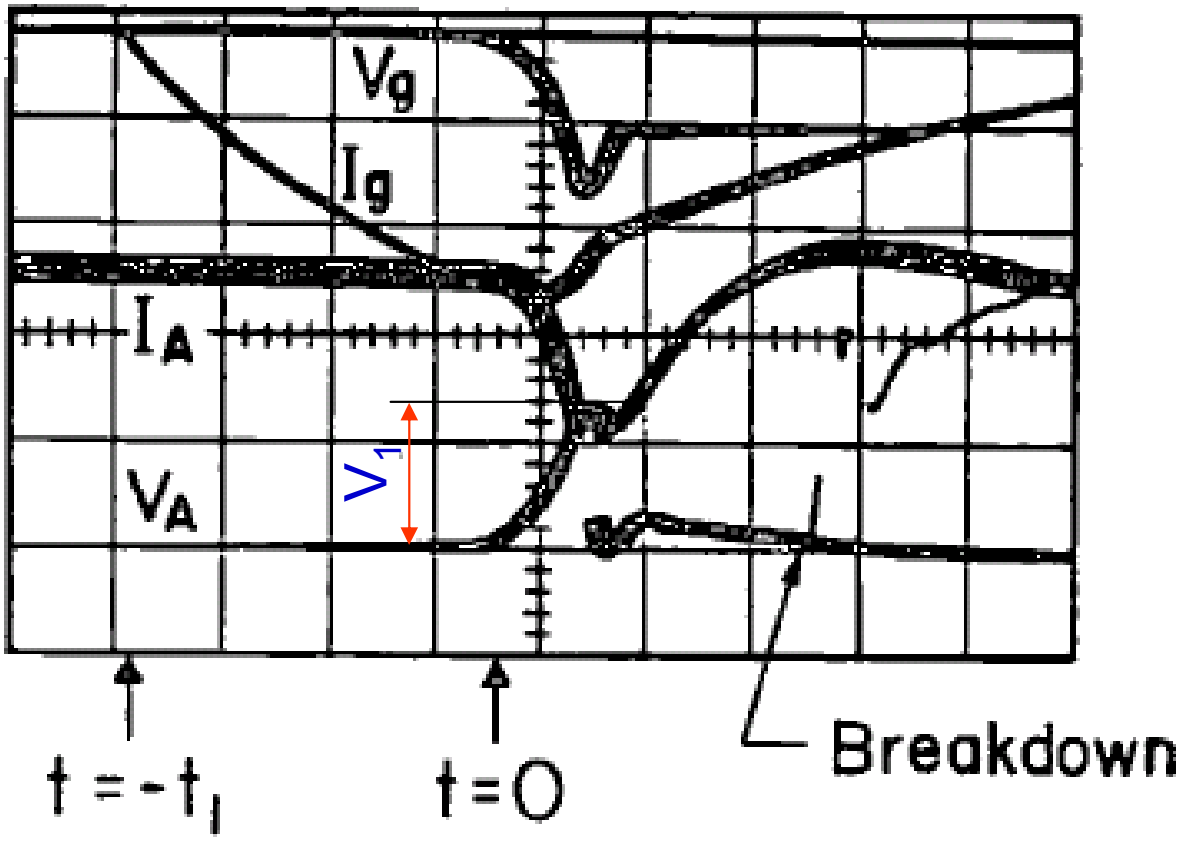


ばらつきをプロット




900
800
700
600
500
400
300
200
100
0
0.2
0.4
0.6
0.8
I_{ATO} (A)
V_{J1} / ρ_{SPB} (A)
n-Base resistivity
=70 ~ 80Ω·cm
1200V GTO
n-Base resistivity
=20 ~ 30Ω·cm
600V GTO

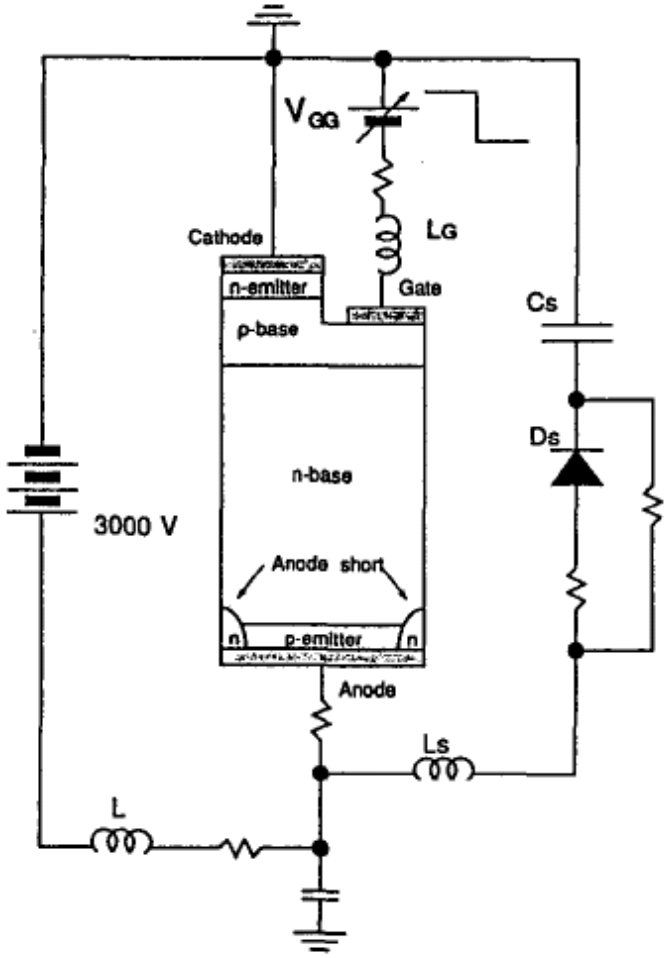
GTOの破壊現象

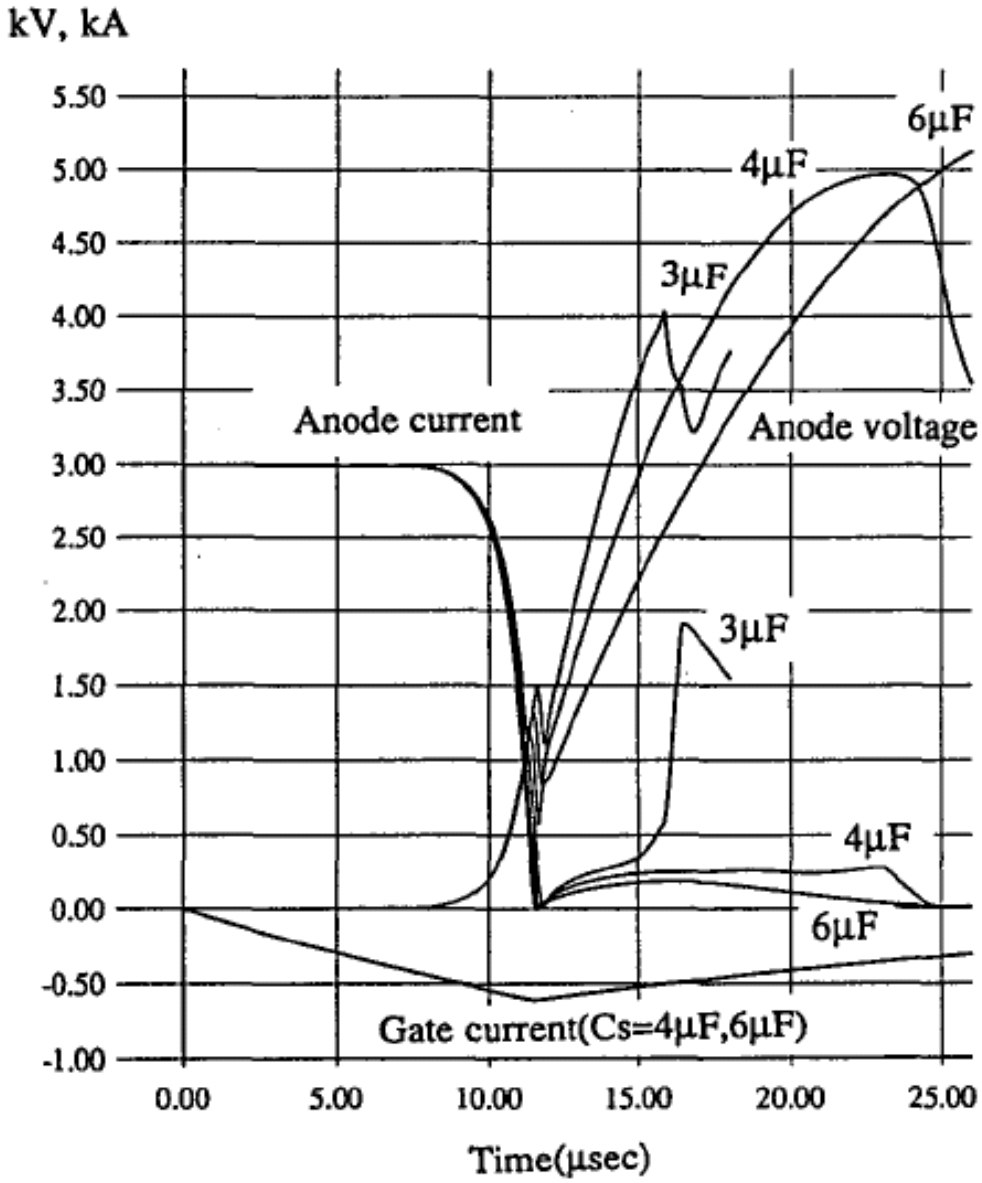


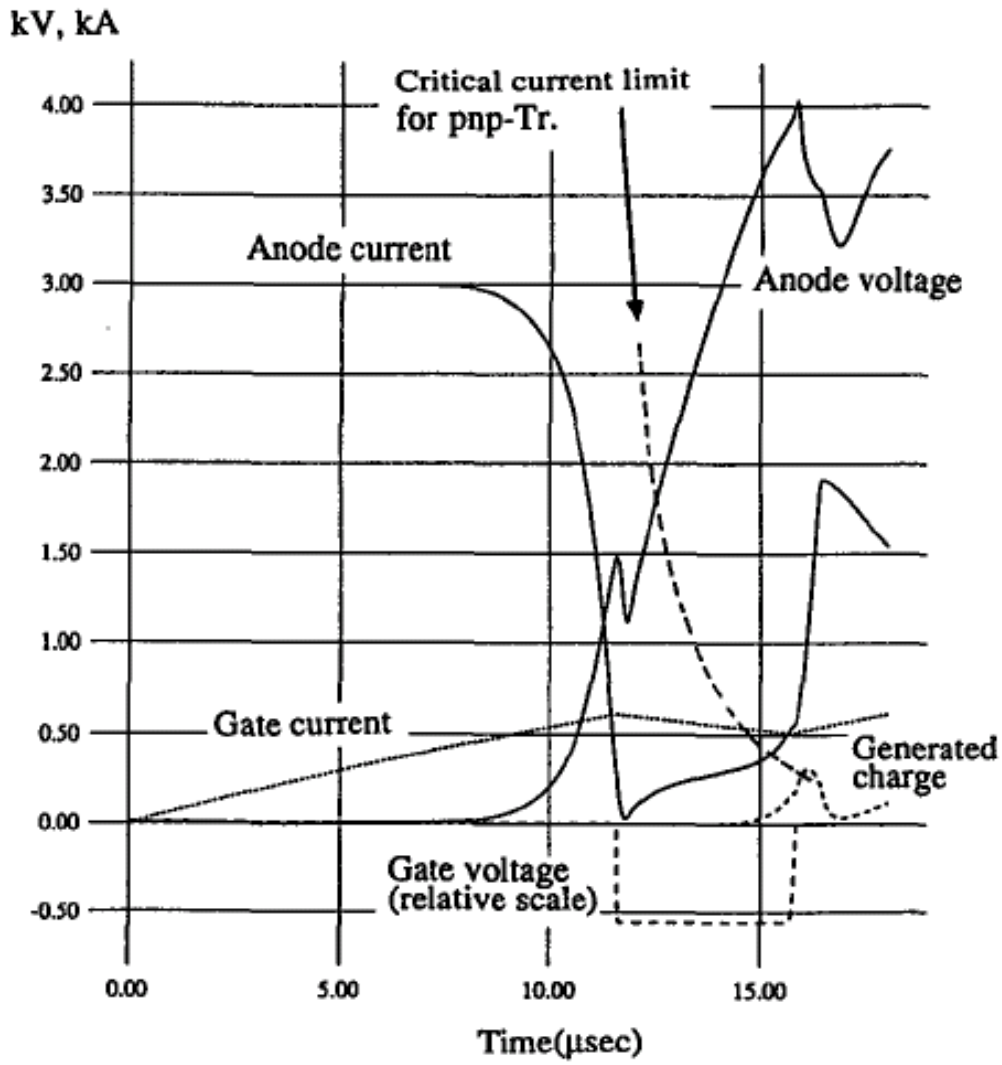
Ig : 60A/div.
Vg : 20V/div.
IA : 200A/div.
VA : 200V/div.
t : 2μs/div.

シミュレーションによる再現

ISPSD 1992






kV, kA
Critical current limit
for pnp-Tr.
4.00
3.50
Anode current
3.00
Anode voltage
2.50
2.00
1.50
1.00
Gate current
0.50
Generated
charge
0.00
Gate voltage
(relative scale)
-0.50
0.00
5.00
10.00
15.00
Time(μsec)

GTOの電流集中 in 1984

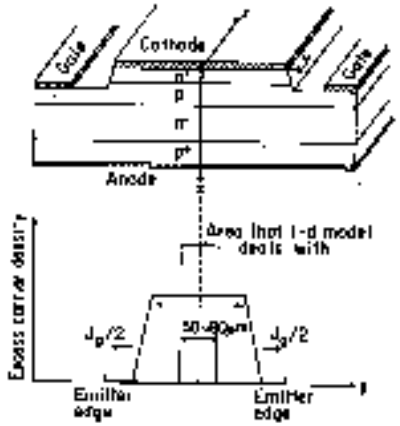


Fig. 1. Schematic diagram of the GTO thyristor and excess carrier charge in the p-base.

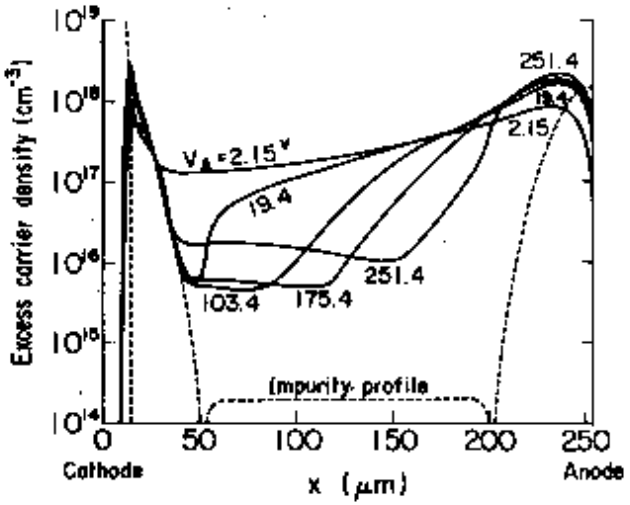
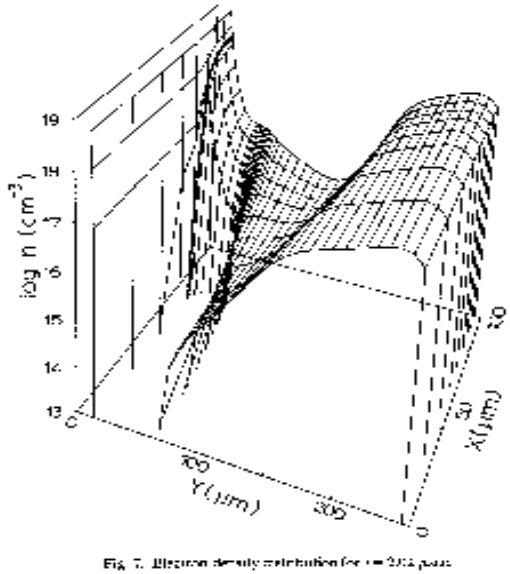


Fig. 3. Excess carrier distributions for various time steps denoted by corresponding anode voltages.



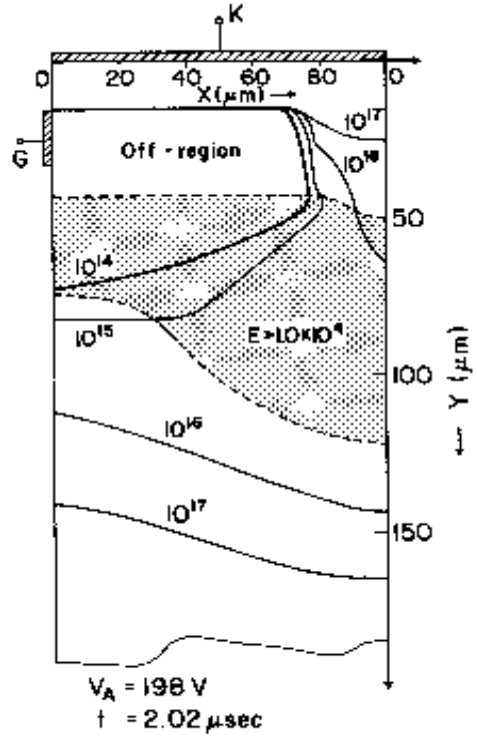
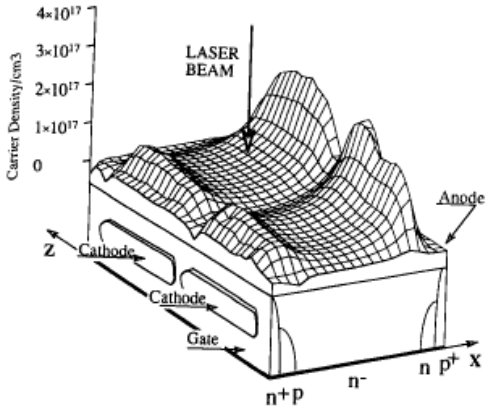
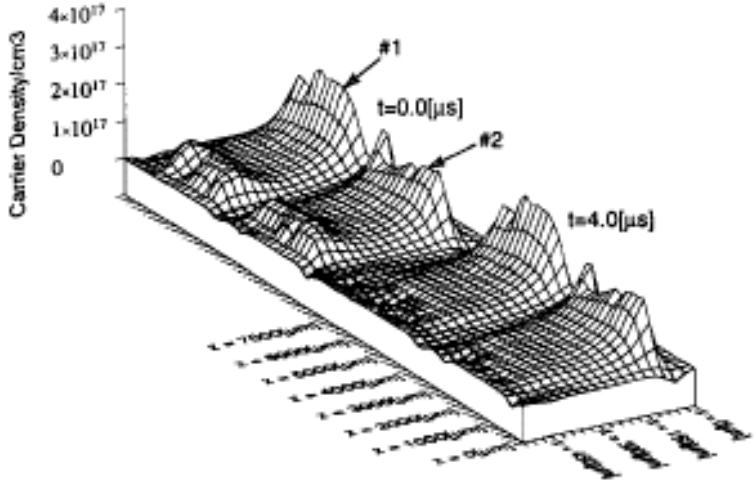


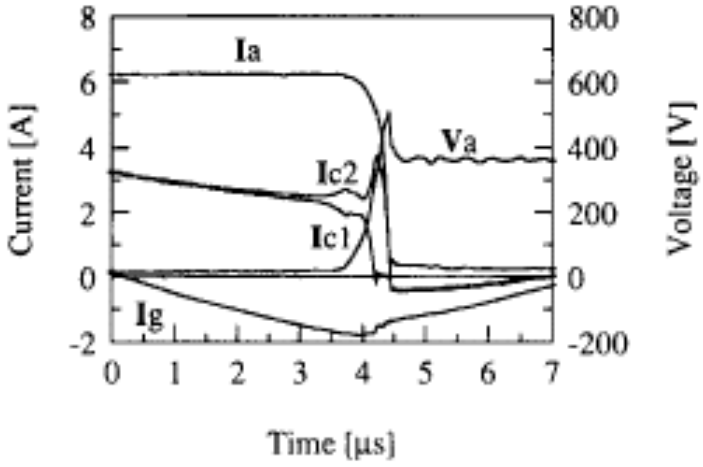
Fig. 9. Equal carrier density lines, high electric field region and off-region.

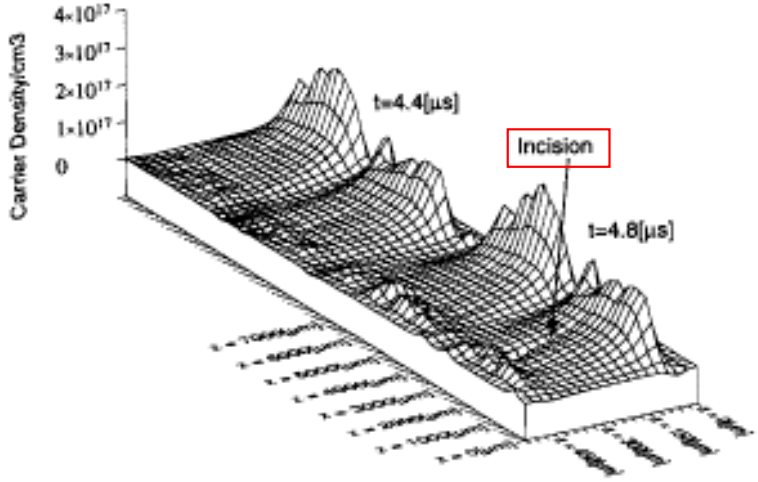
Measurements of Failure Phenomena in Inductively Loaded Multi-Cathode GTO Thyristors

Henry Bleichner, Mats Rosling, Mietek Bakowski, Jan Vobecky, and Edvard Nordlander, *Member, IEEE*









A Time-and Temperature-Dependent Simulation of the GTO Turn-Off Process

Akio Nakagawa**
David H. Navon

**Toshiba Research & Development Center, 1 Komukai Toshibacho, Saiwai-ku, Kawasaki, 210, Japan
Department of Electrical & Computer Engineering, UMASS, Amherst, MA

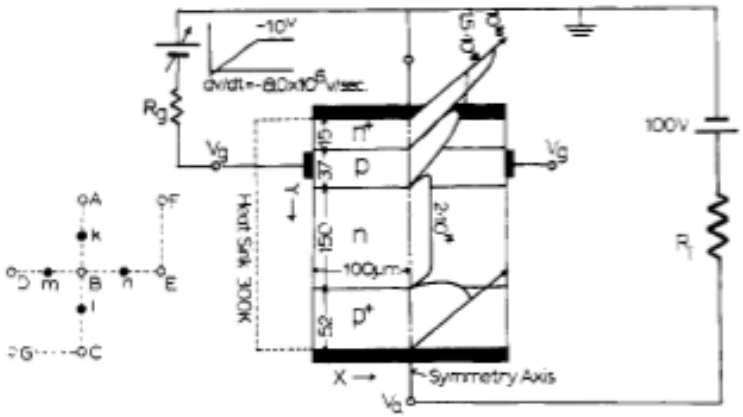


Fig. 1 Schematic diagram for the analyzed system

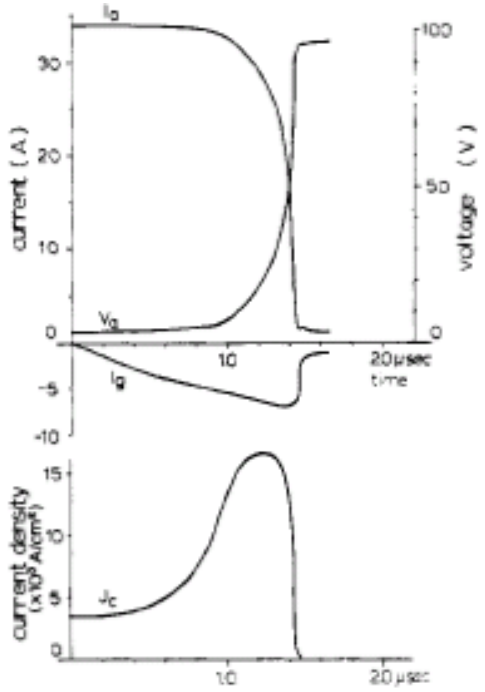


Fig. 2 Calculated current-voltage waveforms and current density change at device center

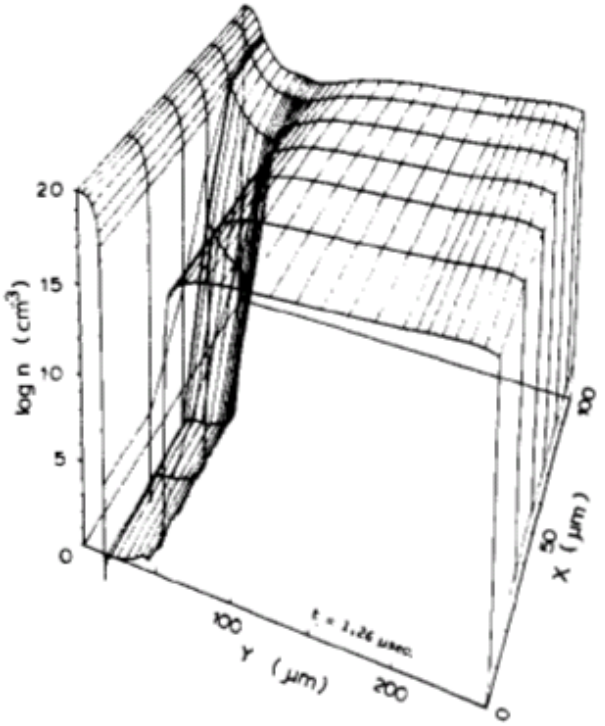


Fig. 3 Electron density distribution(t=1.26μsec.)

偶然出会ったBaligaの論文!!!

THE INSULATED GATE RECTIFIER (IGR):

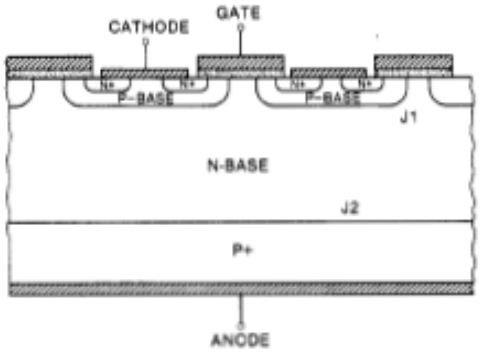
A NEW POWER SWITCHING DEVICE

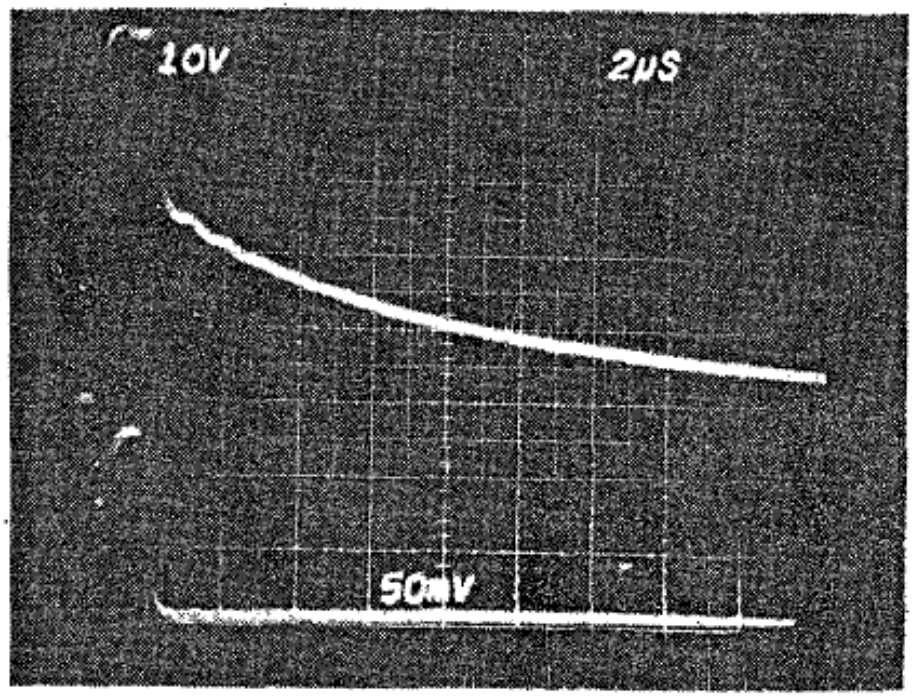
B.J. Baliga, M.S. Adler, P.V. Gray, R.P. Love

General Electric Company
Corporate Research and Development Center
Schenectady, NY

Nathan Zommer

Intersil Inc.
Cupertino, CA

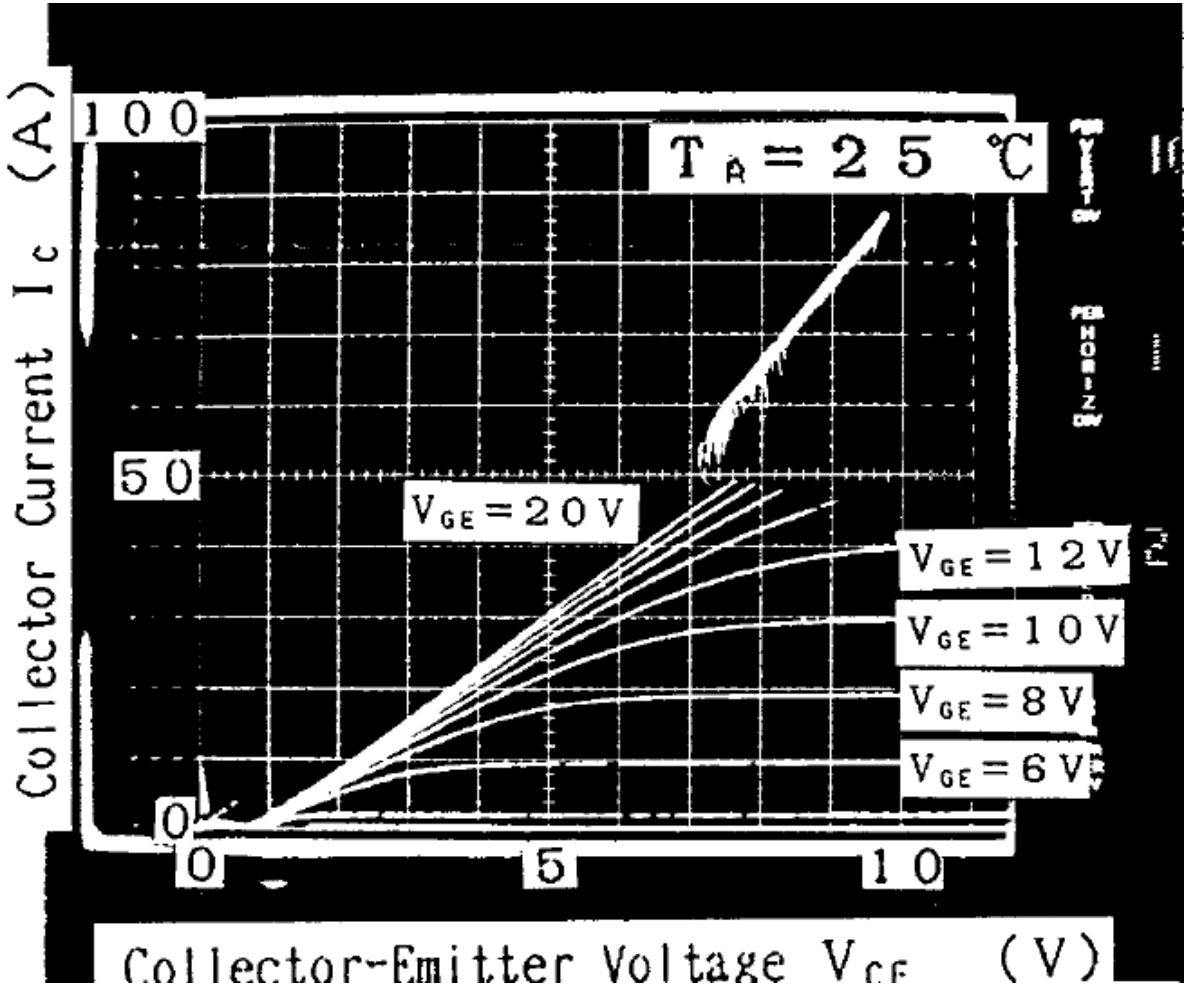




スイッチング時間：10μsec

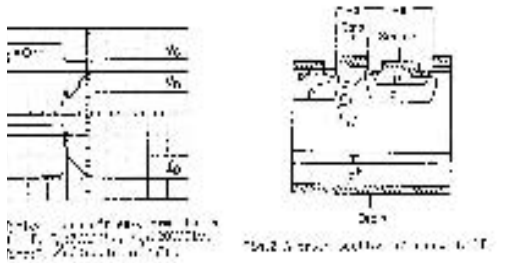
新規性はあるが、
「何故このような遅い素子を発表するのか」
「良くこのような素子を実証して見せたものだ」という驚き

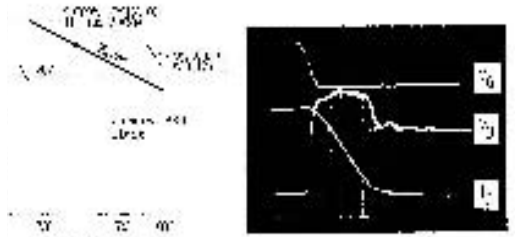
ラッチアップを防ぐことは不可能に近いと考えられていた!!!

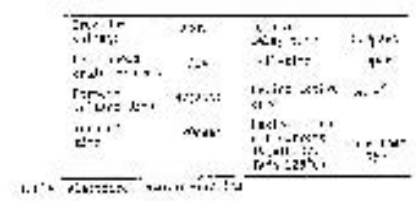


ところが Non-Latch-Up IGBTができてしまう。

実現したNon-Latch-up IGBTは
思った以上に良い素性を持っていた!!!



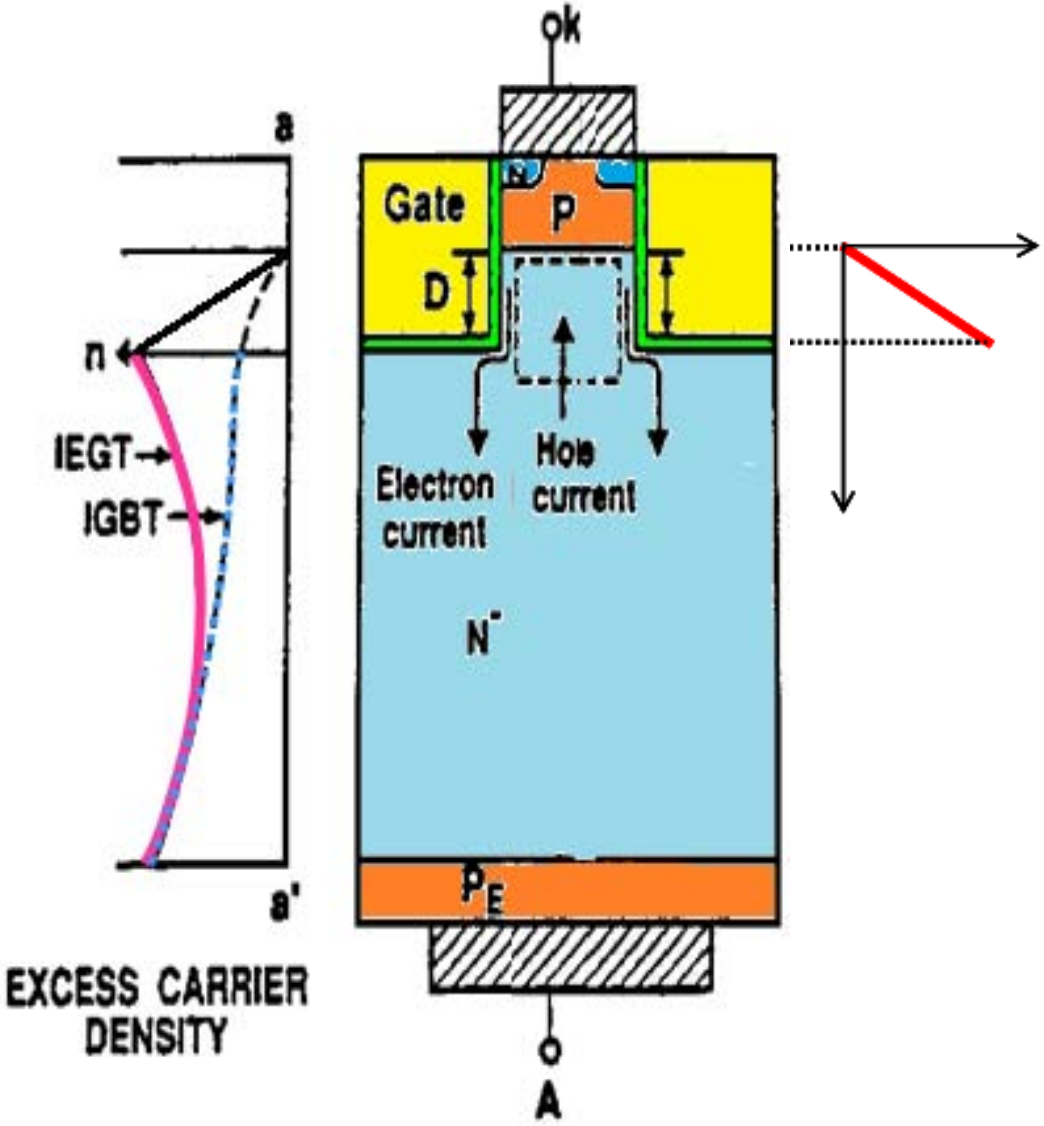




ノンラッチアップIGBT最初の論文
IEDM Late News 1984年12月

1990年 Injection Enhanced IGBT（IE効果）の発見

デバイスシミュレータでの予測　(特許出願1991、発表1993)



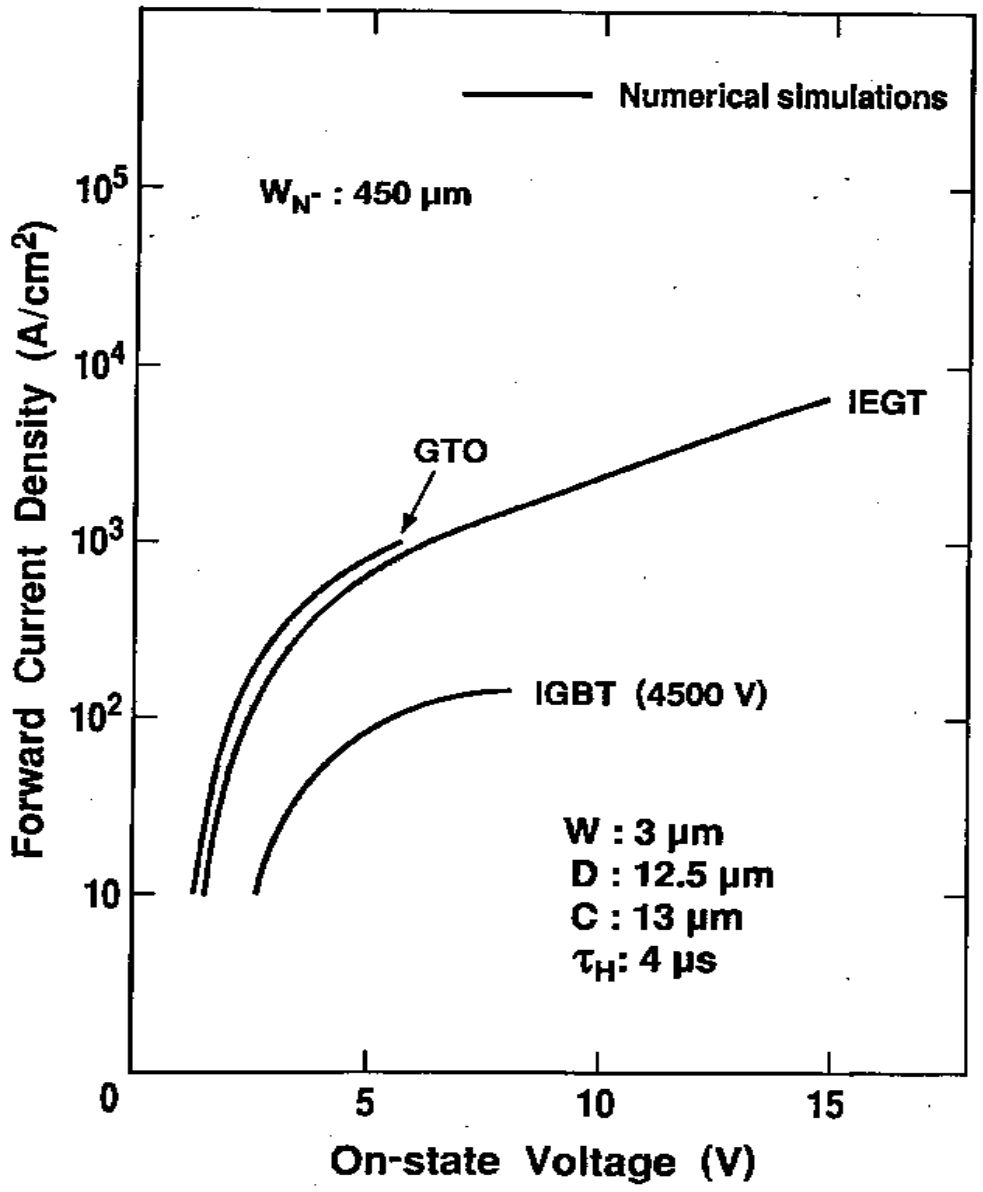
$$\text{正孔電流 } J_p = qD_p \frac{\partial p}{\partial x}$$

キャリアの勾配で
正孔を蓄積

サイリスタのキャリア分布を実現

Kitagawa, 1993 IEEE IEDM Tech. Digest, pp.679

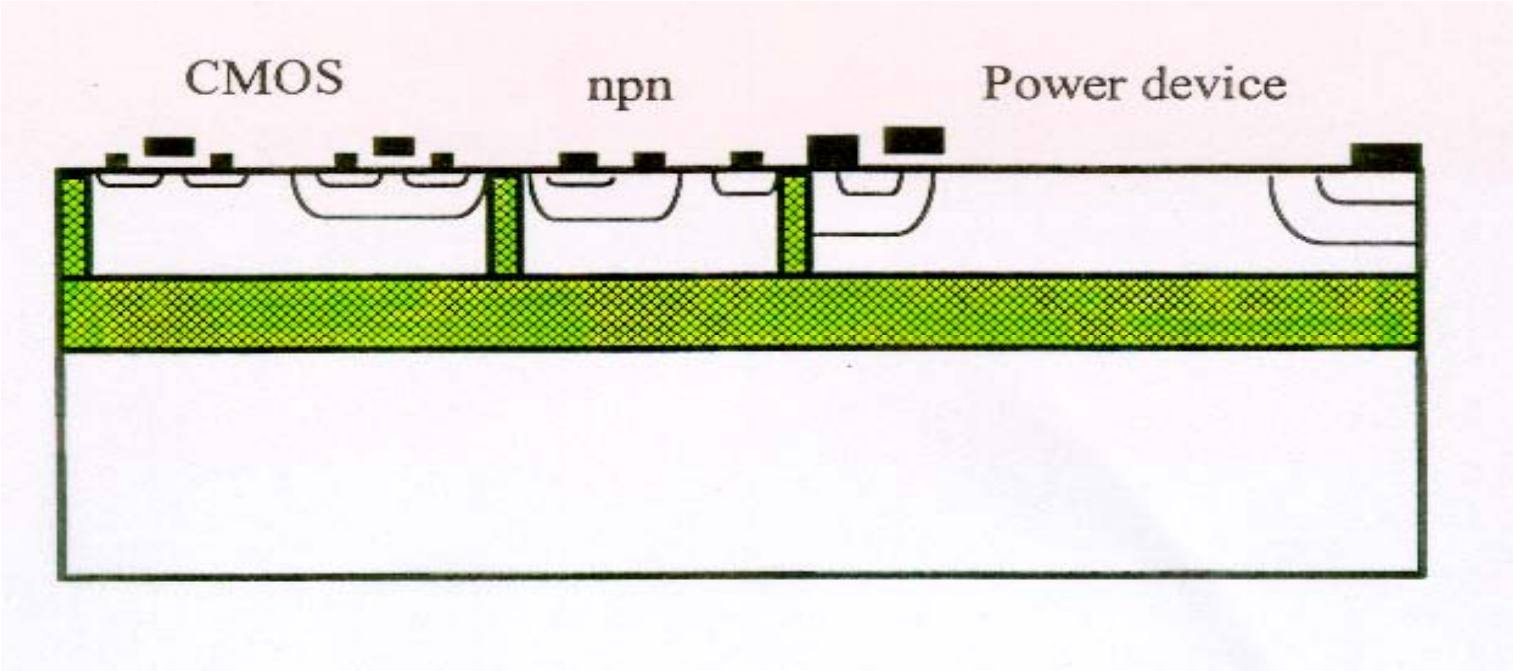
IEGT realizes thyristor-like I-V characteristics!



4.5kV IEGT
developed in 2000

High Voltage ICs in SOI

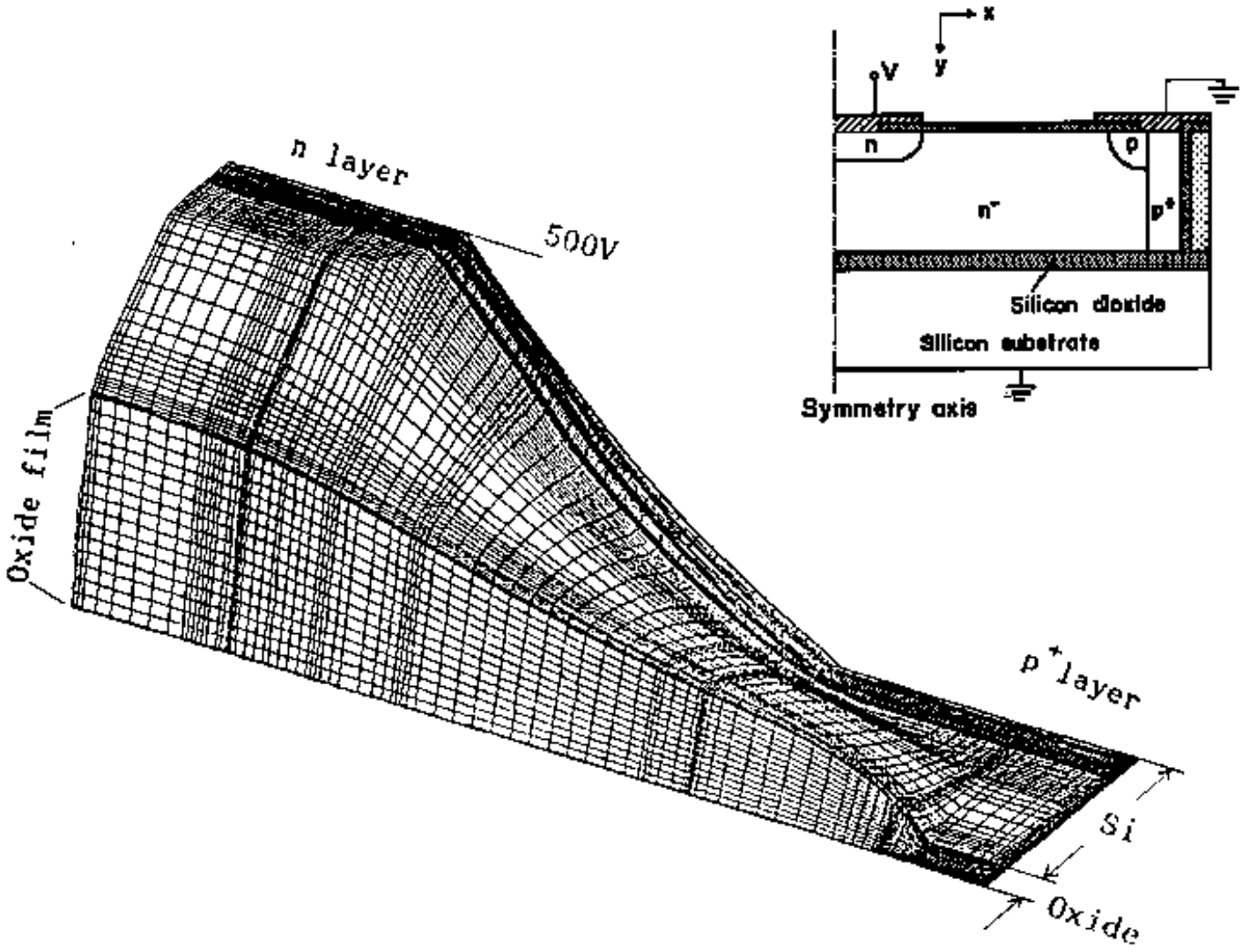
Combination of SOI and trenches



1. How to realize a high voltage by applying a large share of the voltage across the buried oxide

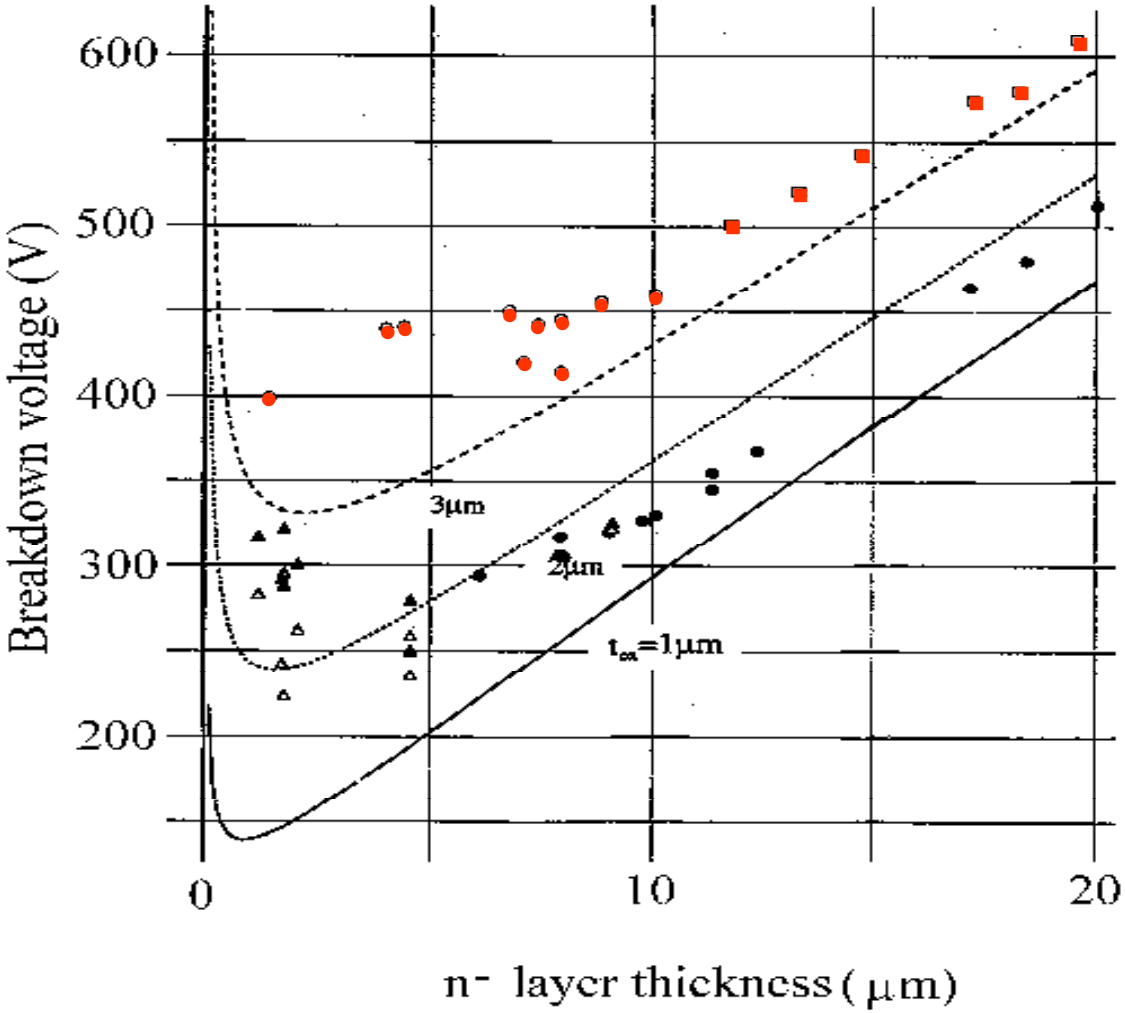
2. How to realize a large current device on a thin SOI

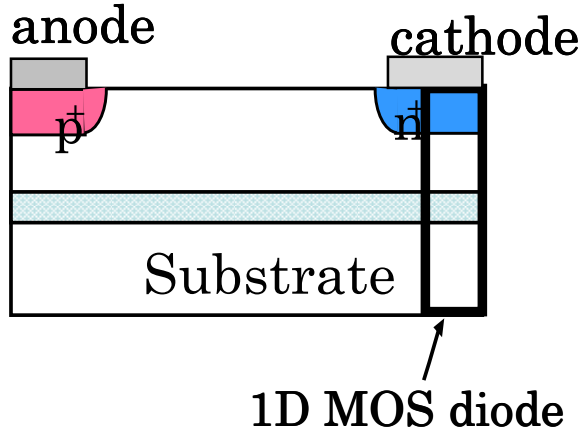
20μmのシリコン層で500V　→ トレンチ分離可能



SOI device breakdown voltage vs. SOI thickness

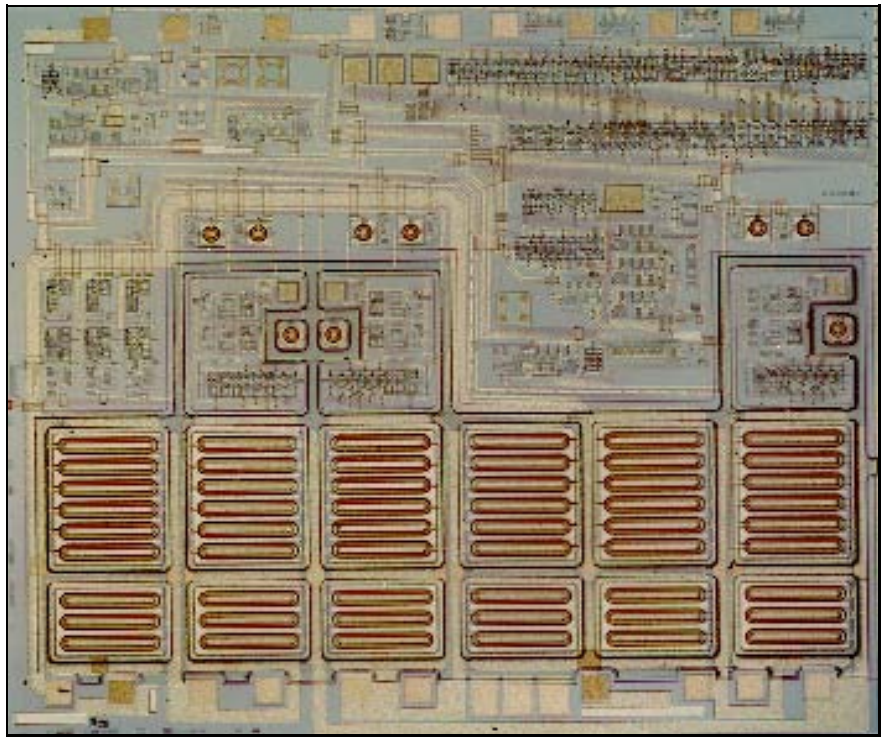
Breakdown voltage is limited by MOS Diode





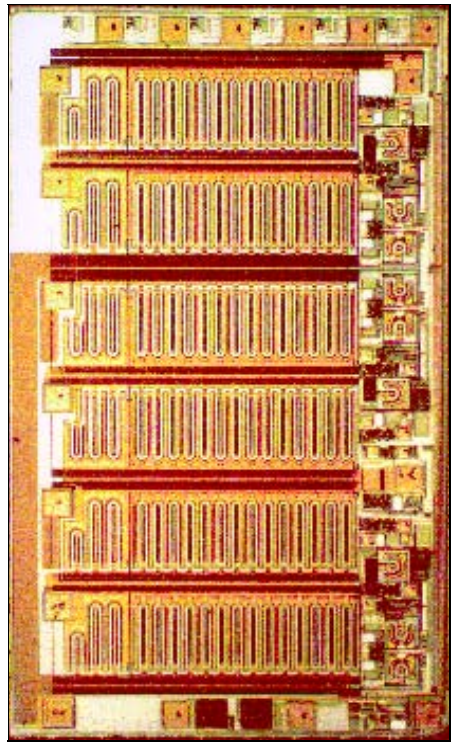
1 Chip Inverter IC Evolution

500V,1A(1991)



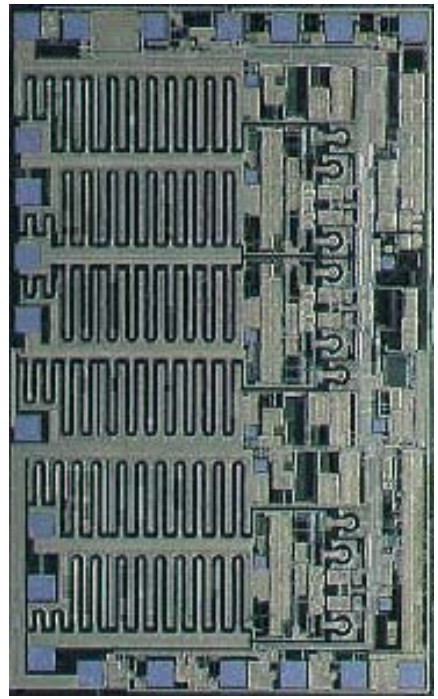
8.4 x 7
V groove,
6μm 12V BiCMOS
LIGBT 1A @3V

500V,1A(1994)



7 x 4.2
Trench Isolation,
1.5μm 5V BiCMOS
Multi-ch LIGBT
1.2A @3V

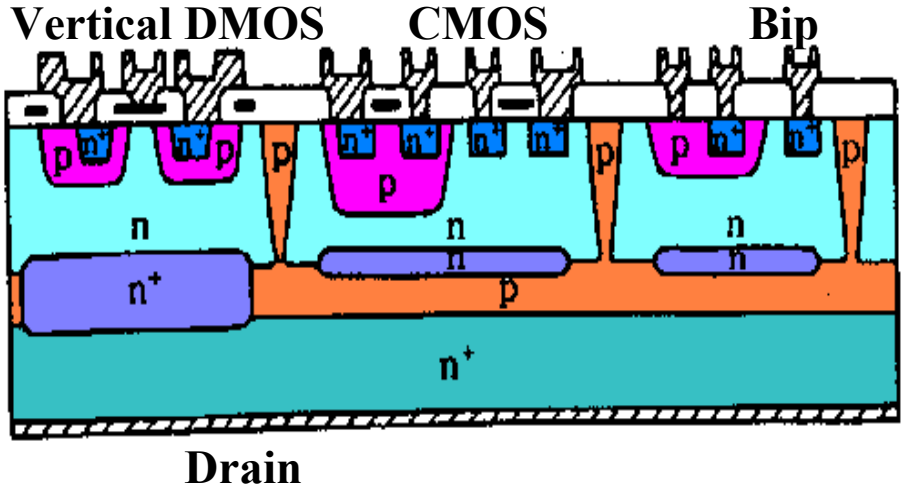
500V, 1A(2001)

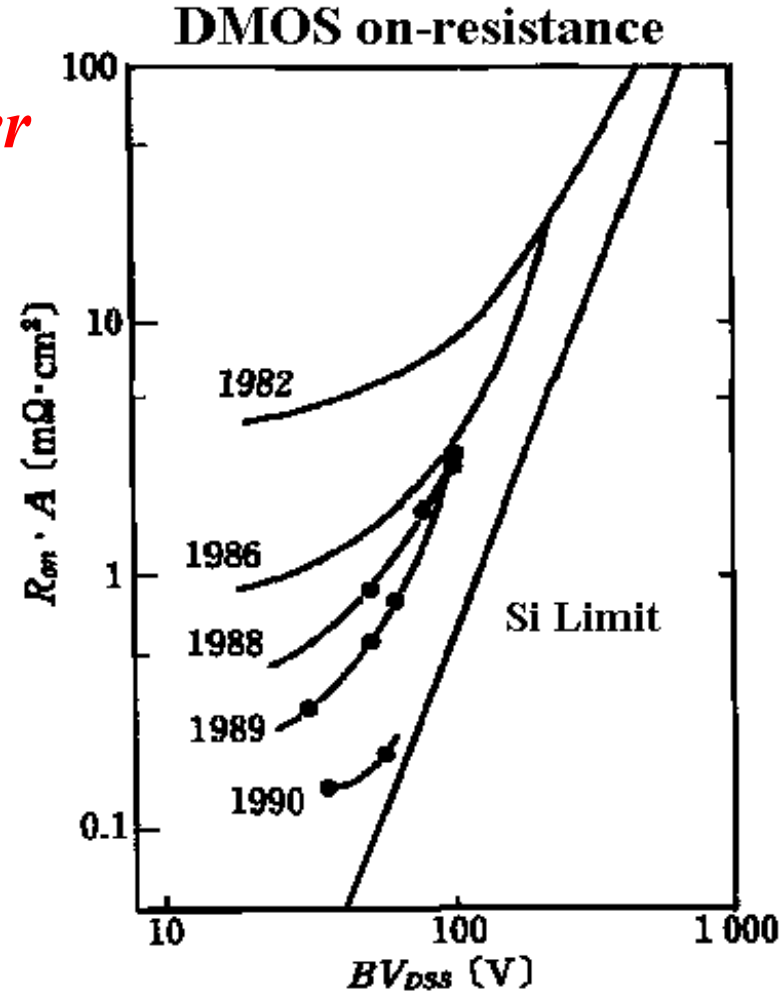


6.6 x 4.1
Trench Isolation,
2μm 30V CMOS Analog
PWM, Multi-ch LIGBT
1.0A @3V

BiCDパワーICの歴史

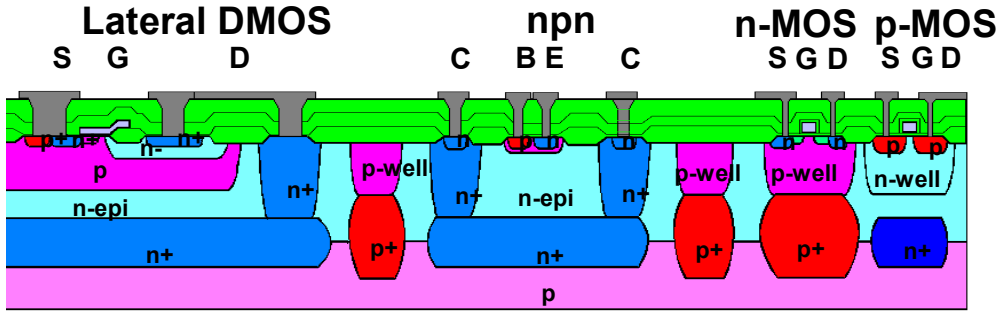
- **DMOS Ron Improvement**
  - *'80年代 Smart Power*

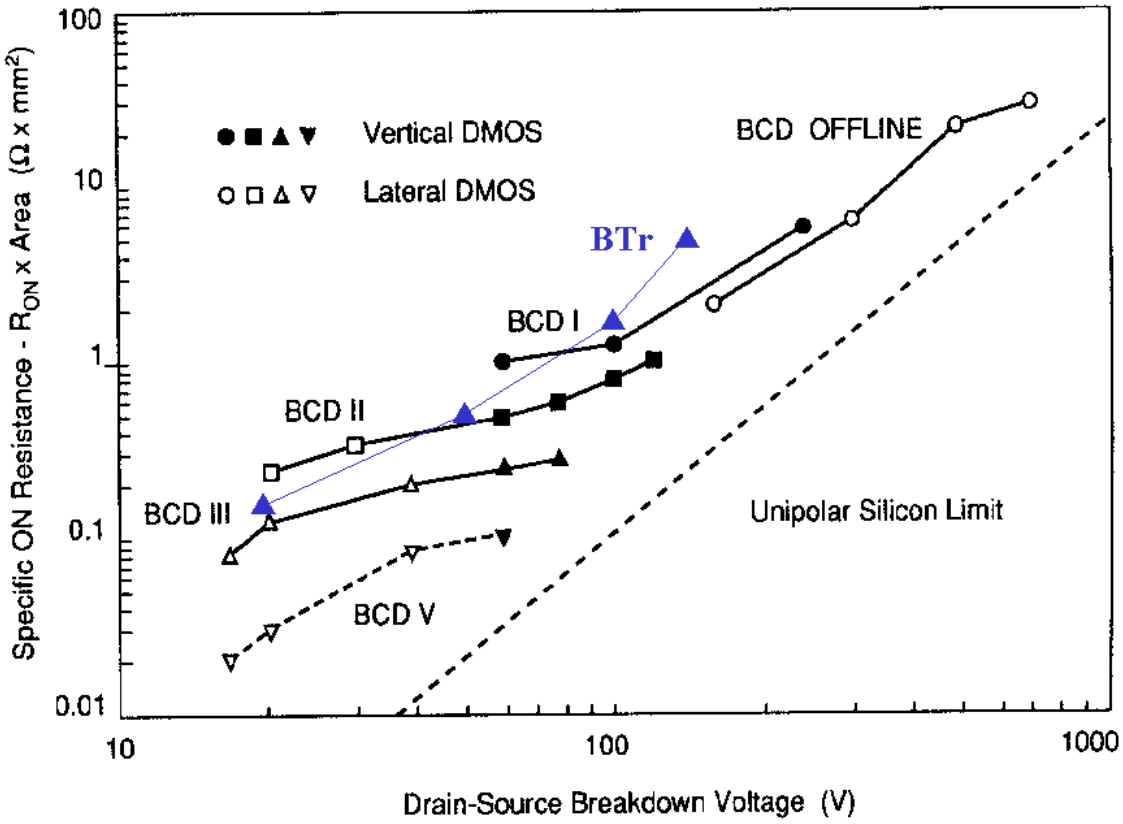




BiCD技術　横型DMOS + 制御回路

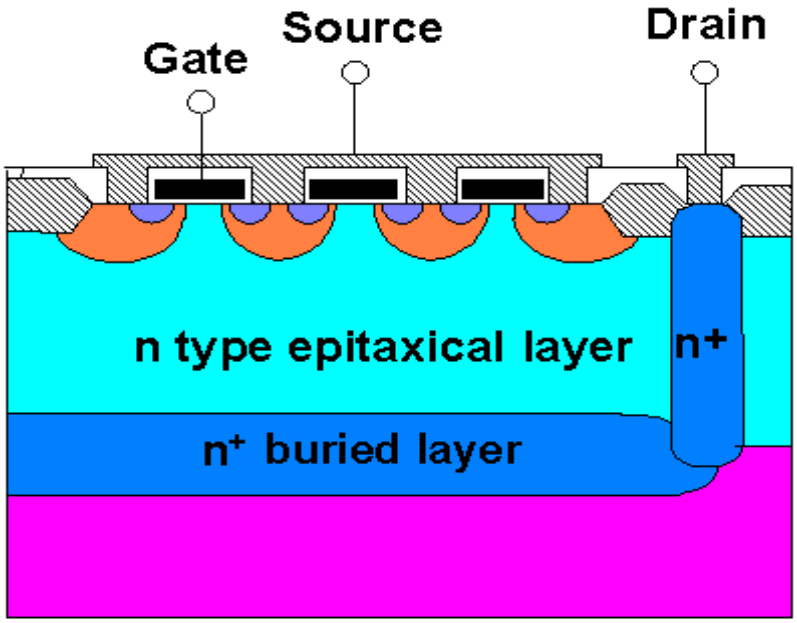
- Smart Power Concept
- **BCD Technology**
  - **0.6μm design rule**



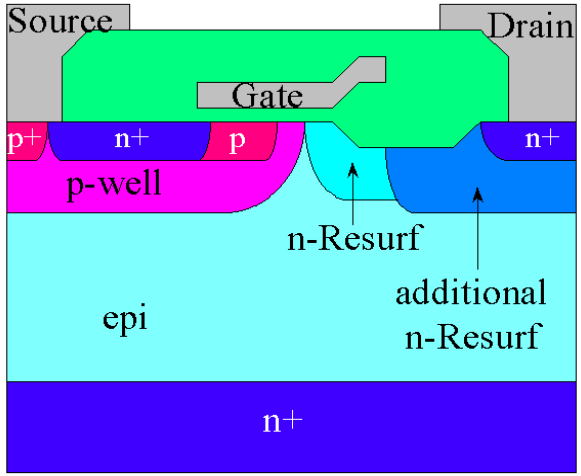


Lateral DMOS vs. Vertical DMOS

LDMOS: Rds（on） is simply reduced depending on design rule



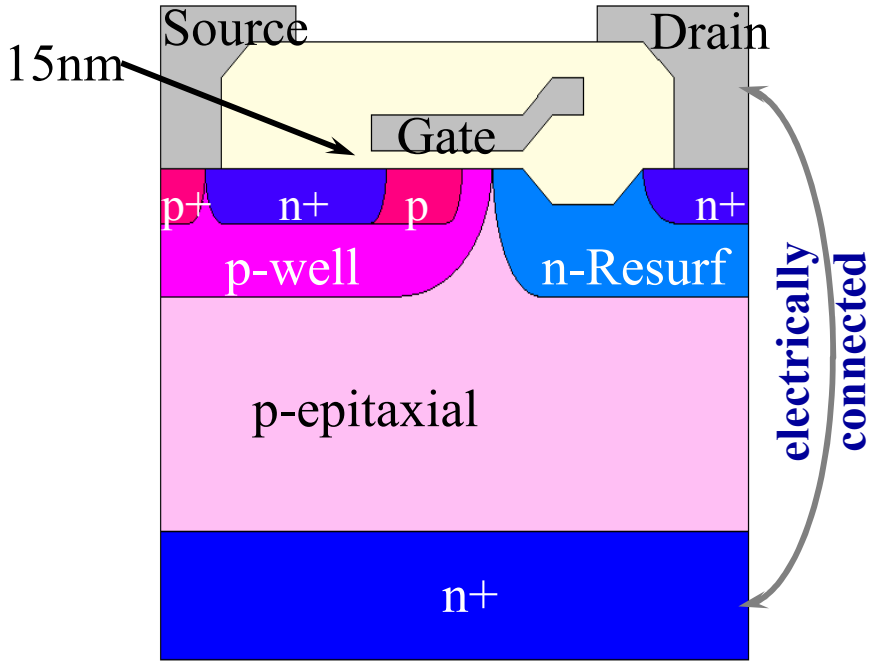
Up Drain vertical DMOS

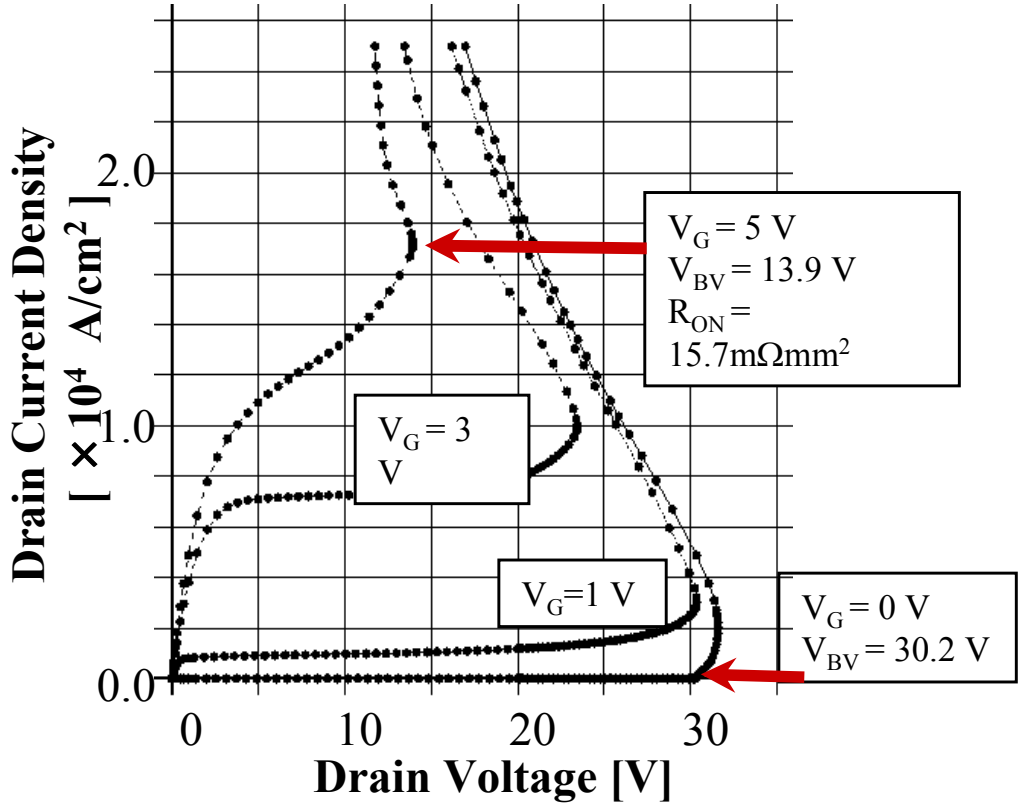


LDMOS

従来のLDMOS　問題点

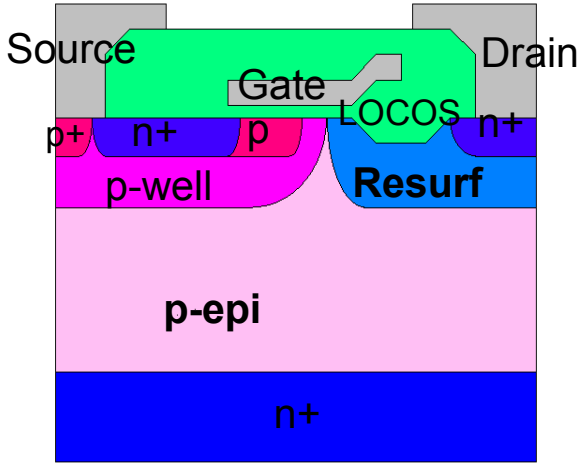
----*Low on-state breakdown voltage*



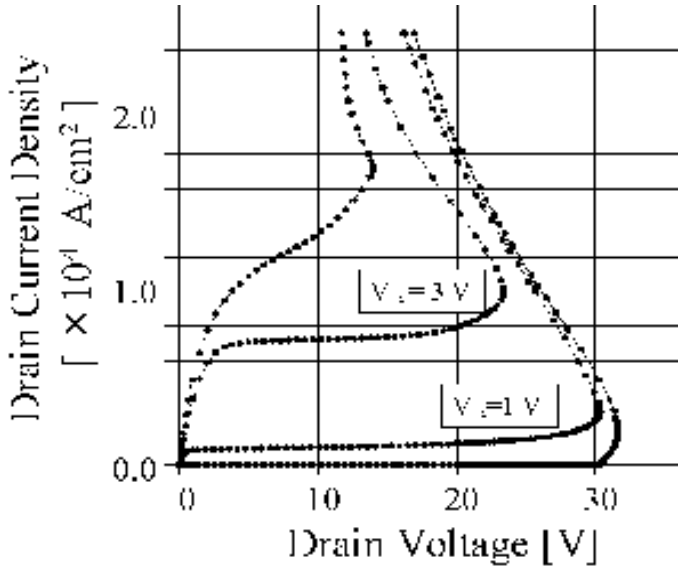


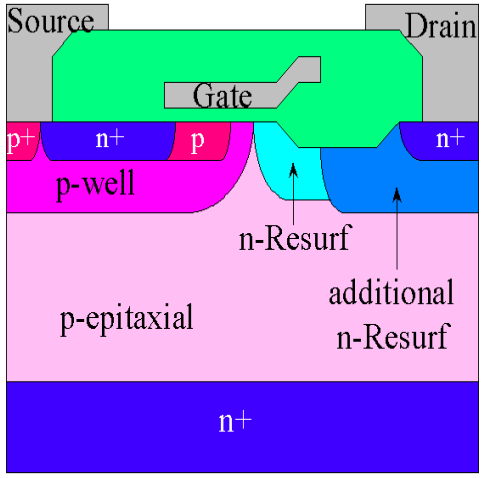
Adaptive Resurf *1998 ISPSD*

----- Improvement of on-state breakdown voltage

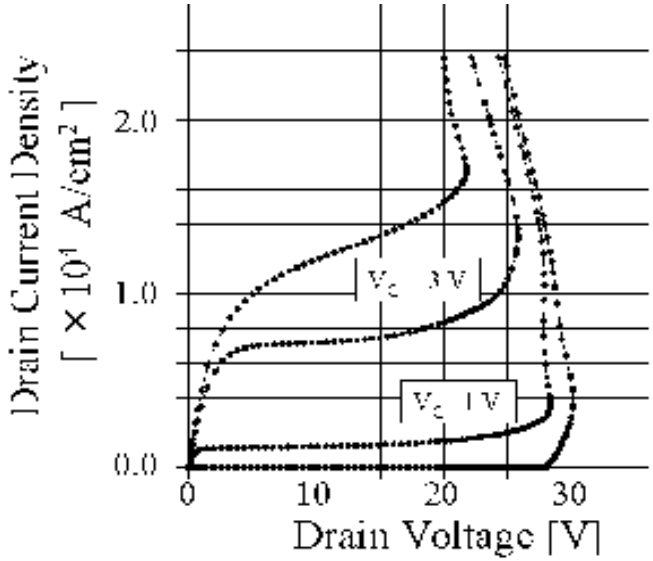


Conventional



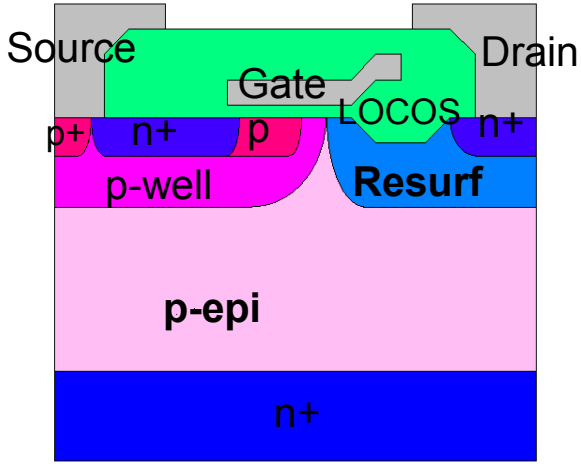


Improved LDMOS with Adaptive Resurf

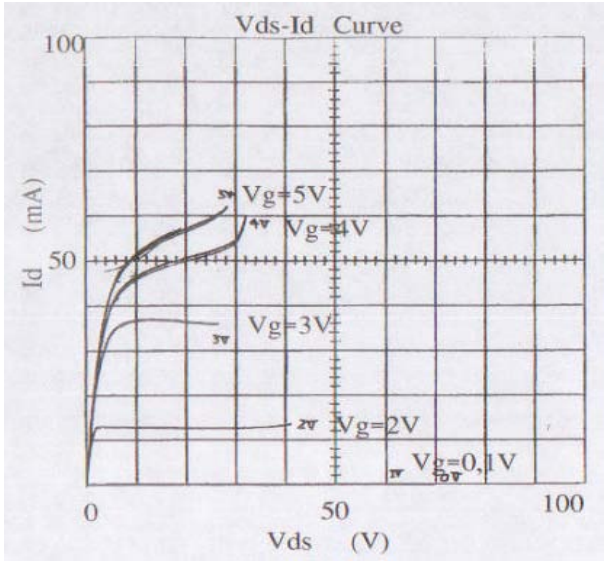


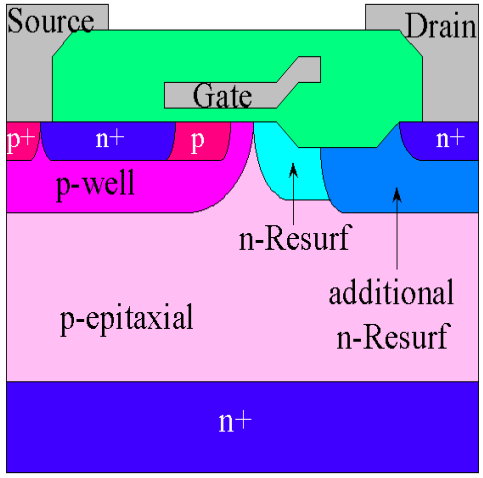
Adaptive Resurf

----- Improvement of on-state breakdown voltage

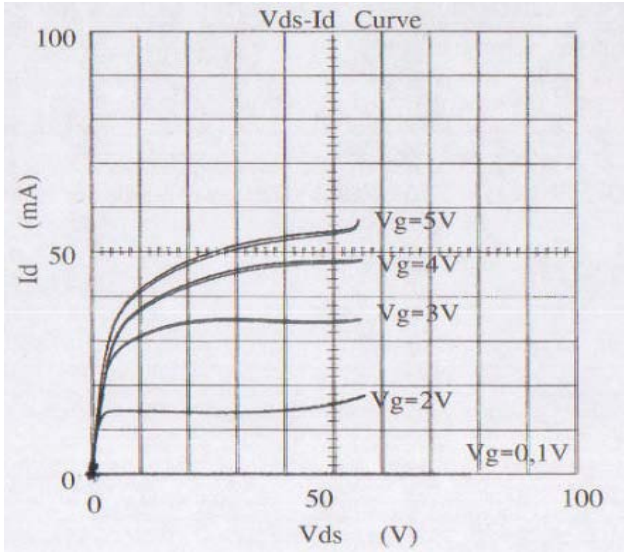


Conventional





Improved LDMOS with Adaptive Resurf



MOSFET-mode IGBT

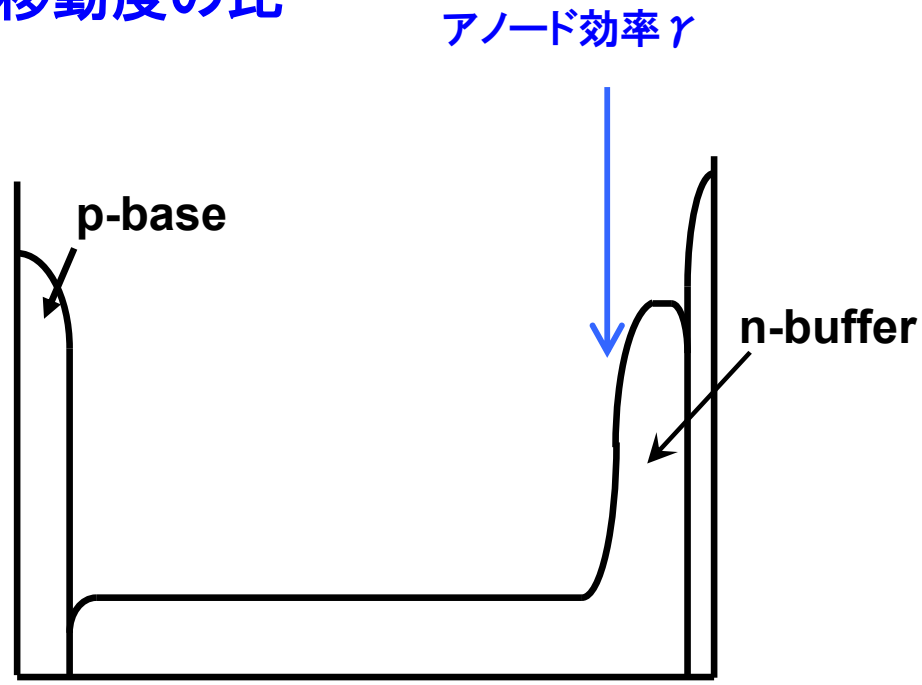
アノードの注入効率を極限まで下げたら!!!

電子電流が主体で流れるIGBT：高速動作

電子電流Jn／正孔電流Jp ＞ 移動度の比

$$\gamma = \frac{J_p}{J_n + J_p} < \frac{\mu_p}{\mu_n + \mu_p}$$

高電界 $\gamma < \dfrac{v_h}{v_e + v_h}$



負荷短絡時Nベースの空間電荷Q

$$Q = qN_D + q(p - n) = qN_D + J\{\gamma/v_h - (1-\gamma)/v_e\}$$

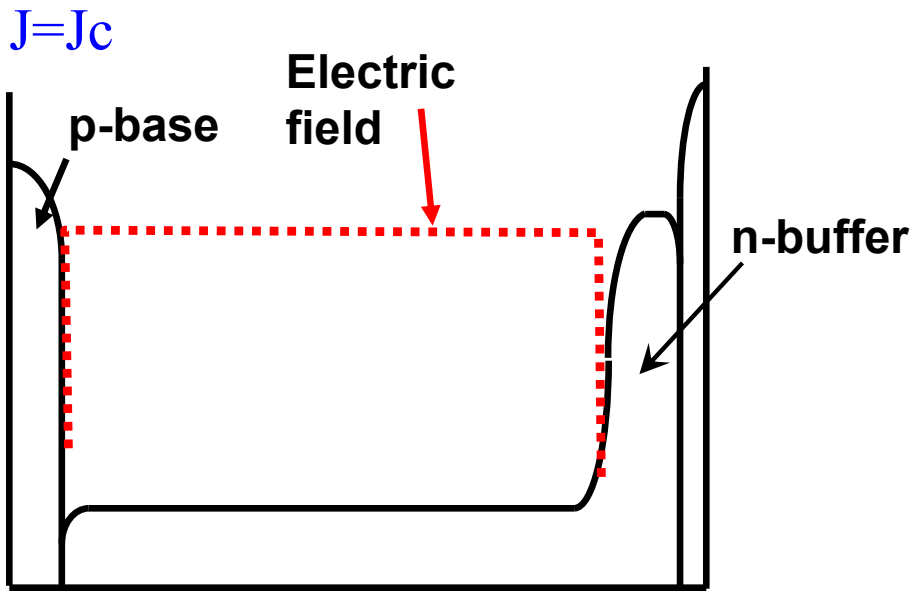
$$p = \frac{J_p}{qv_h} \quad n = \frac{J_n}{qv_e} \quad \gamma = \frac{J_p}{J}$$

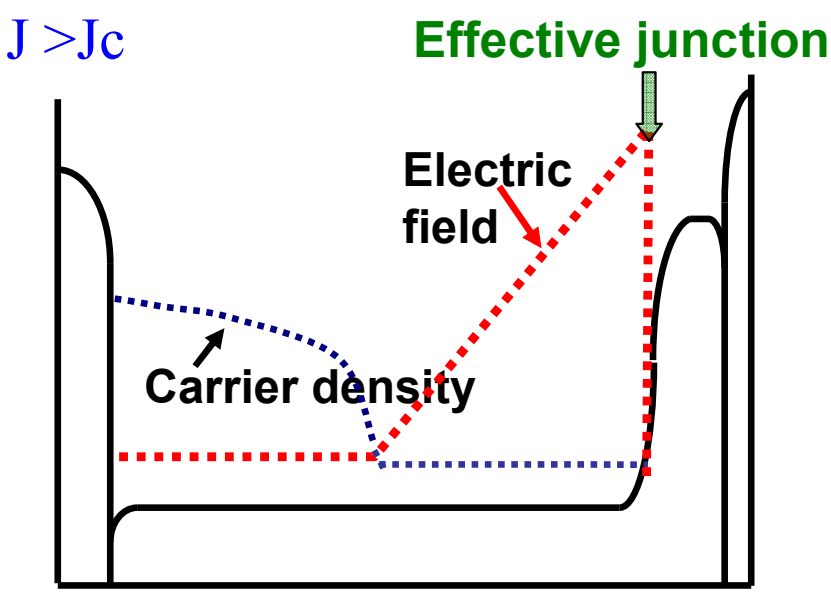
Define $J_C = qN_D/\{(1-\gamma)/v_e - \gamma/v_h\}$ when $\gamma < \dfrac{v_h}{v_e + v_h}$

$J < J_C$: Q＞0 正電荷

$J = J_C$: Q＝0 ゼロ!

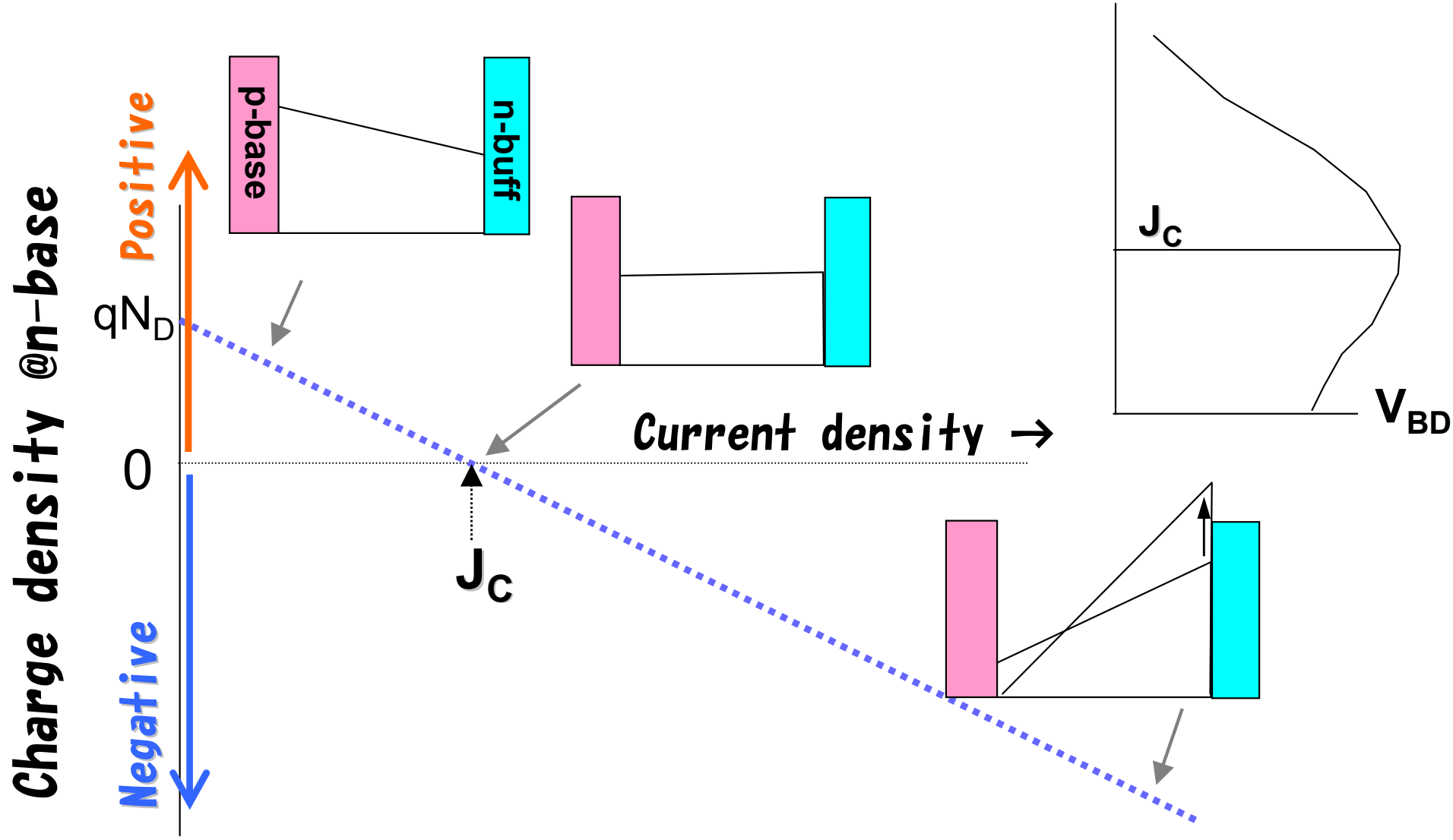
$J > J_C$: Q＜0 負電荷!



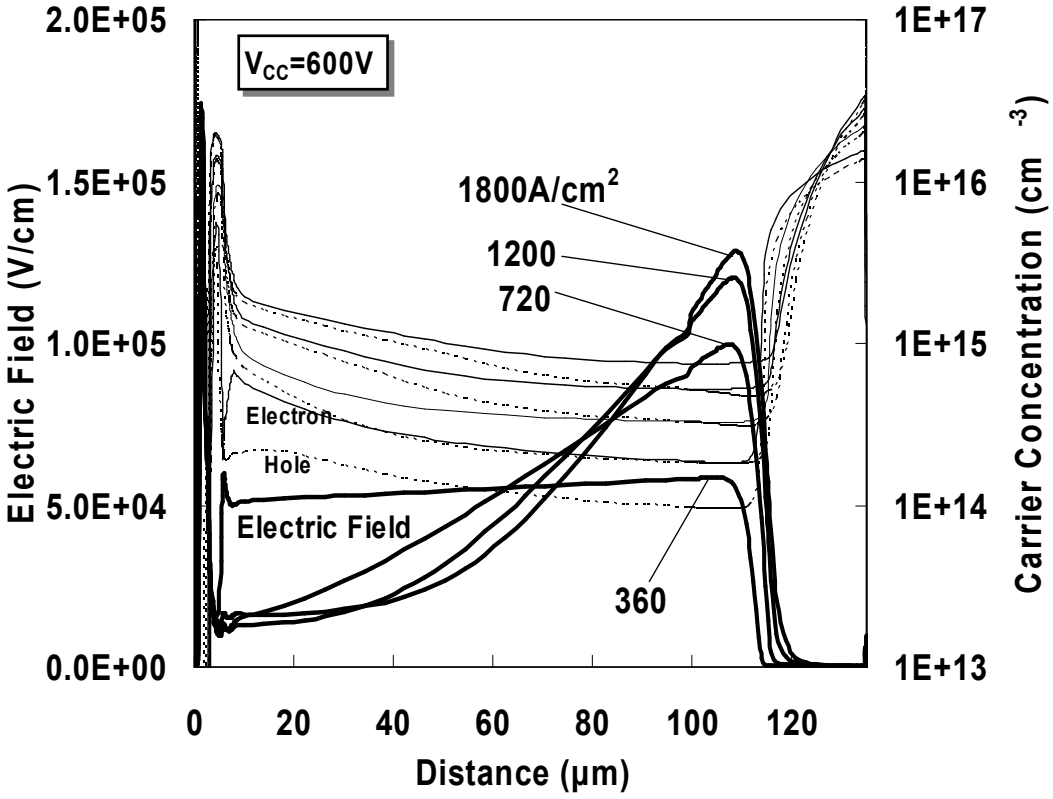


N-base net charge density becomes negative

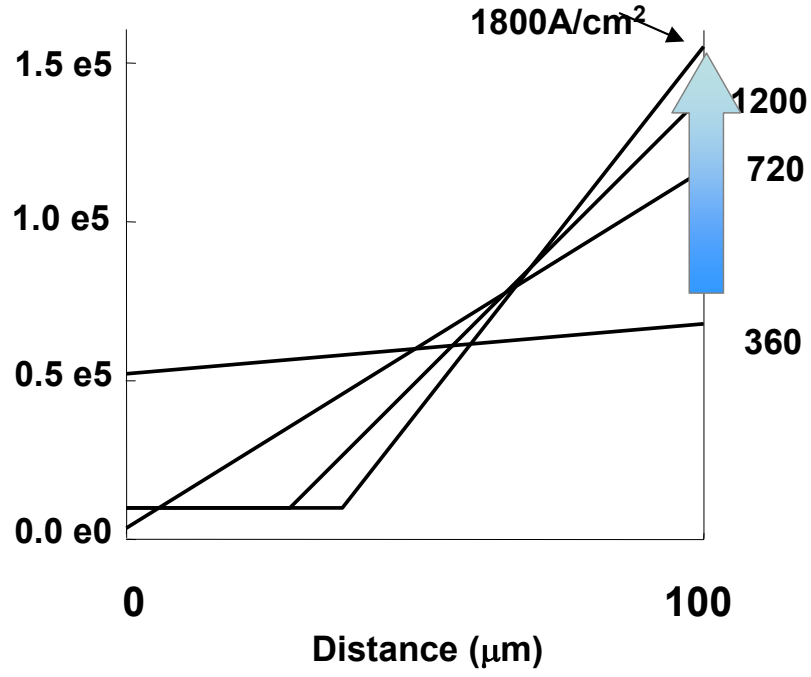
$$Q = qN_D + J^*(\gamma/v_h + (\gamma - 1)/v_e)$$



SOA can be calculated by analytical model



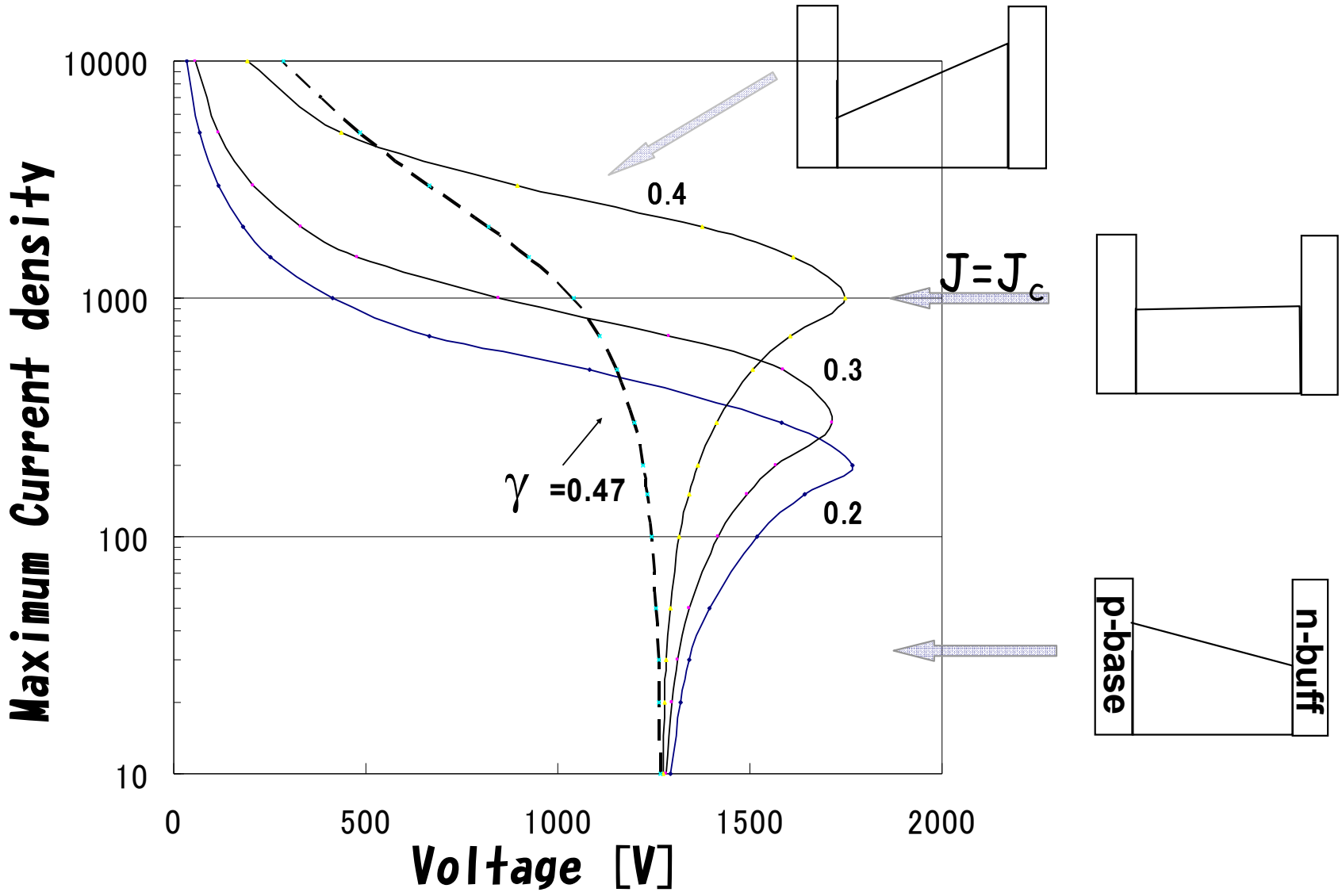
Simulated



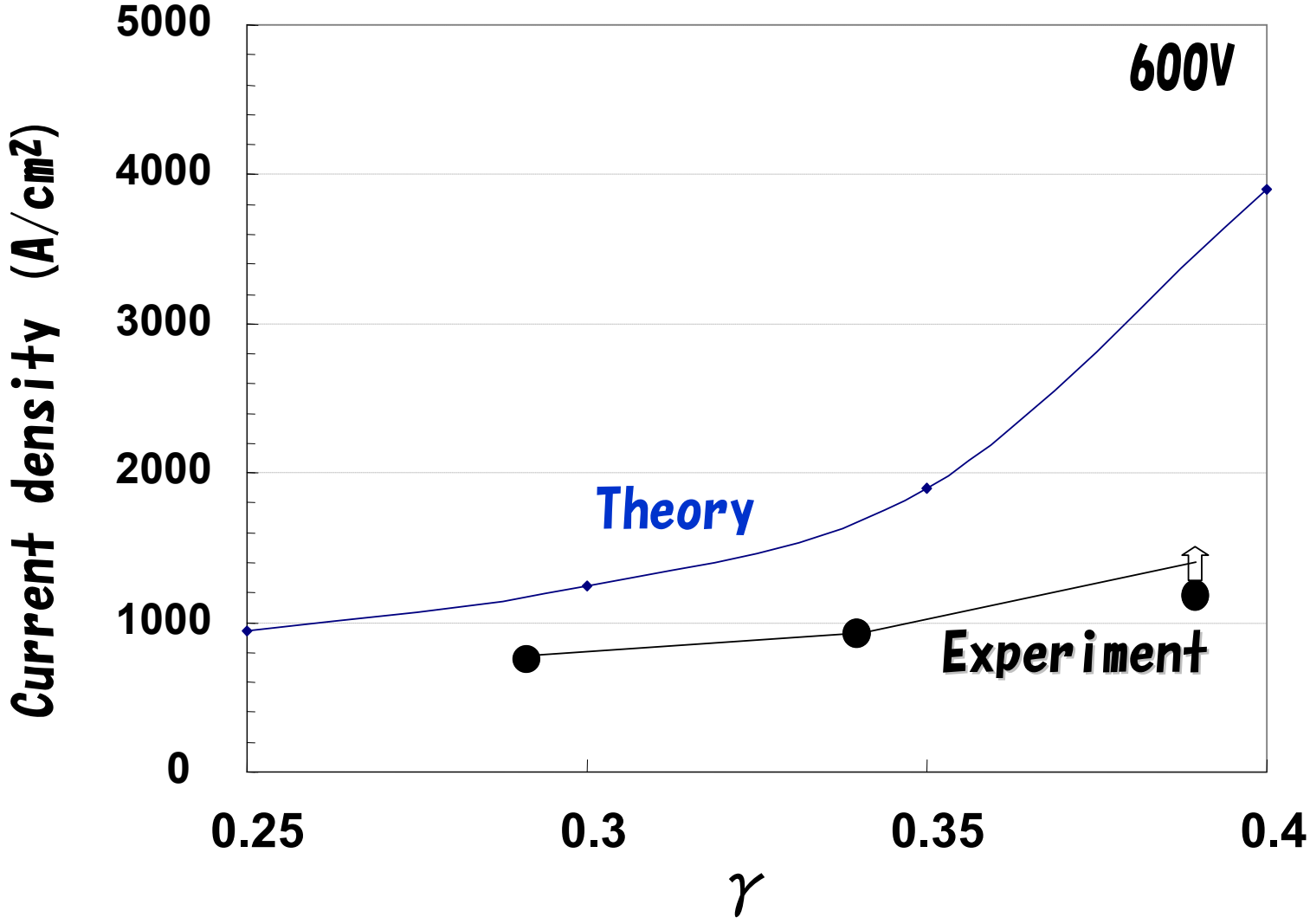
Analytical

Calculated SOA with parameter γ

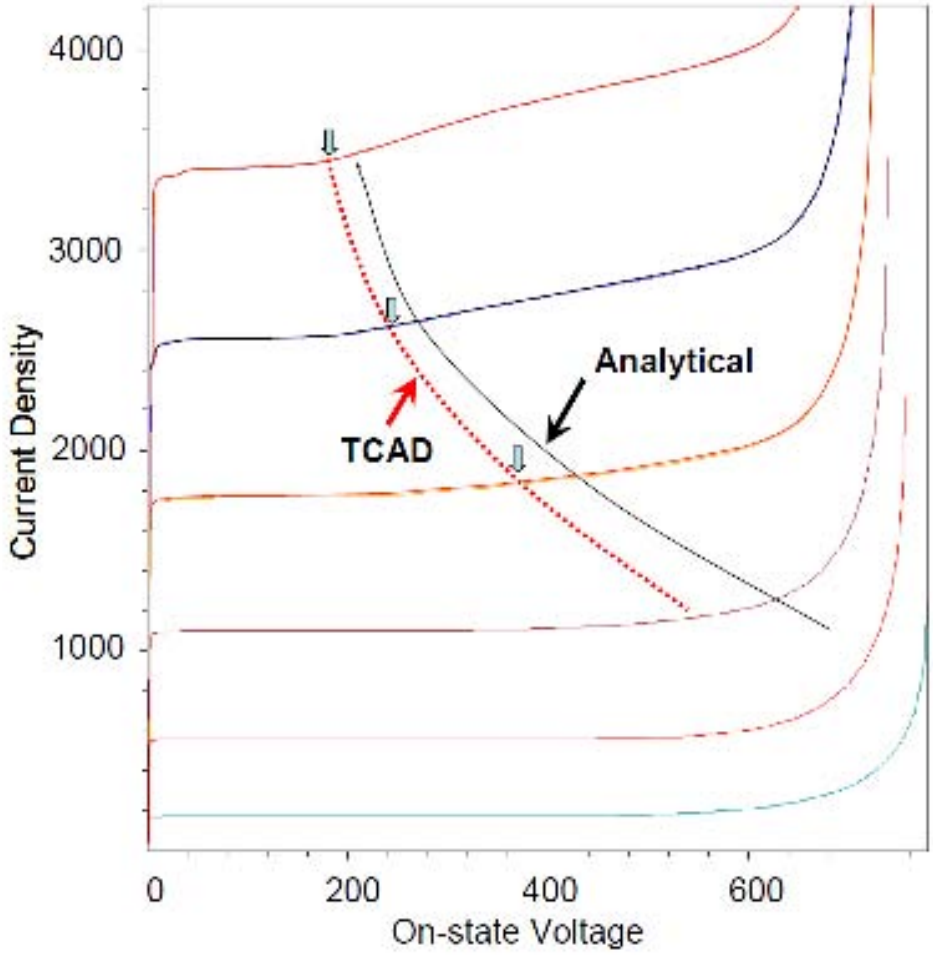
$$J_C = qN_D/((1-\gamma)/v_e - \gamma/v_h)\ ; \quad \gamma = \frac{v_h}{v_e + v_h} = 0.45$$



負荷短絡耐量とアノード側の注入効率

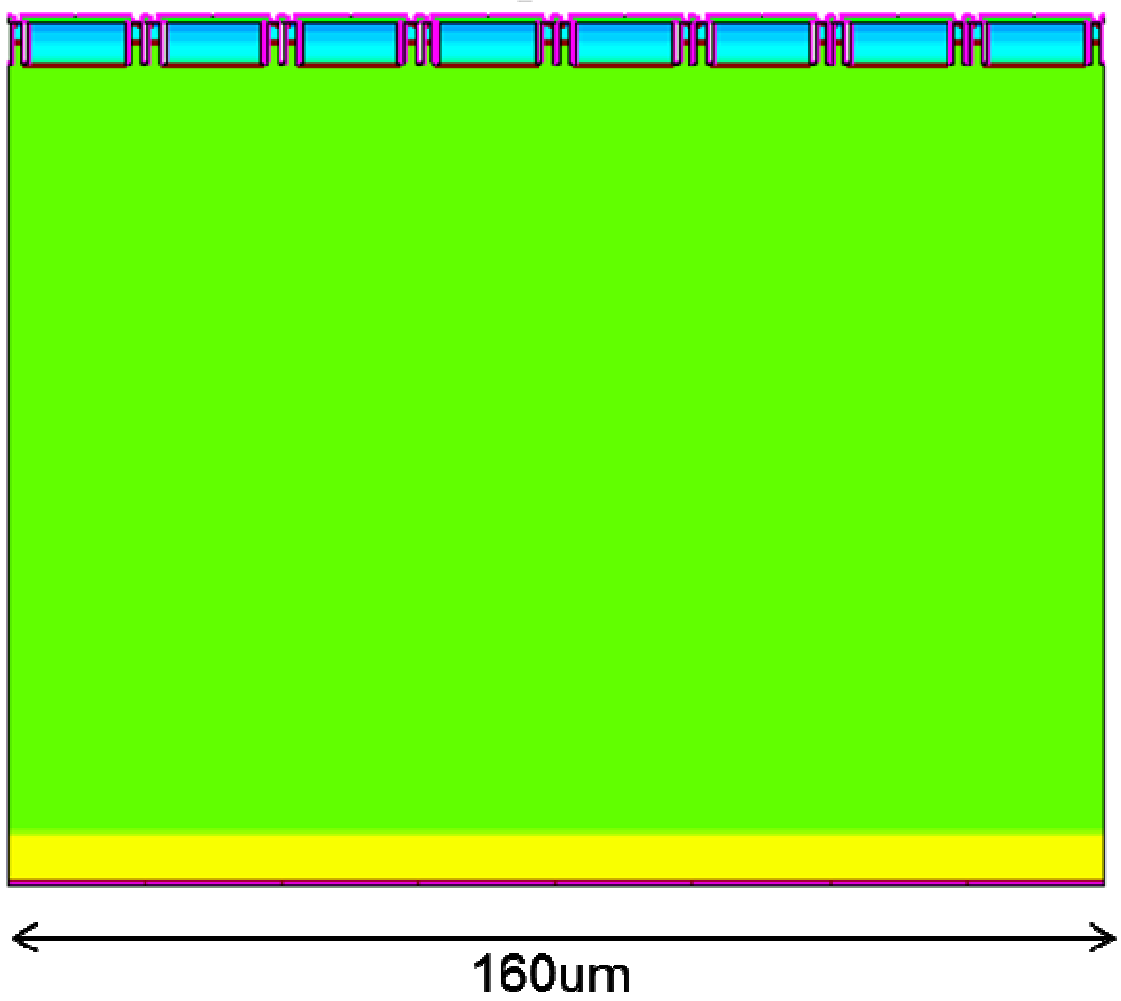


定常状態の計算では壊れない!!!



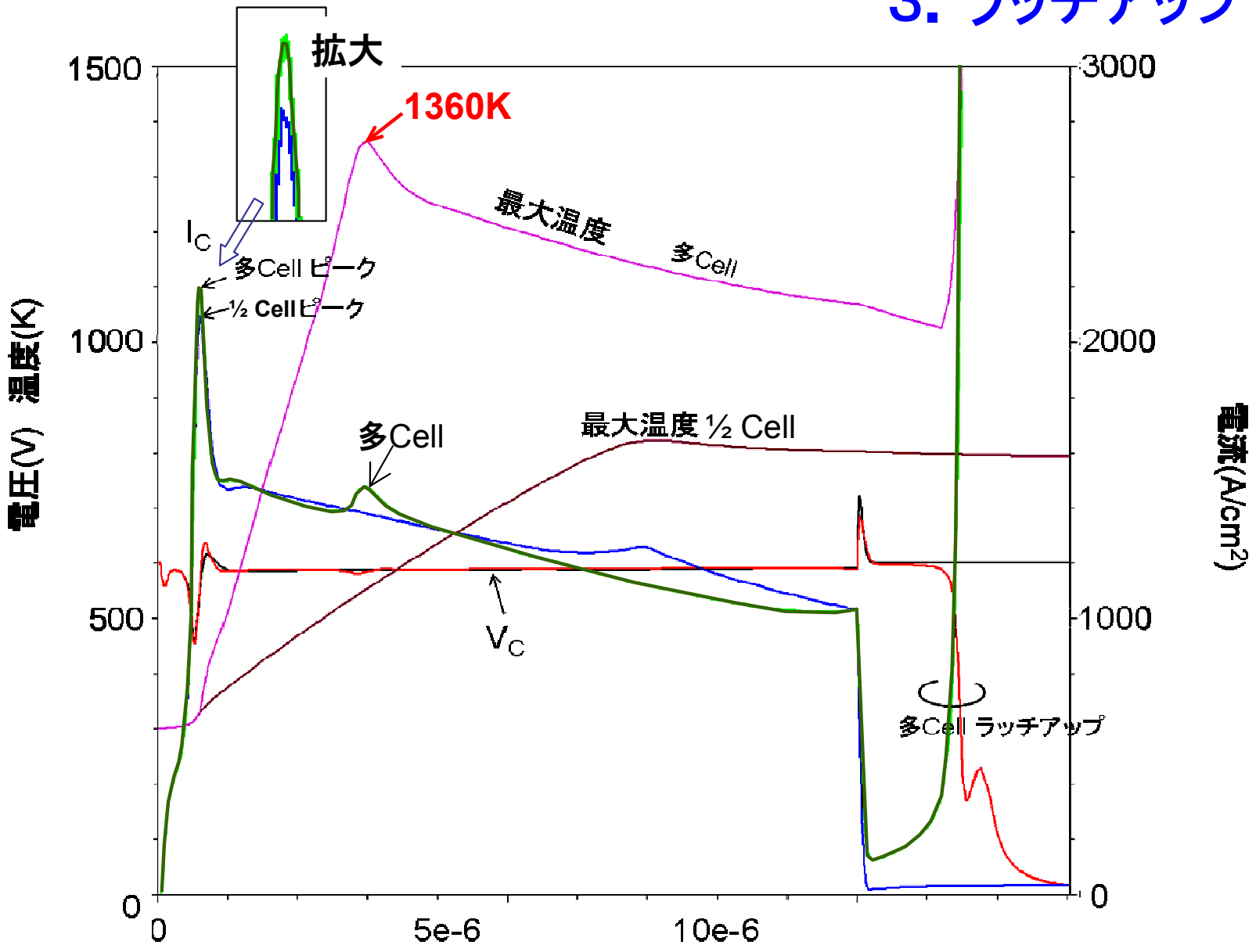
何故、MOSFET-mode IGBTは負荷短絡耐量が低いか？

仮説：アノード側高電解で電流集中が起きる？

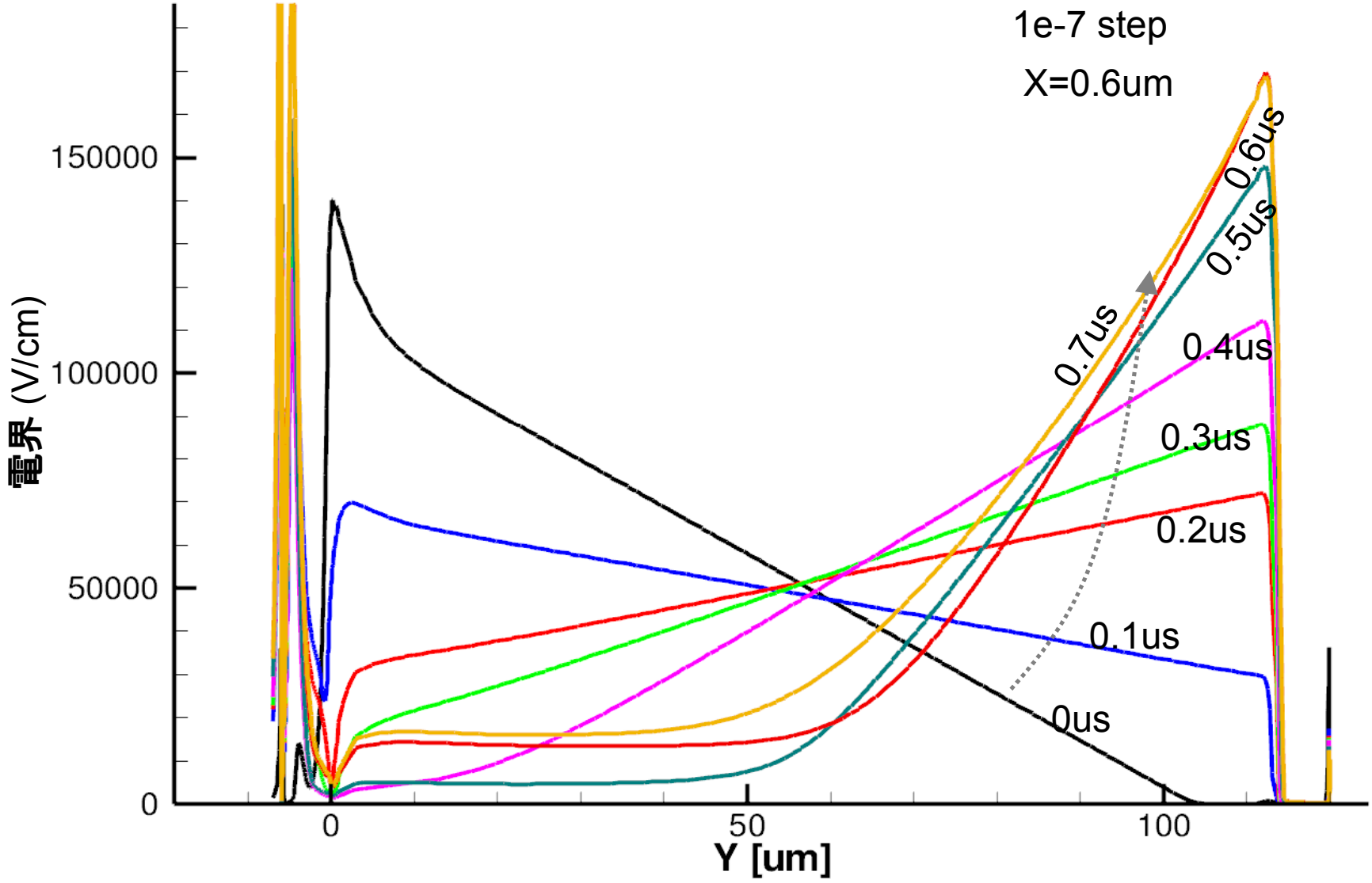


8セルと1/2Cellでの比較

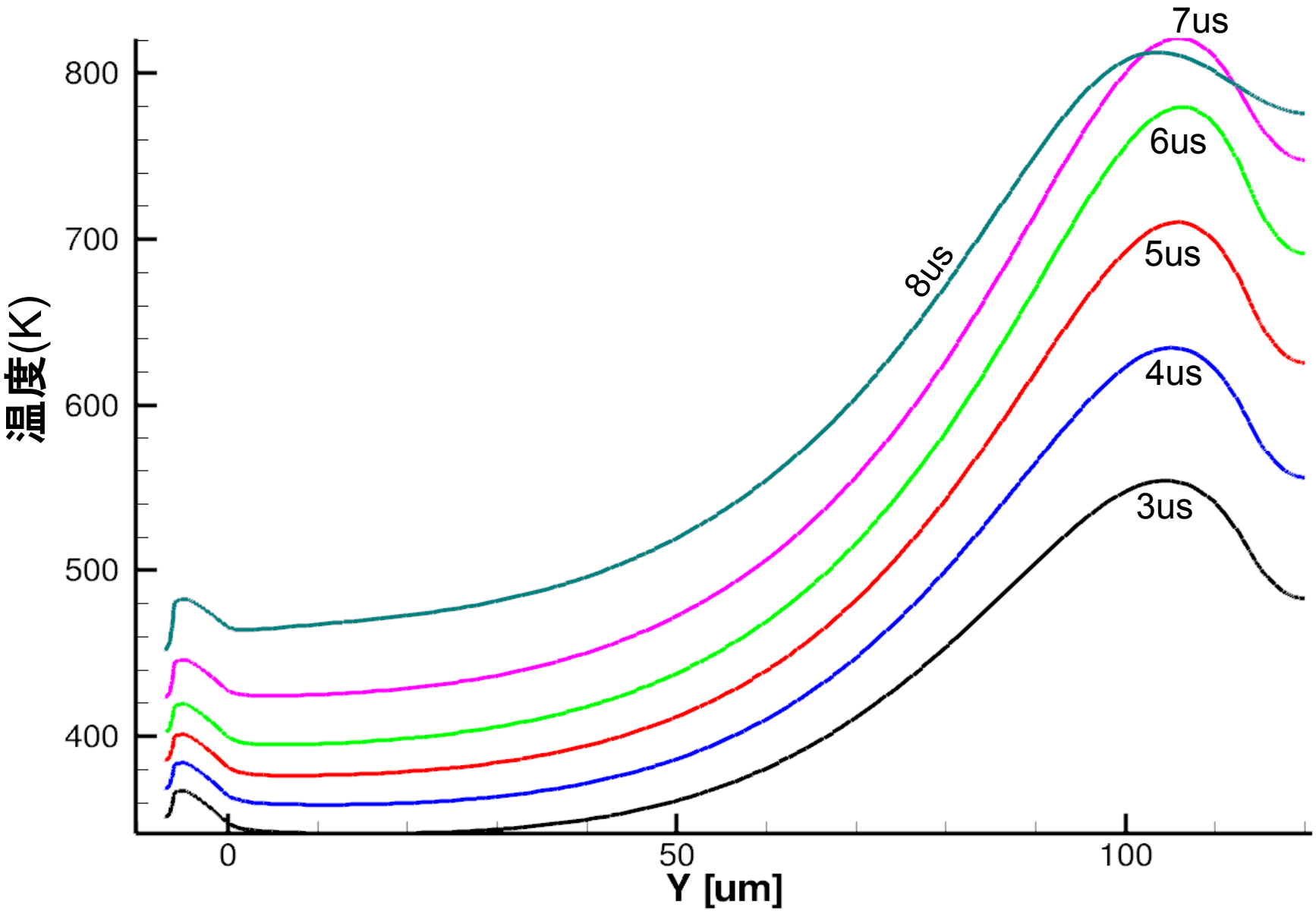
1. 最大温度の増大
2. ピーク電流の増大
3. ラッチアップ



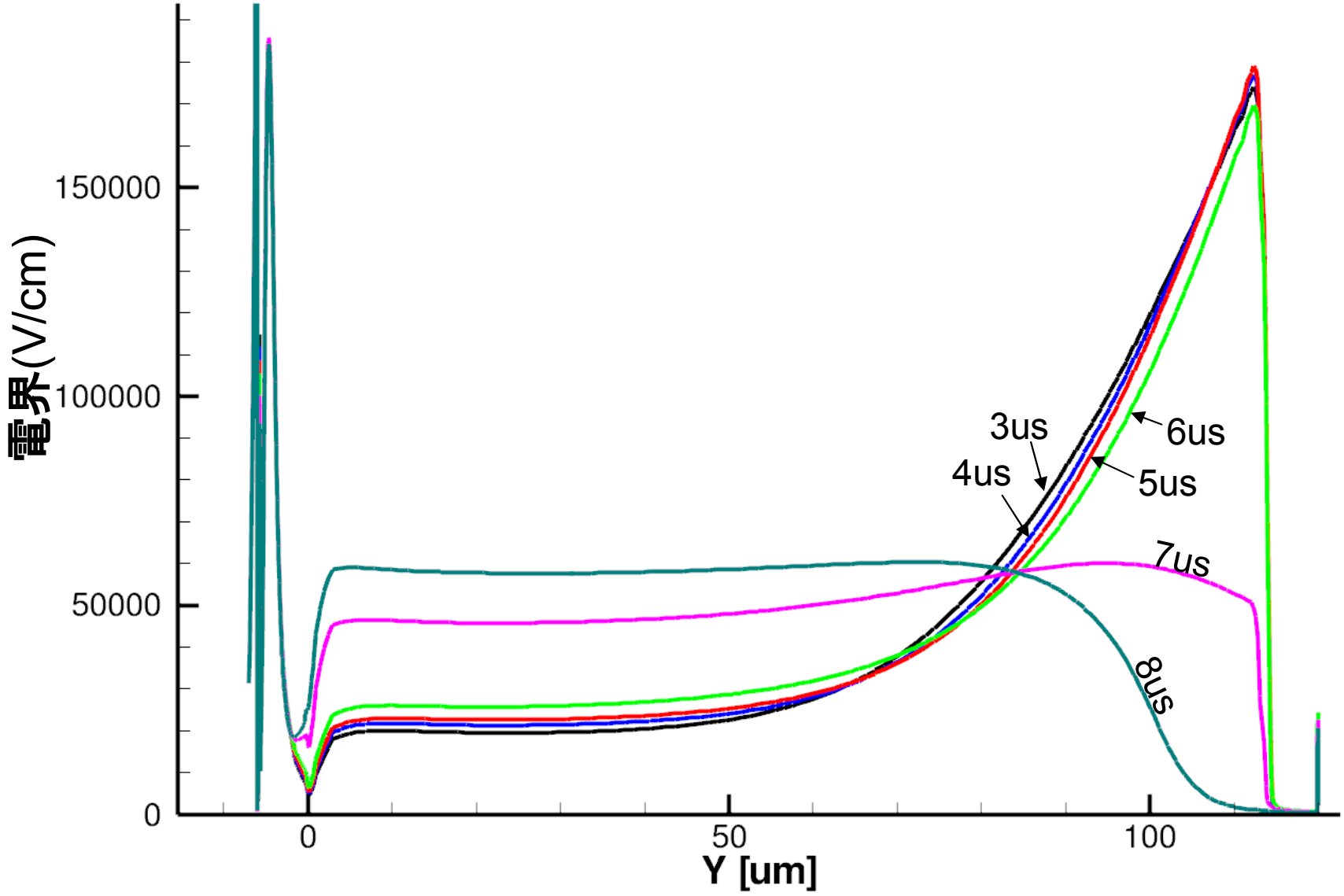
電流が流れJ_cを超えると高電界が裏面に移動!!



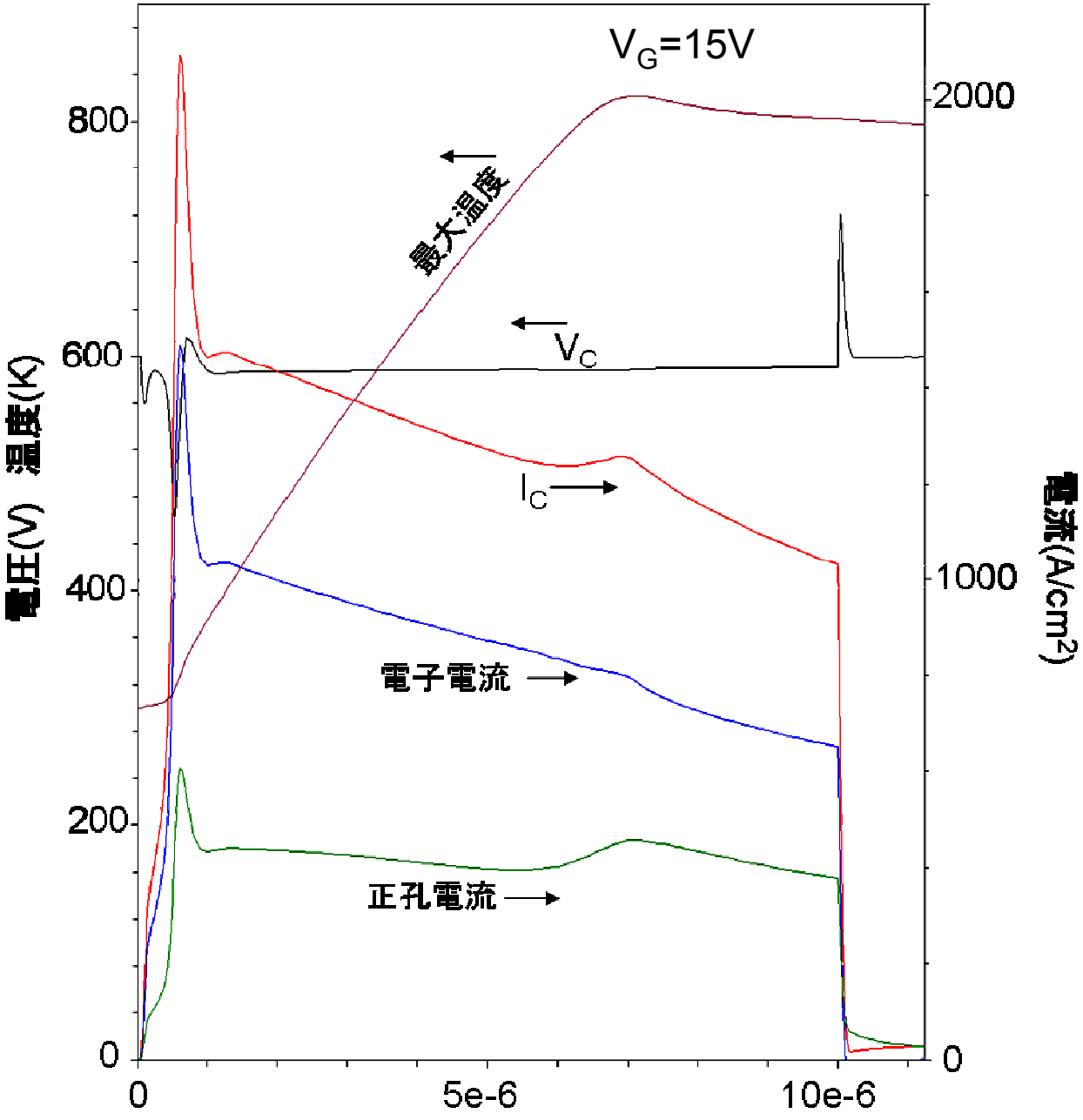
アノード側の高電界でアノード側が高温になる!!



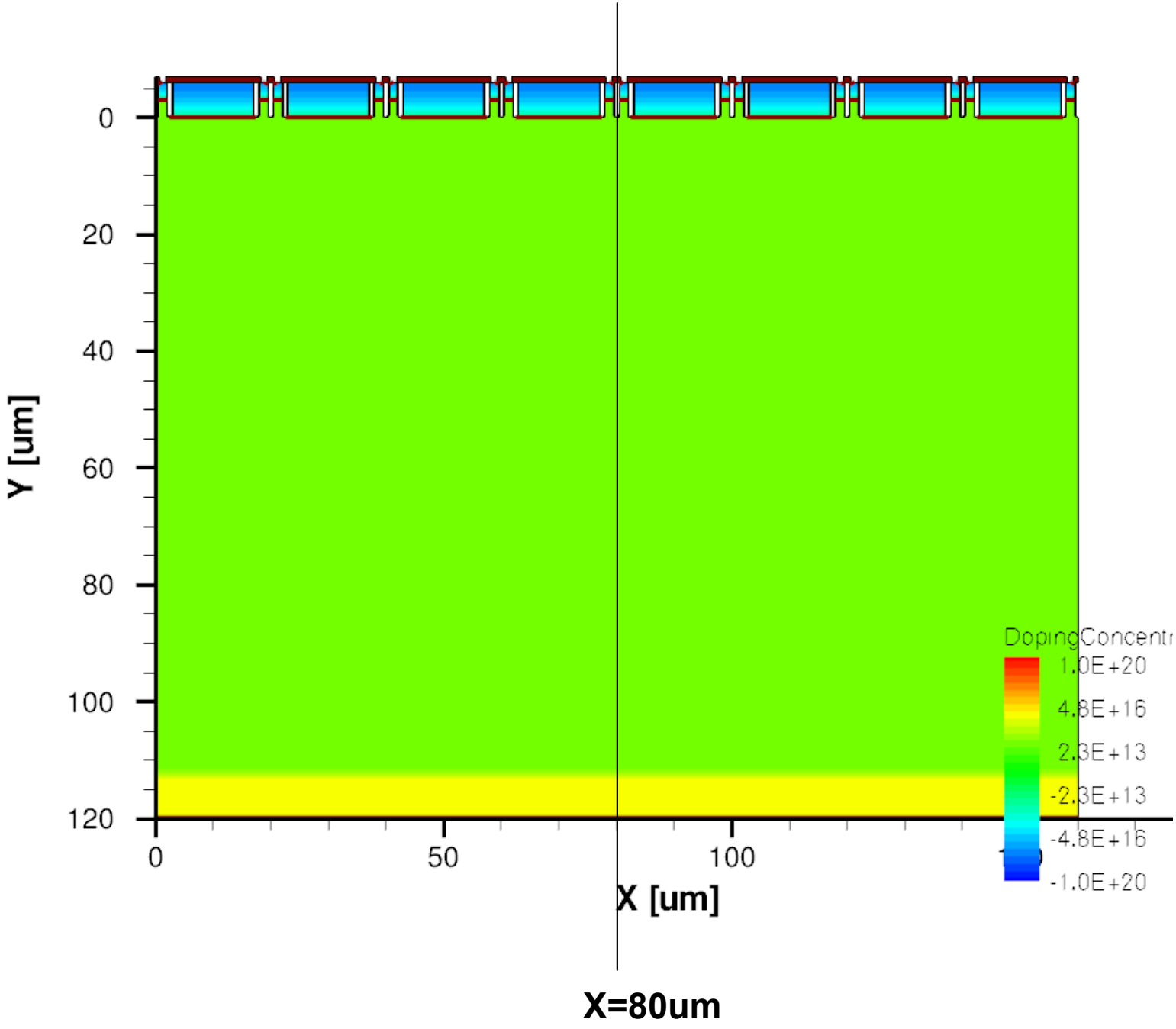
新しい現象　7us以降でアノード側の高電界が解消!!



アノード側の温度上昇でPエミッタのγが上昇？



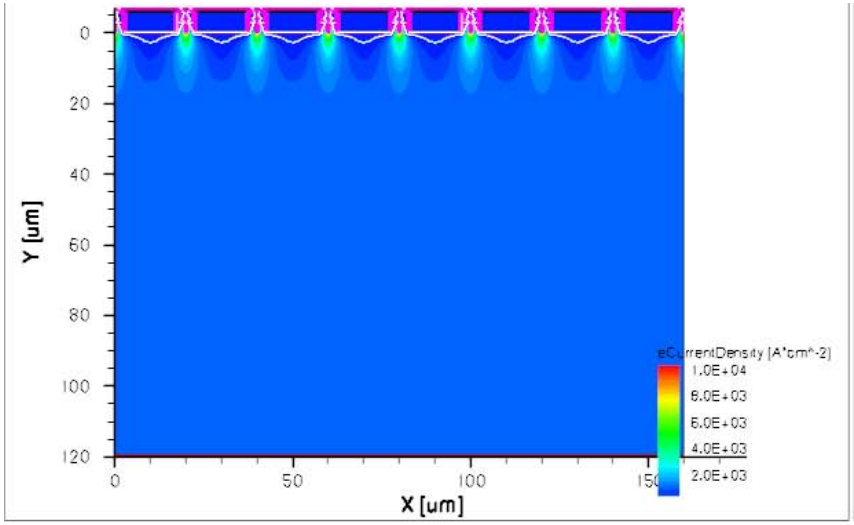
多セル(8Cell)での計算



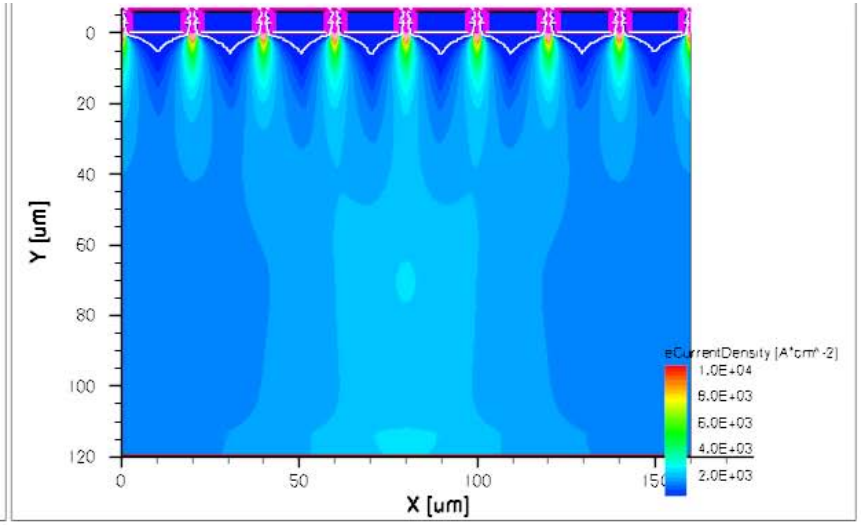
X=80um

チャネル電子電流は均一に流れるが
電流のフィラメントが発生

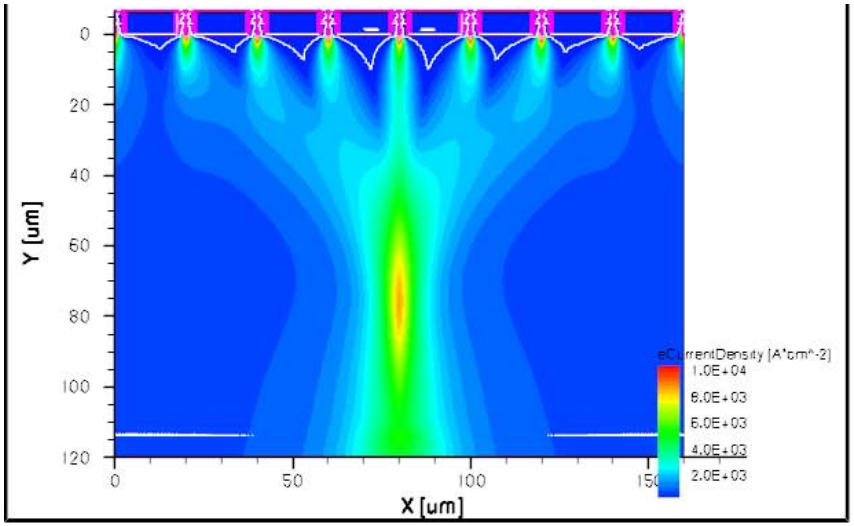
t=0.5us



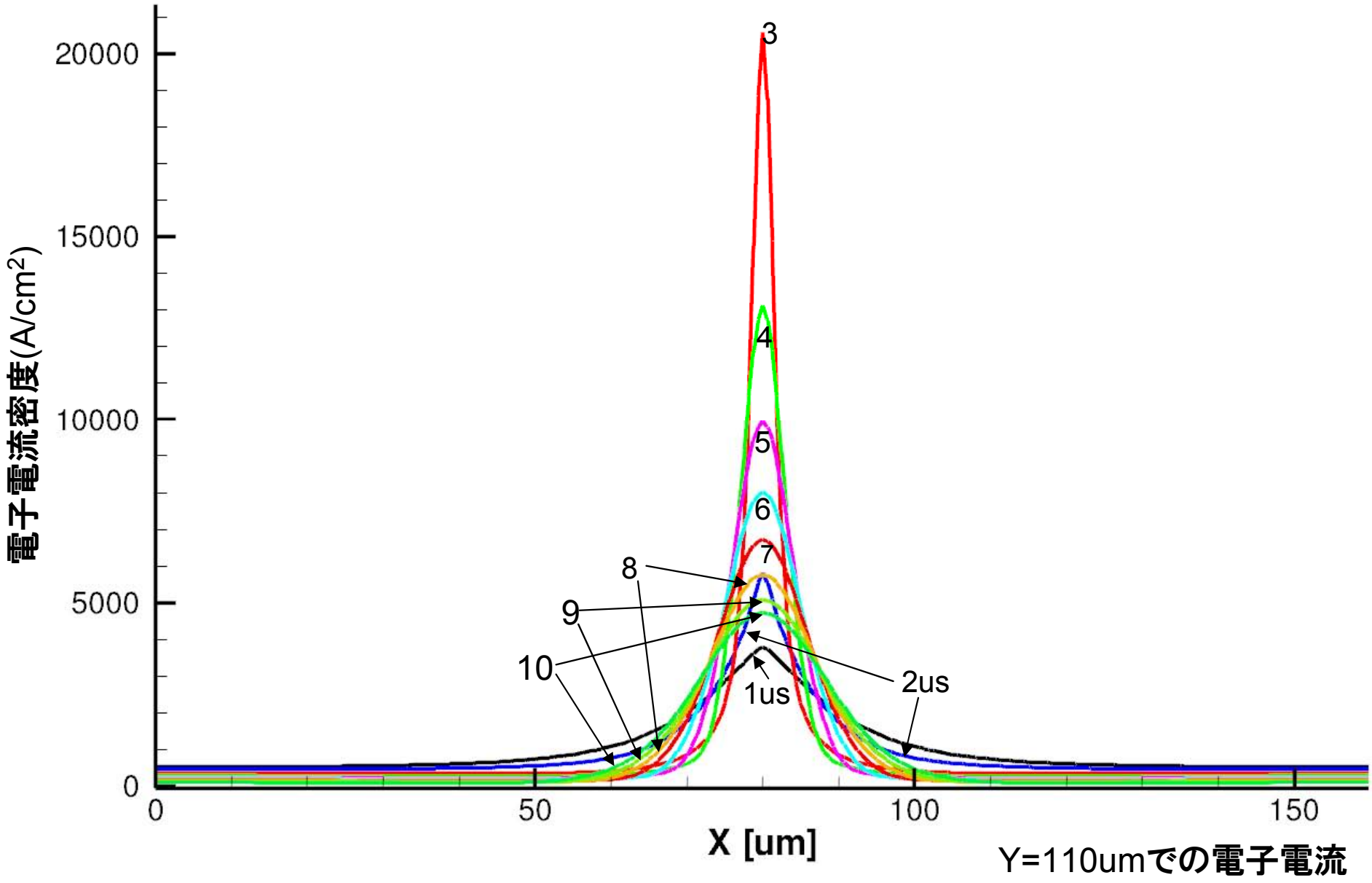
t=0.6us



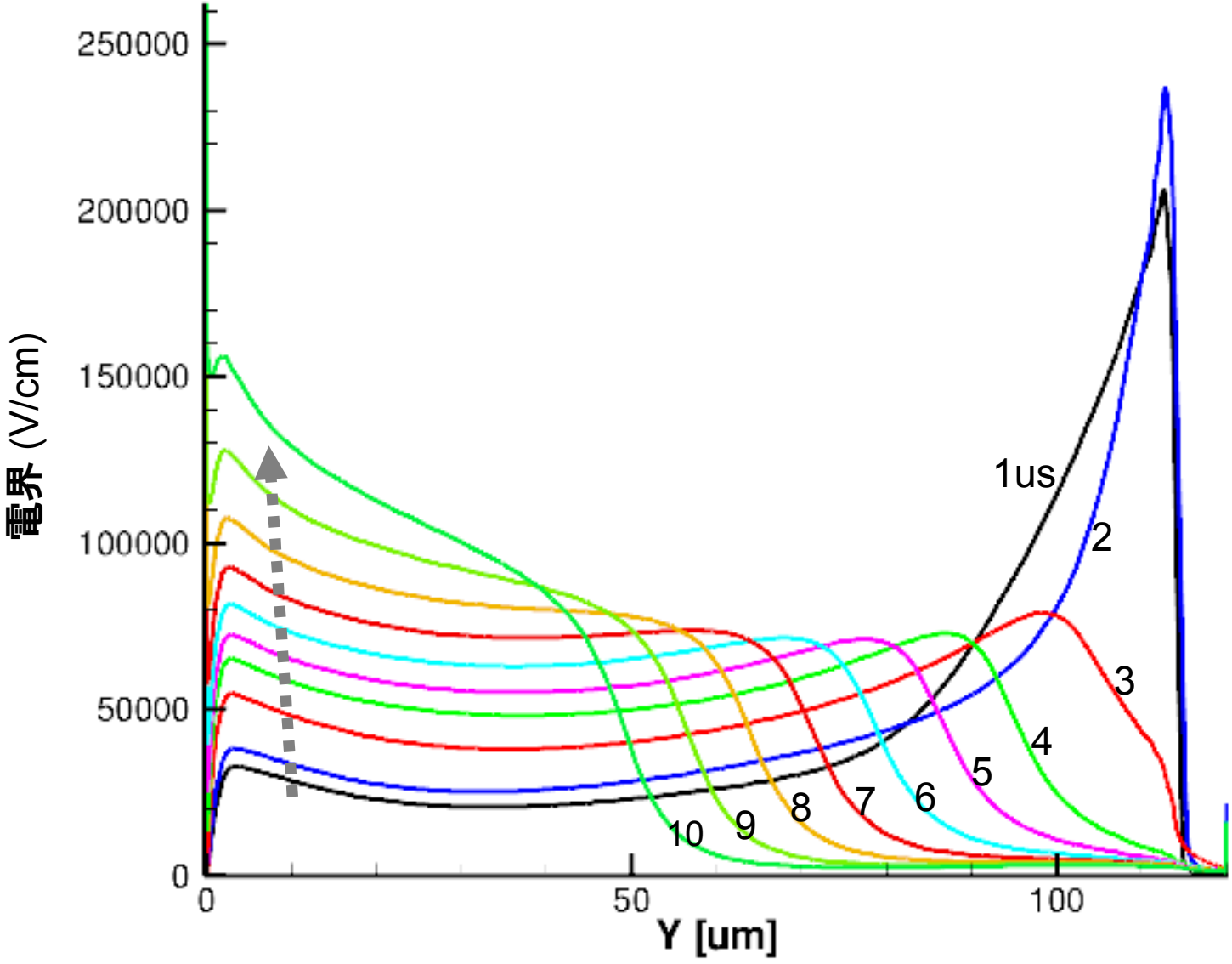
t=0.7us



Y=110umでの電子電流密度

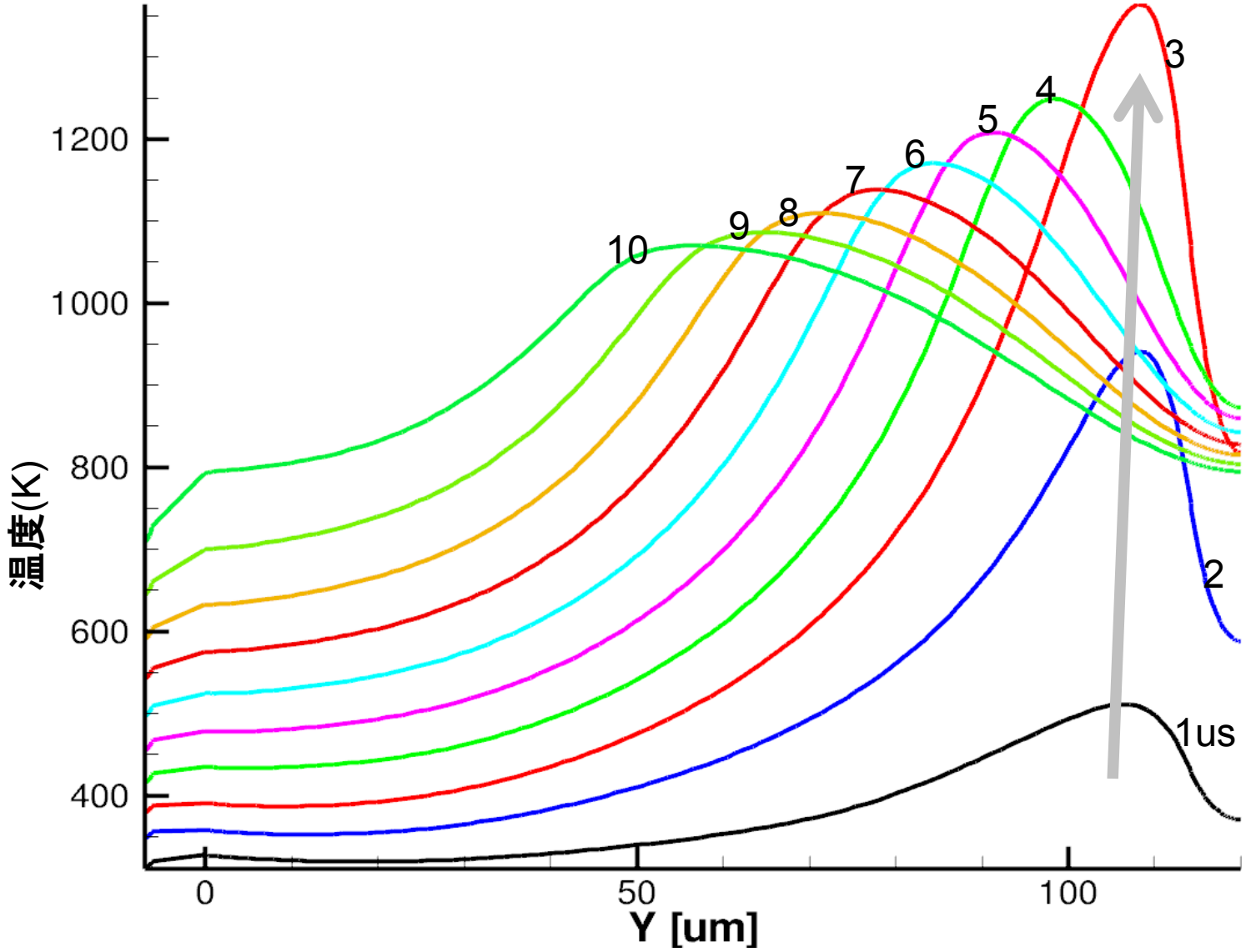


3usで高温になり、アノード側の高電界が解消



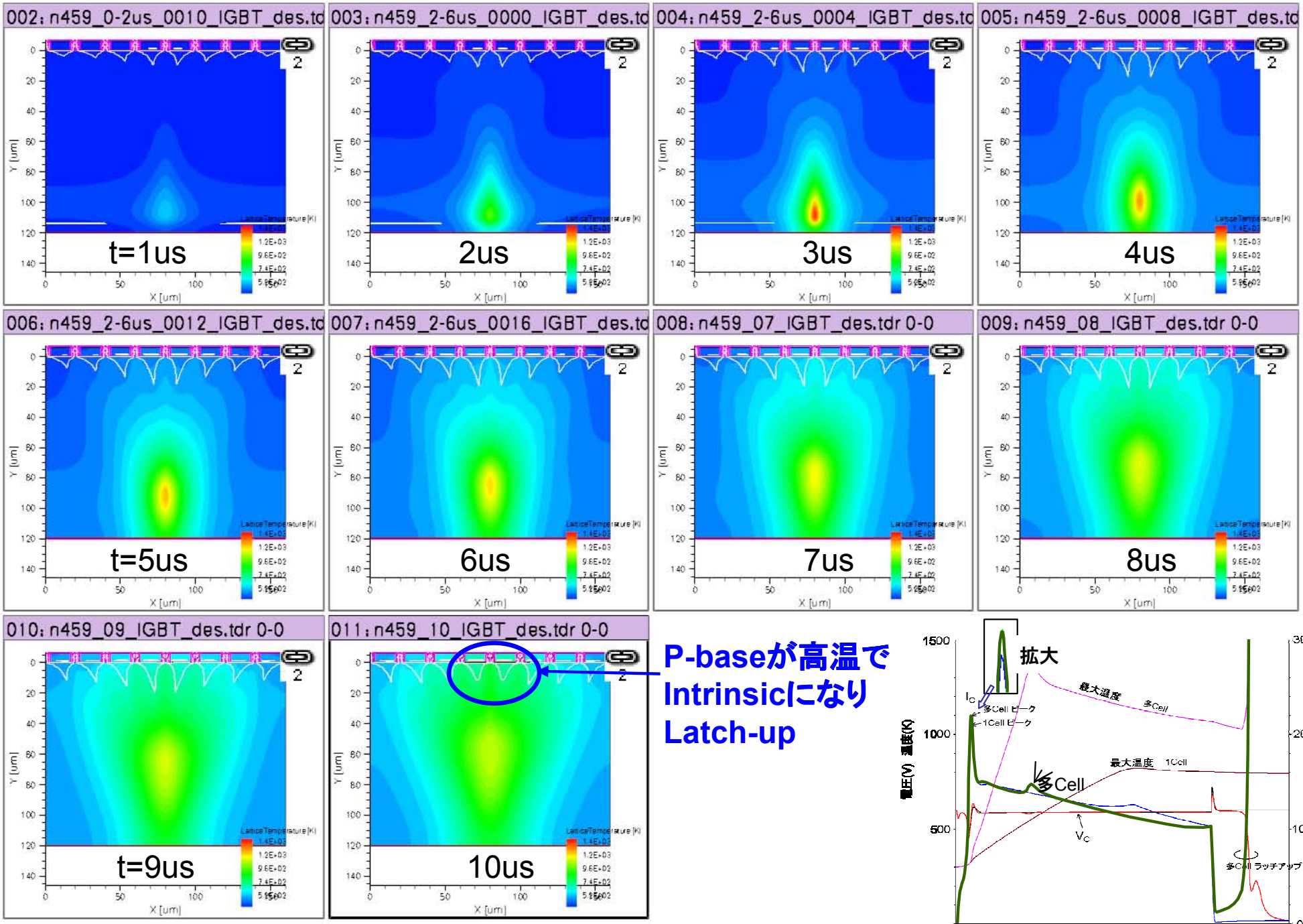
電界1usごと

3usまでは裏面温度が上昇、その後、高温領域はNベース内部に移動



Temp　1usごと

温度上昇の推移



P-baseが高温で
Intrinsicになり
Latch-up

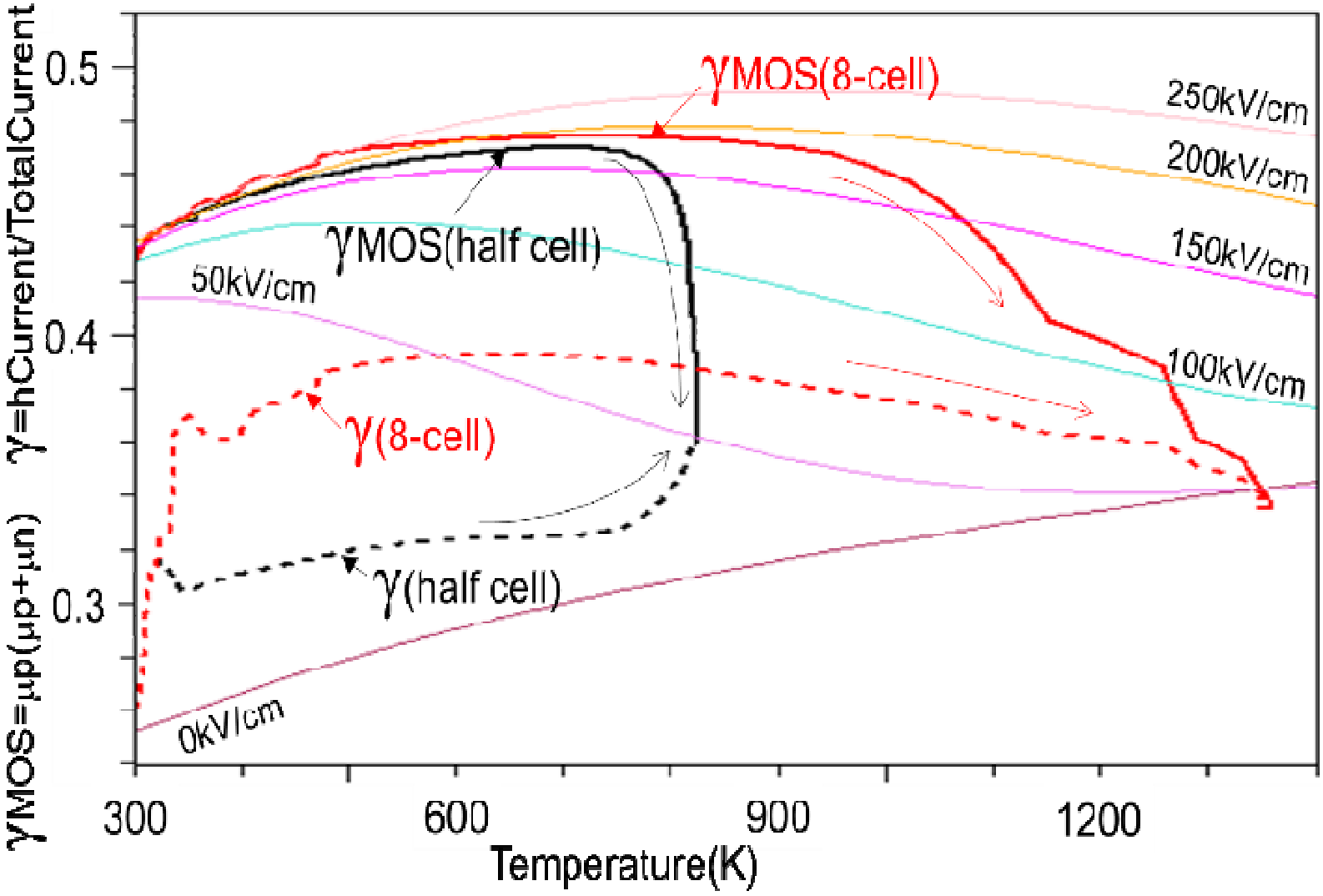
γ と γ_{MOS} の関係が電荷の正負を決める!!

$$Q = qN_D + p - n = qN_D + \left(\frac{\gamma}{v_h} + \frac{\gamma - 1}{v_e}\right)J$$

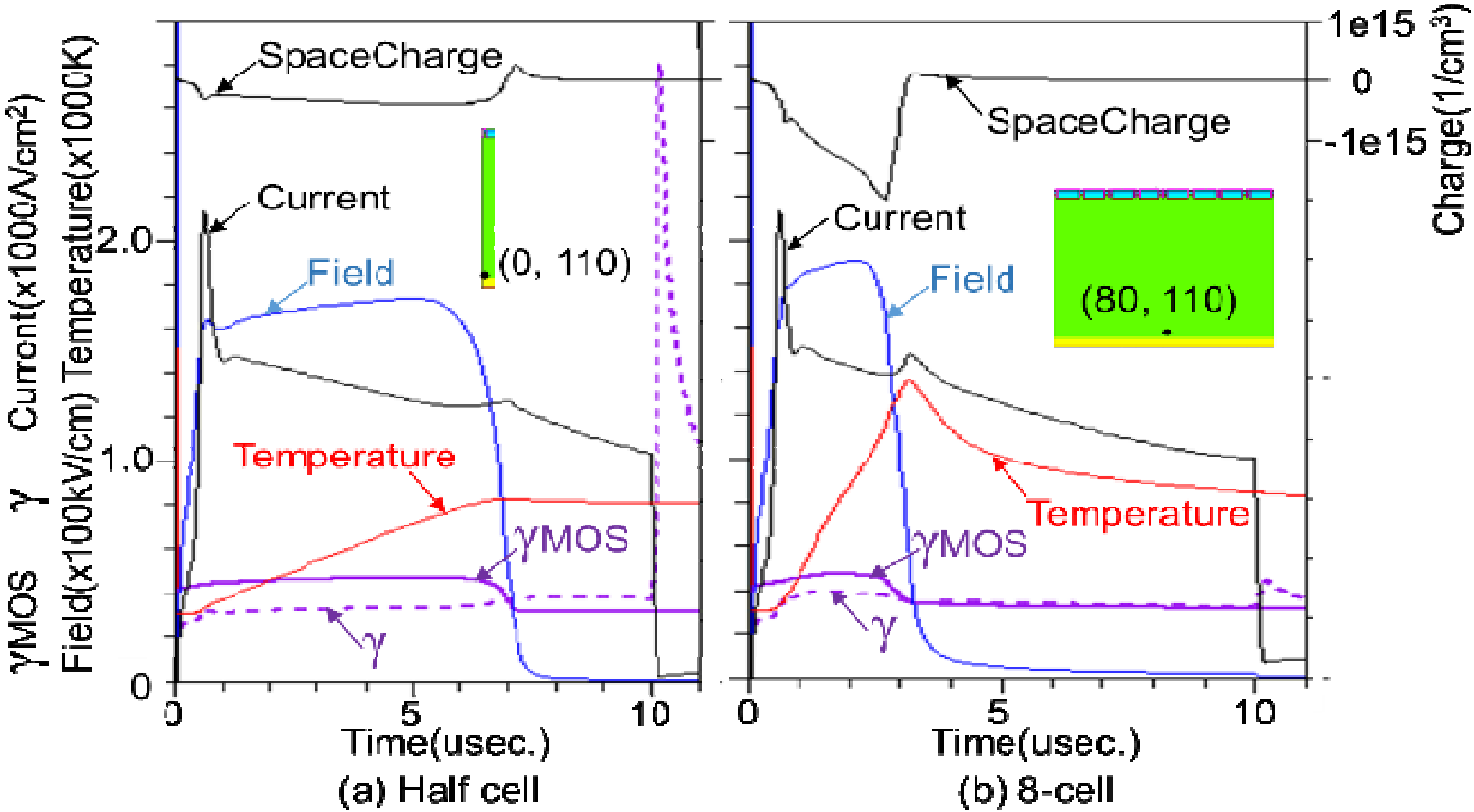
$$= qN_D + \frac{v_h + v_e}{v_h v_e}(\gamma - \gamma_{MOS})J$$

$$\gamma_{MOS} = \frac{\mu_p}{\mu_p + \mu_n} = \frac{v_h}{v_h + v_e}$$

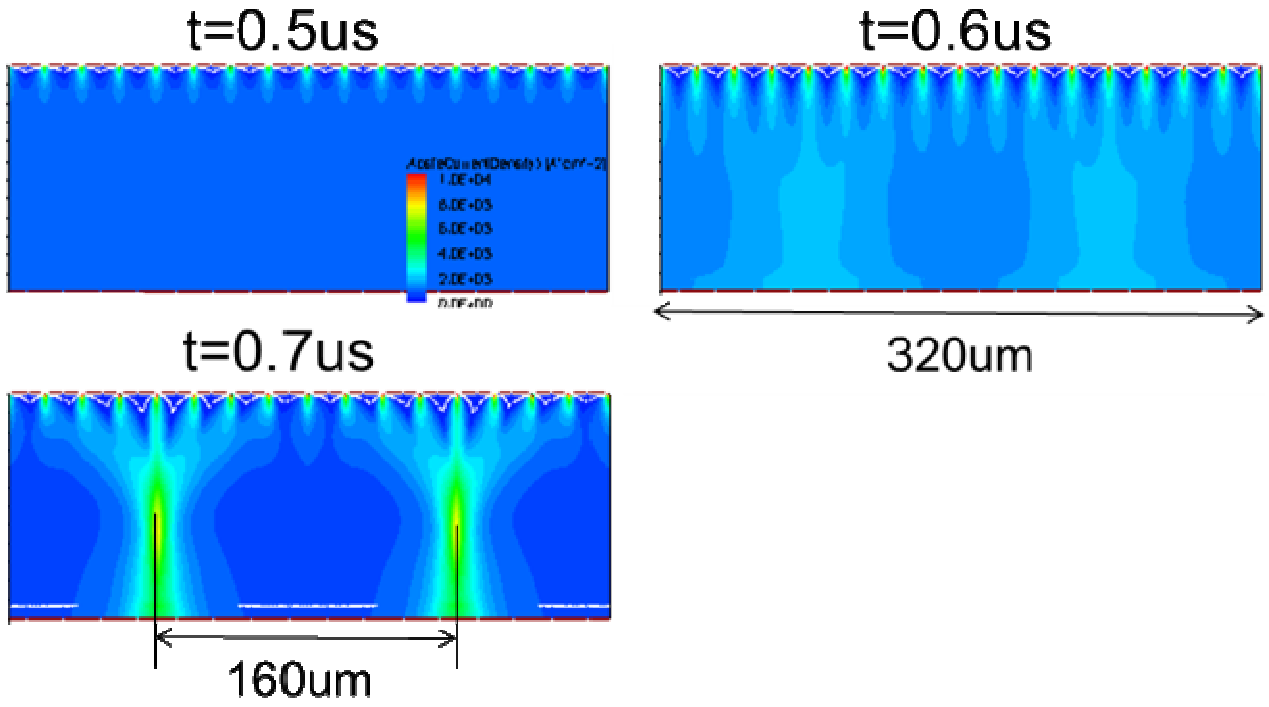
高電界解消は γ_{MOS} の低下で引き起こされる!!



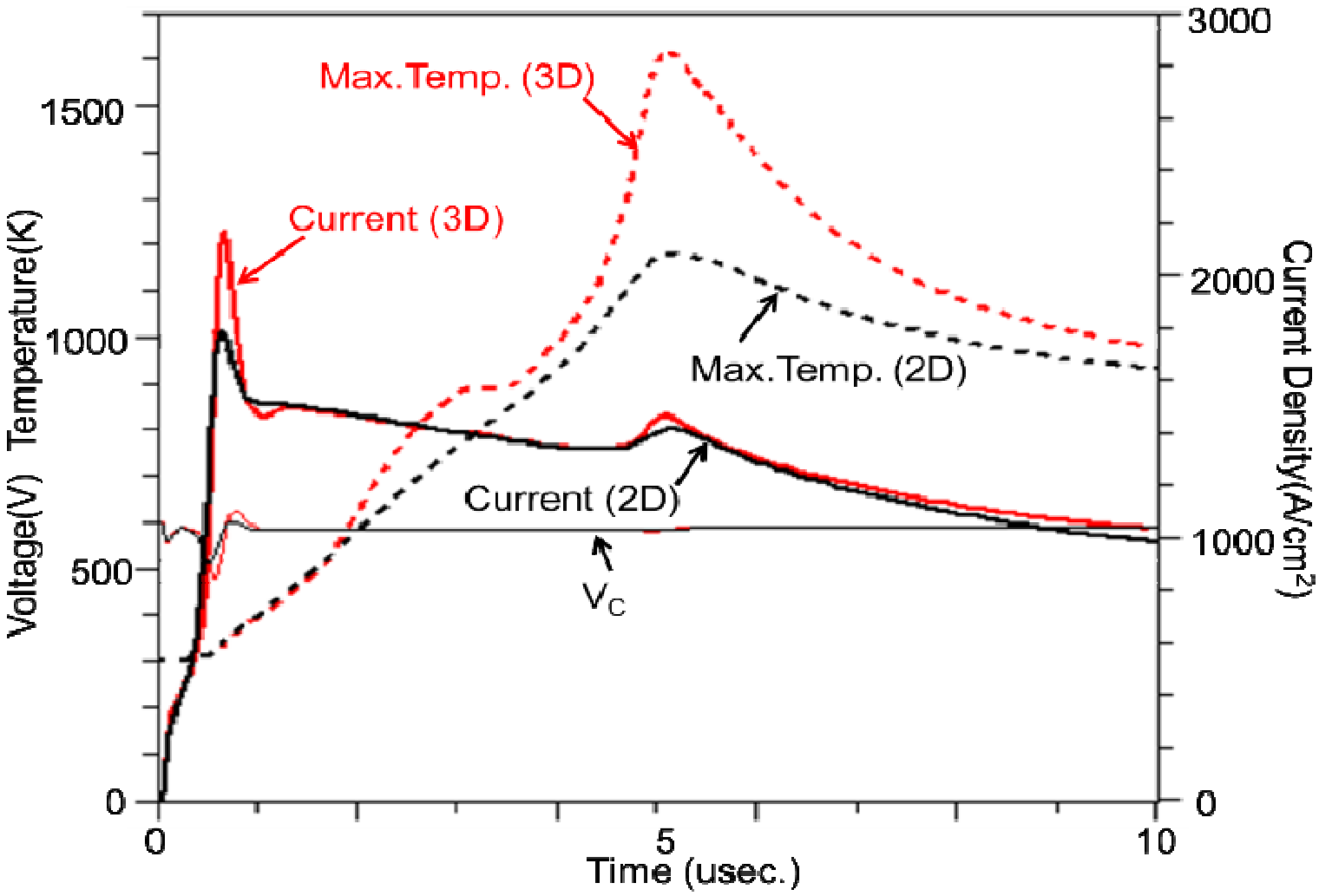
アノード側 高電界解消


γMOS γ Current(x1000A/cm²)
Field(x100kV/cm) Temperature(x100K)
SpaceCharge
Current
Field
(0, 110)
Temperature
γMOS
γ
2.0
1.0
0
0
5
10
Time(usec.)
(a) Half cell
1e15
0
-1e15
Charge(1/cm³)
SpaceCharge
Current
Field
(80, 110)
Temperature
γMOS
γ
0
5
10
Time(usec.)
(b) 8-cell

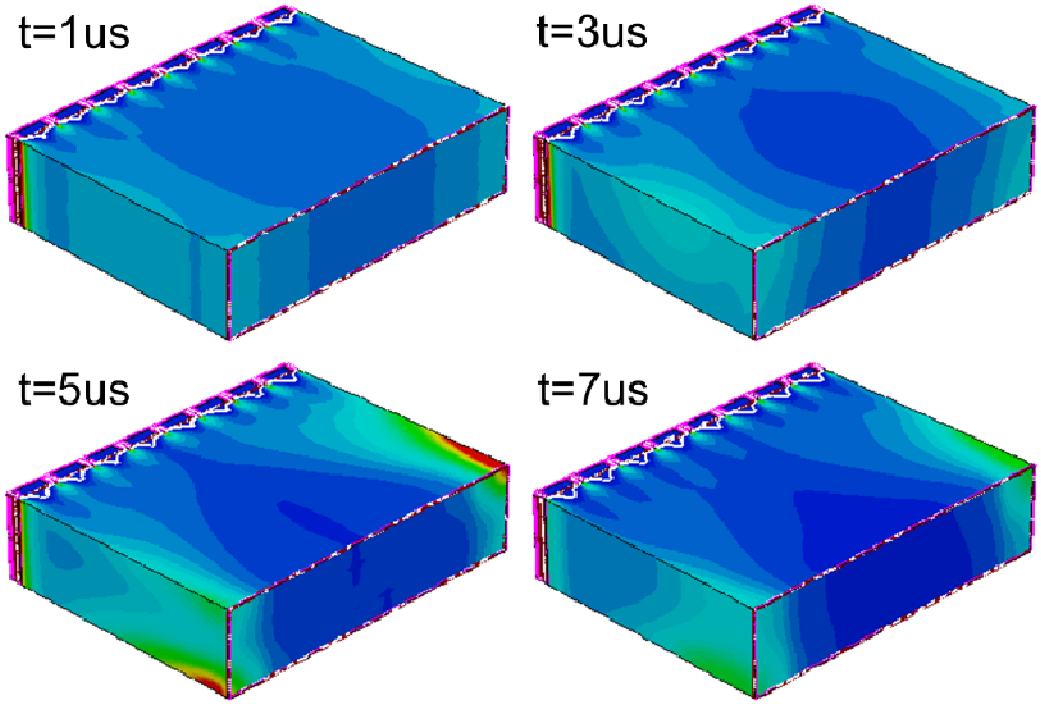
2次元では160umピッチで集中が起きる！

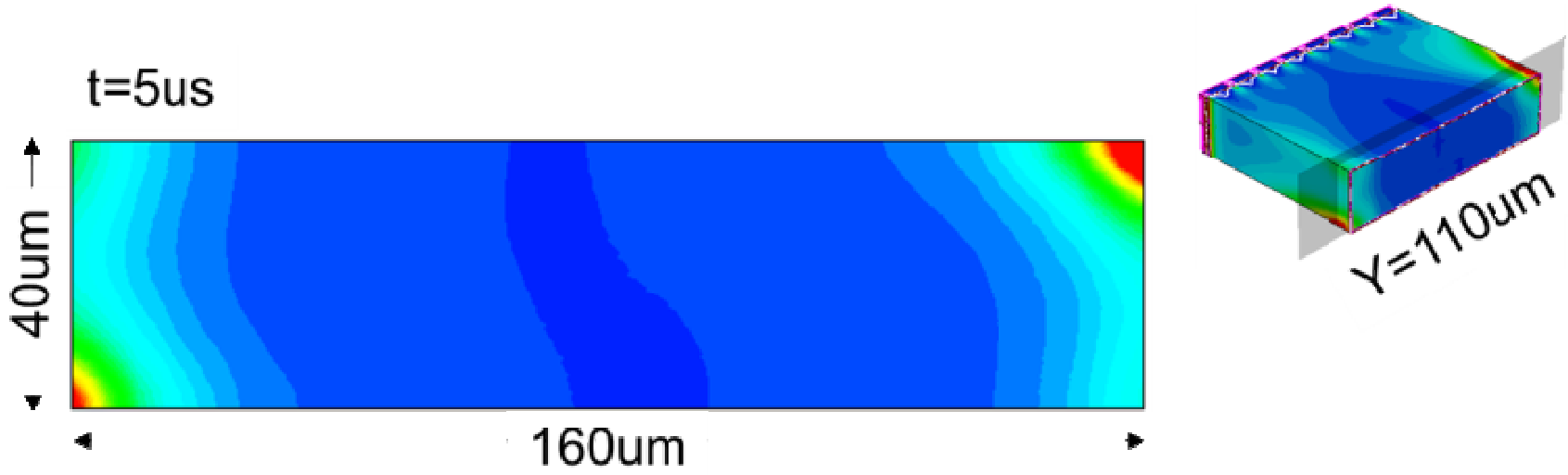


3次元では更に大きな温度上昇！



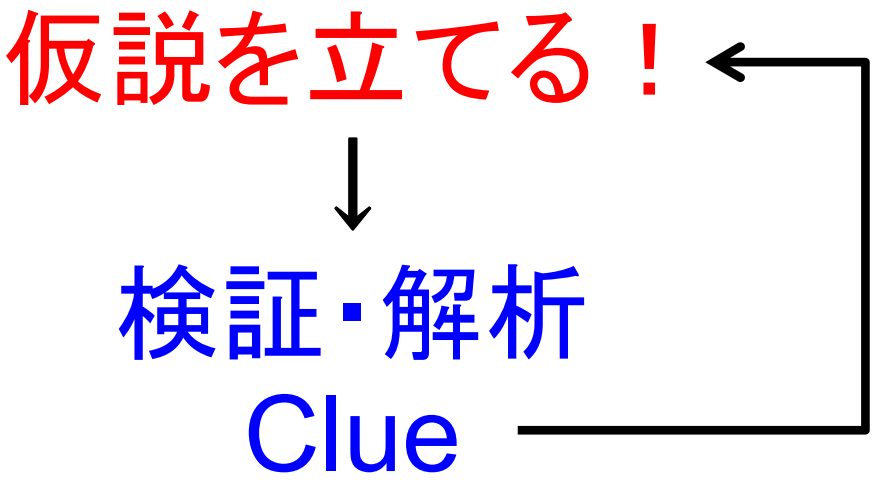
電流集中が点で起きれば大きな温度上昇！




t=5us
40um
160um
Y=110um

TCAD活用での問題点とポイント

現状のTCAD Toolでの解析は困難



END