

15V 駆動の微細 IGBT における電流飽和メカニズムの研究

伊倉 巧裕* 小野澤 勇一 (富士電機)
中川 明夫 (中川コンサルティング事務所)

Study on Current Saturation Mechanism of Miniaturized IGBTs Driven by 15V Gate Voltage

Yoshihiro Ikura*, Yuichi Onozawa, (Fuji Electric Co, Ltd.)
Akio Nakagawa, (Nakagawa Consulting Office, LLC.)

In this work, we report detailed current saturation mechanism of the miniaturized IGBTs and shows solutions to keep the saturation current sufficiently low, even if 15V gate voltage is used. There are two saturation mechanisms which result in two inflection points of the current saturation characteristics of the miniaturized IGBTs. Based on our findings, there are two ways to suppress the saturation current increase. One is decreasing the lateral P-base resistance under the N+ Emitter. The other is decreasing the hole current density.

キーワード: IGBT, 微細化, スケーリング, 飽和電流, 短絡耐量
(IGBT, miniaturization, scaling, saturation current, short circuit ruggedness)

1. 背景

IGBT の特性を改善するため表面構造のセルピッチの微細化、あるいは構成要素を均等に縮小するスケーリングが進められている (文献1、2)。トレンチで挟まれたメサ部の幅を狭くすることで、IE 効果が高まりオン電圧を下げるができる。しかしながら、ゲート電圧 15V での駆動のまま微細化すると、飽和電流が増加し短絡耐量が低下するという問題がある。文献2で提案されているスケーリングでは、ゲート電圧 5V で駆動することで飽和電流を低下できることが報告されている。しかし、ゲート駆動電圧を下げることはノイズに対する耐性という観点からは得策ではない。

本報告では、微細 IGBT の飽和電流特性において電流が飽和するメカニズムの詳細を明らかにし、ゲート電圧 15V での駆動でも飽和電流の増加を抑制するための方法を報告する。

2. デバイス構造と飽和電流特性

検討したデバイス構造のゲート電極はトレンチ形状とし、表面の N+エミッタ層と P+層がトレンチに対して直交する構造とした。また、微細化するときにはトレンチ幅を調整してトレンチピッチを固定した。

図1に Synopsys 社の TCAD シミュレーションを用いて計算した飽和電流特性を示す。ゲート駆動電圧 15V の標準的な構造 (図中の $k=1$) の特性はコレクタ電圧が 8V 程度で飽和し比較的低い電流で一定となる。これに対し、文献2

にあるスケーリング則にのっとり、ゲート酸化膜の厚さを含めた表面構造の構成要素の寸法を 1/3 にし、ゲート駆動電圧を 1/3 にした場合 (図中の $k=3$) も低い飽和電流となる。ところが、ゲート酸化膜とゲート駆動電圧を元のまま変えず、他の構成要素の寸法を 1/3 にした場合 (図中の $k'=3$)、飽和電流が大きく増加する。

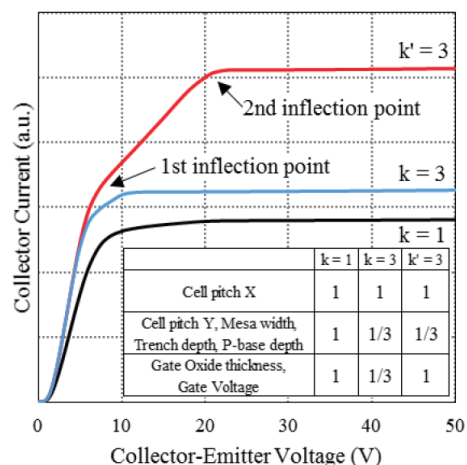


図1. 微細 IGBT の飽和電流特性

Fig. 1 Current saturation characteristics of miniaturized IGBTs

3. 電流が飽和するメカニズムの考察

$k'=3$ の飽和電流特性には2つの変曲点がある。それぞれの変曲点および変曲点で区切られたコレクタ電圧 V_{ce} の区

間において、どのような現象が起きてコレクタ電圧 V_{ce} に対するコレクタ電流 I_c の傾きが変化しているかを考察した。

a) $V_{ce}=0V$ から変曲点1の区間

V_{ce} に対する I_c の傾きが最も高い区間。 V_{ce} が高くなるにつれ電子速度が速くなりチャンネルの電子電流が増加する。またそれに伴って裏面からホールが注入されホール電流の成分も増加する。

b) 変曲点1

V_{ce} が 7~8V より高くなると傾きが緩やかになる。これは電界に対する電子速度の増加が飽和するためであると考えられる。図2にチャンネルにおける不純物濃度と V_{ce} が増加するにつれて変化する電界強度と電子速度を示す。 V_{ce} が増加するにつれて電界強度は一樣に増加する一方、電子速度は V_{ce} が 8V までは増加するが、 V_{ce} が 8V 以上ではそれ以上増加しなくなる。

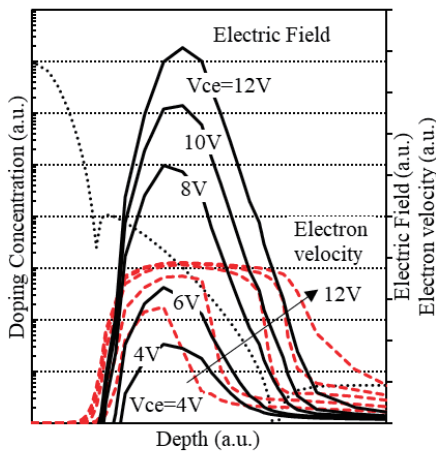


図2. チャンネルにおける不純物濃度、電界強度と電子速度
Fig. 2 Doping concentration, Electric field and Electron velocity at the channel

c) 変曲点1から変曲点2の区間

V_{ce} に対する I_c の傾きは緩やかになるが線形に増加する区間。チャンネル電流の増加は飽和するが、図3の模式図のようにホール電流が N+エミッタ層の下の P ベース層を通過するときに P ベース層が寄生抵抗として働き、P ベース層の中央部の電位が持ち上がるためチャンネル以外を通る電流が流れており、 V_{ce} が増加するに伴って P ベース層が空乏化し寄生抵抗が増加するため、チャンネル以外の電子電流も増加すると推定される。

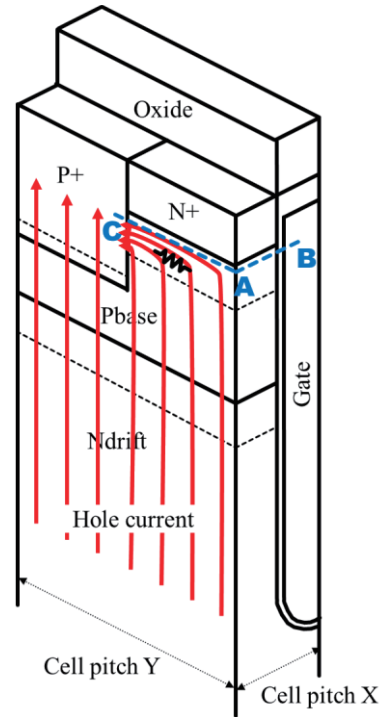


図3. デバイス表面構造とホール電流のイメージ図
Fig.3 Surface structure and hole current stream line

図4に変曲点1 ($V_{ce}=8V$) と変曲点2の直前 ($V_{ce}=18V$) のときの図3中のカットライン A-B における電子電流密度を示す。ゲート酸化膜に接したチャンネルの電子電流密度はほぼ変わっていないが、チャンネル以外の P ベース層を流れる電子電流密度が増加している。

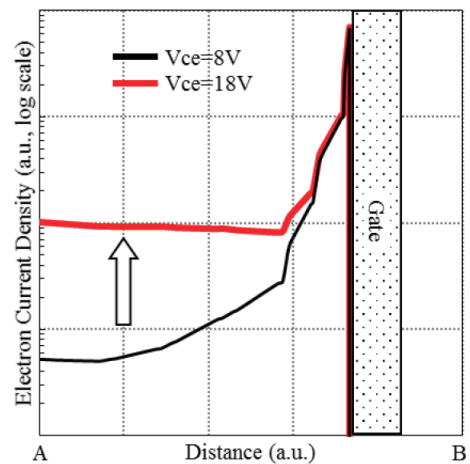


図4. 変曲点1 ($V_{ce}=8V$) と変曲点2の直前 ($V_{ce}=18V$) のときのカットライン A-B における電子電流密度
Fig. 4 Electron current density along cutline A-B at $V_{ce}=8V$ and $18V$

図5に V_{ce} が 8V から 18V に増加するにつれて変化するカットライン C-A における電子電流密度と電位を示す。 V_{ce} が増加するにつれて、エミッタに接続された P+層から最も

離れた点 A の電位が増加し、それに伴って電子電流密度が増加している。

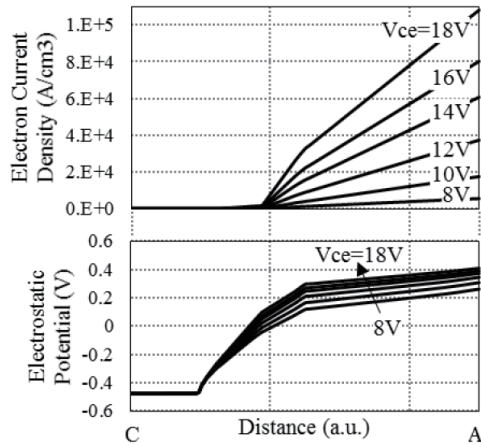


図 5. カットライン C-A における電子電流密度と電位
Fig. 5 Electron current density and electrostatic potential along cutline C-A

d) 変曲点 2 より高い Vce の区間

Vce が 22V より高くなるとコレクタ電流は完全に飽和する。Vce がゲートトレンチの電位よりも高くなると、ゲートトレンチで挟まれたメサ領域の電位がそれ以上高くならなため電流が完全に飽和する。

図 6 にメサ中央部の不純物濃度と電位を示す。Vce が増加するにつれて電位は増加していくが、Vce が 22V 以上では点線で示したトレンチ底部の電位はゲート電圧と同じ 15V となり、それ以上にほぼ増加しなくなる。

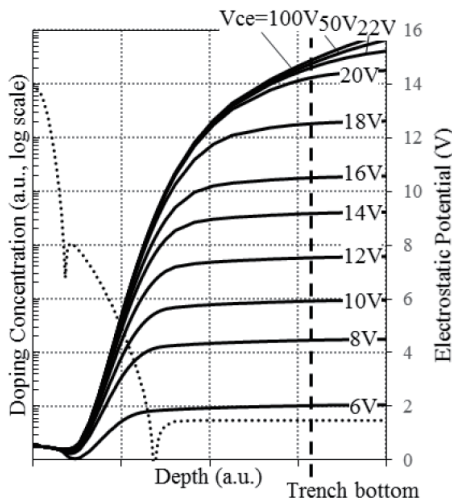


図 6. メサ中央部の不純物濃度と電位
Fig. 6 Doping concentration and electric field at center of mesa region

4. 飽和電流を抑制する方法の検討

これまでの考察で明らかになったように飽和電流を抑制するためには、変曲点 1 と変曲点 2 の間で飽和電流を増加させないことが重要であると考えられる。

変曲点 1 と 2 の間で飽和電流が増加するメカニズムは、寄生抵抗をホール電流が通過することで電位が持ち上がるためであるので、次の 2 つのアプローチが考えられる。

- ① 寄生抵抗を小さくする。
- ② ホール電流を小さくする。

これらの仮説を検証した結果を次に紹介する。

A) N+エミッタ層の幅を狭くして N+エミッタ層下の P ベース層の寄生抵抗を低下する

N+エミッタ層の幅を短くすると P ベース層の寄生抵抗を小さくできる。例えば、図 7 に示すように $k'=3$ の構造の N+エミッタ層の幅を、チャンネル幅の総和を一定にしたまま、半分にすることでオン電圧を低く保ったまま飽和電流の増加を抑制できる。(図 8 の $k''=3$)

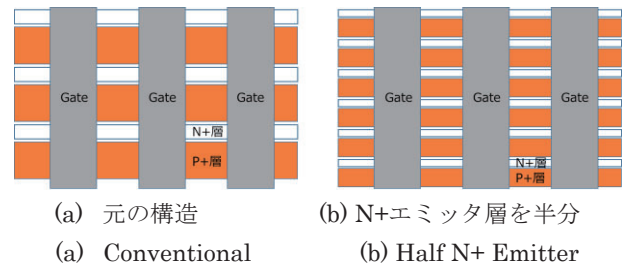
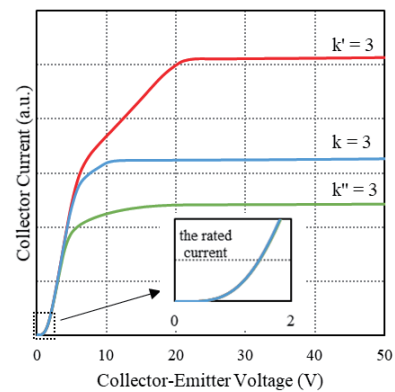


図 7. エミッタ N+層を半分にした表面パターンの模式図
Fig.7 Schematic diagram of surface pattern with half N+ emitter



	k = 1	k = 3	k' = 3	k'' = 3
Cell pitch X	1	1	1	1
Cell pitch Y	1	1/3	1/3	1/6
Mesa width,	1	1/3	1/3	1/3
Trench depth, P-base depth,	1	1/3	1	1
Gate Oxide thickness, Gate Voltage	1	1/3	1	1

図 8. エミッタ N+層を半分にした微細 IGBT の飽和電流特性

Fig. 8 Current saturation characteristics of conventional and proposed miniaturized IGBTs

B) P ベース層の不純物濃度分布を平坦にして N+エミッ

タ層下の P ベース層の寄生抵抗を低下する

Vce が増加するにつれて P ベース層は空乏化するので寄生抵抗は増加する。これを抑制するために、例えば P ベース層の不純物濃度分布を平坦にすることで空乏化が抑制され、P ベース層の寄生抵抗を小さくでき、飽和電流の増加を抑制できる。(図 9)

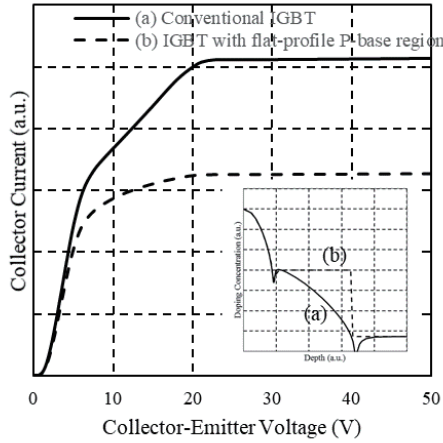


図 9. P ベース層の不純物濃度分布を平坦にした微細 IGBT の飽和電流特性

Fig. 9 Current saturation characteristics of IGBT with flat-profile P-base region

C) トレンチコンタクトを配置してホール電流を低下する

N+エミッタ層の中央にトレンチ形状のコンタクトを配置すると N+エミッタ層下の P ベース層を介して流れるホール電流を少なくできるので飽和電流の増加を抑制できる(図 10)。

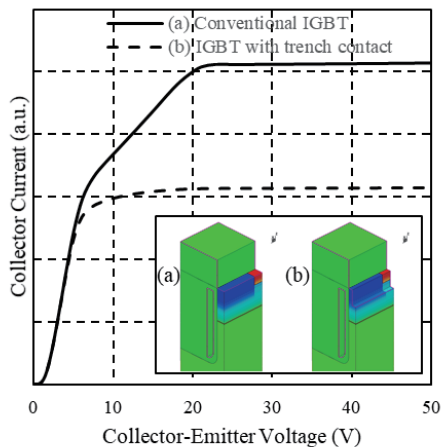


図 10. トレンチコンタクトを配置した微細 IGBT の飽和電流特性

Fig. 10 Current saturation characteristics of IGBT with trench contact

5. まとめ

本稿では微細 IGBT の飽和電流特性がどのようなメカニズムで形作られるかを明らかにし、ゲート駆動電圧が 15V でも飽和電流の増加を抑制する方法を提案した。

飽和電流特性には 2 つの変曲点があり、2 つの変曲点の間で電流が増加する原因は、N+エミッタ層の下の P ベース層をホール電流が流れることで、寄生抵抗を構成する P ベース層の電位が持ち上がりチャンネル以外の電流が増加するためである。

この電流の増加を抑制するためには、N+エミッタ層の幅を短くしたり、P ベース層の不純物濃度分布を工夫したりすることで寄生抵抗を小さくすること、ならびにホール電流を小さくするためにトレンチコンタクトを配置することが有効であることを示した。

文 献

- (1) A. Nakagawa, "Theoretical Investigation of Silicon Limit Characteristics of IGBT," ISPSD 2006, pp. 5-8, 2006.
- (2) M. Tanaka and I. Omura, "Scaling Rule for Very Shallow Trench IGBT toward CMOS Process Compatibility," ISPSD 2012, pp. 177-180, 2012.
- (3) K. Eikyu, A. Sakai, H. Matsuura, Y. Nakazawa, Y. Akiyama, Y. Yamaguchi and M. Inuishi, "On the Scaling Limit of the Si-IGBTs with Very Narrow Mesa Structure", ISPSD 2016, pp. 211-214, 2016.
- (4) K. Eikyu, A. Sakai, H. Matsuura, Y. Nakazawa, Y. Akiyama and Y. Yamaguchi, "Study on the improved short-circuit behavior of narrow mesa Si-IGBTs with emitter connected trenches", ISPSD 2018, pp. 495-498, 2018.
- (5) M. Tanaka and A. Nakagawa, "Novel 3D narrow mesa IGBT suppressing CIBL", ISPSD 2018, pp. 124-127, 2018.