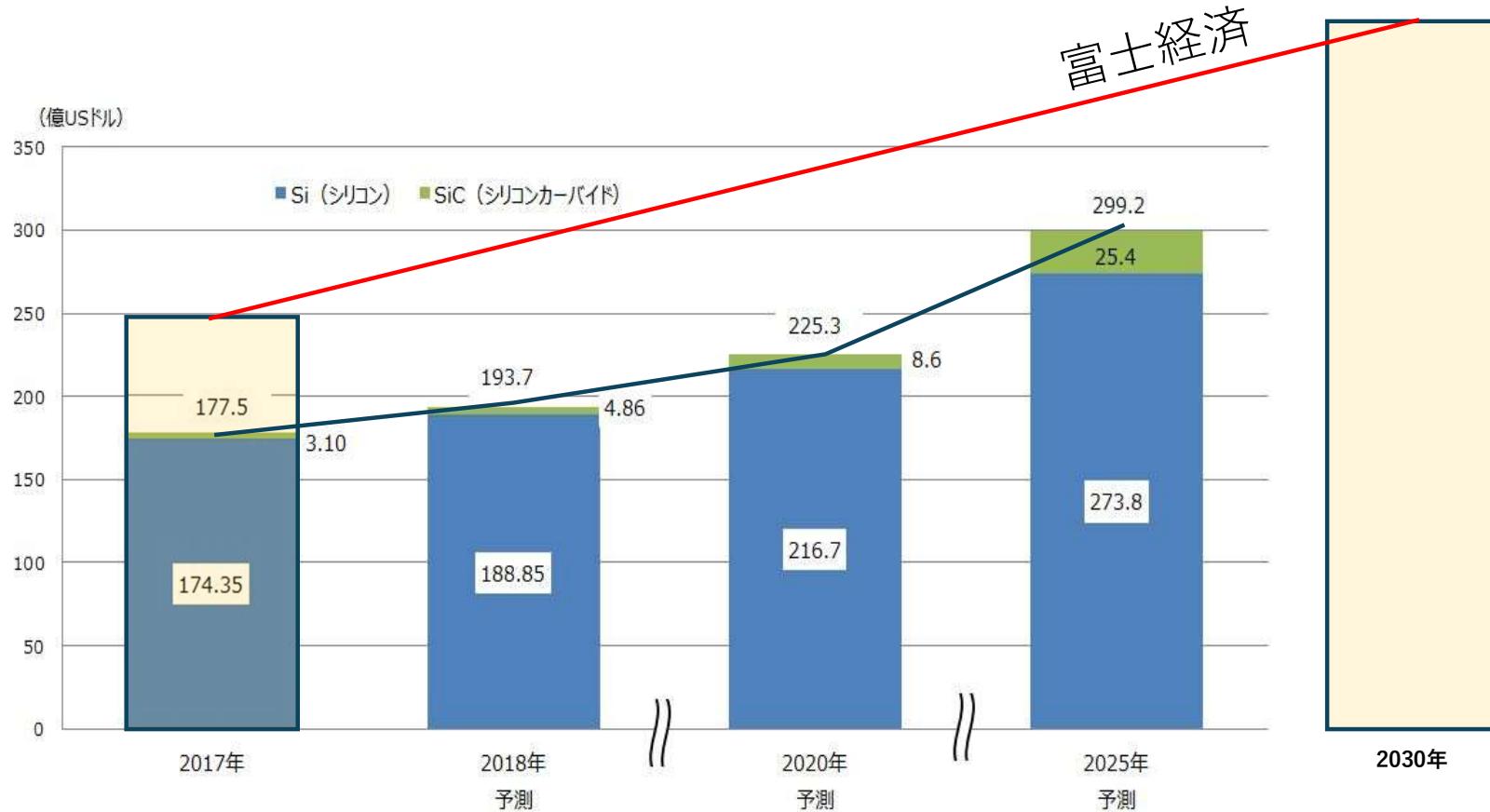


最近のIGBTの進歩と 今後の低損失・高速化への展望

Recent advances in IGBT technology
and
prospects for low-loss, high-speed switching

中川コンサルティング事務所
中川 明夫

パワー半導体の世界市場@2017予測

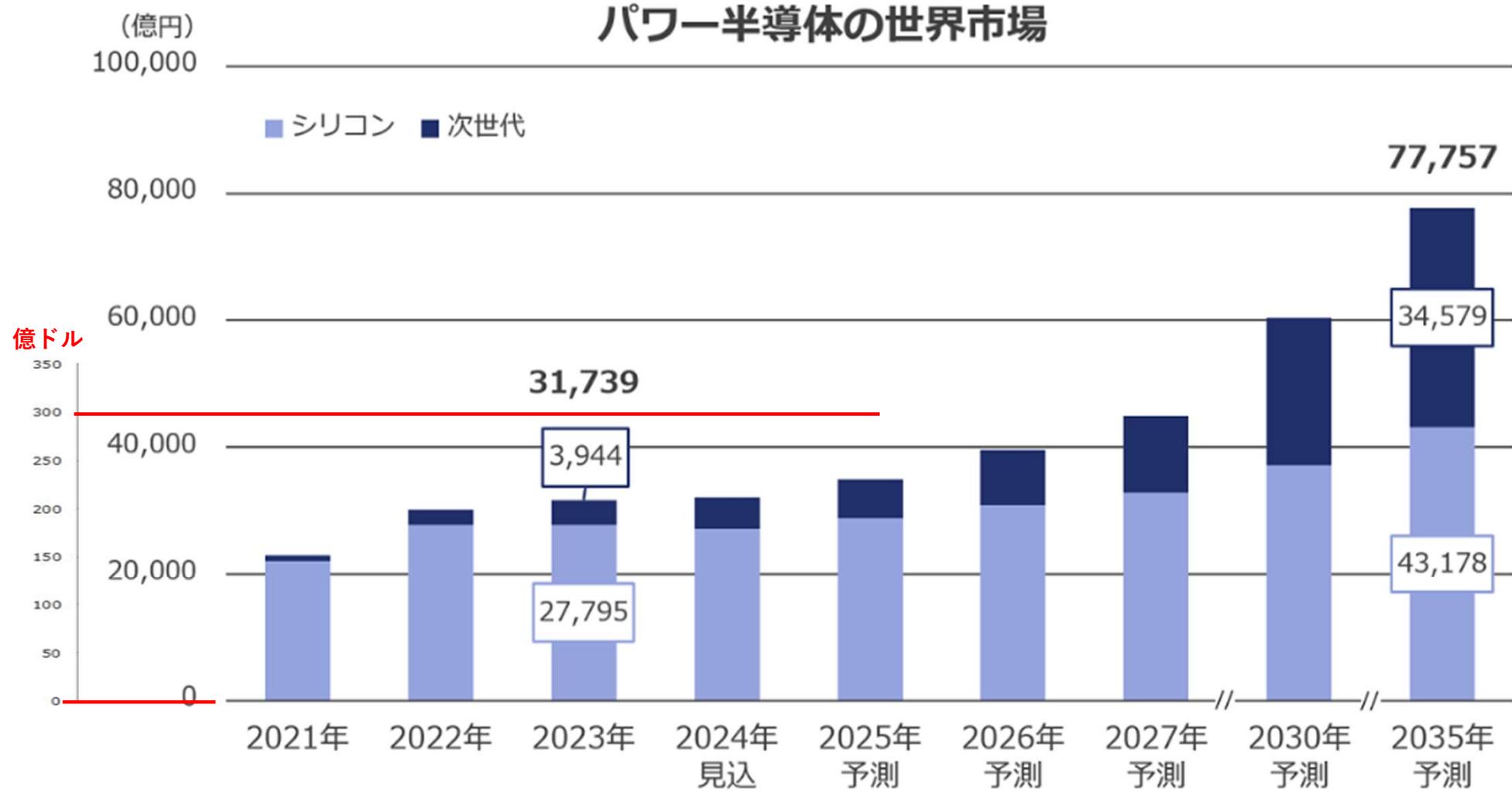


注1. メーカ出荷金額ベース

注2. 2018年、2020年、2025年は予測値

矢野経済研究所調べ

パワー半導体の世界市場

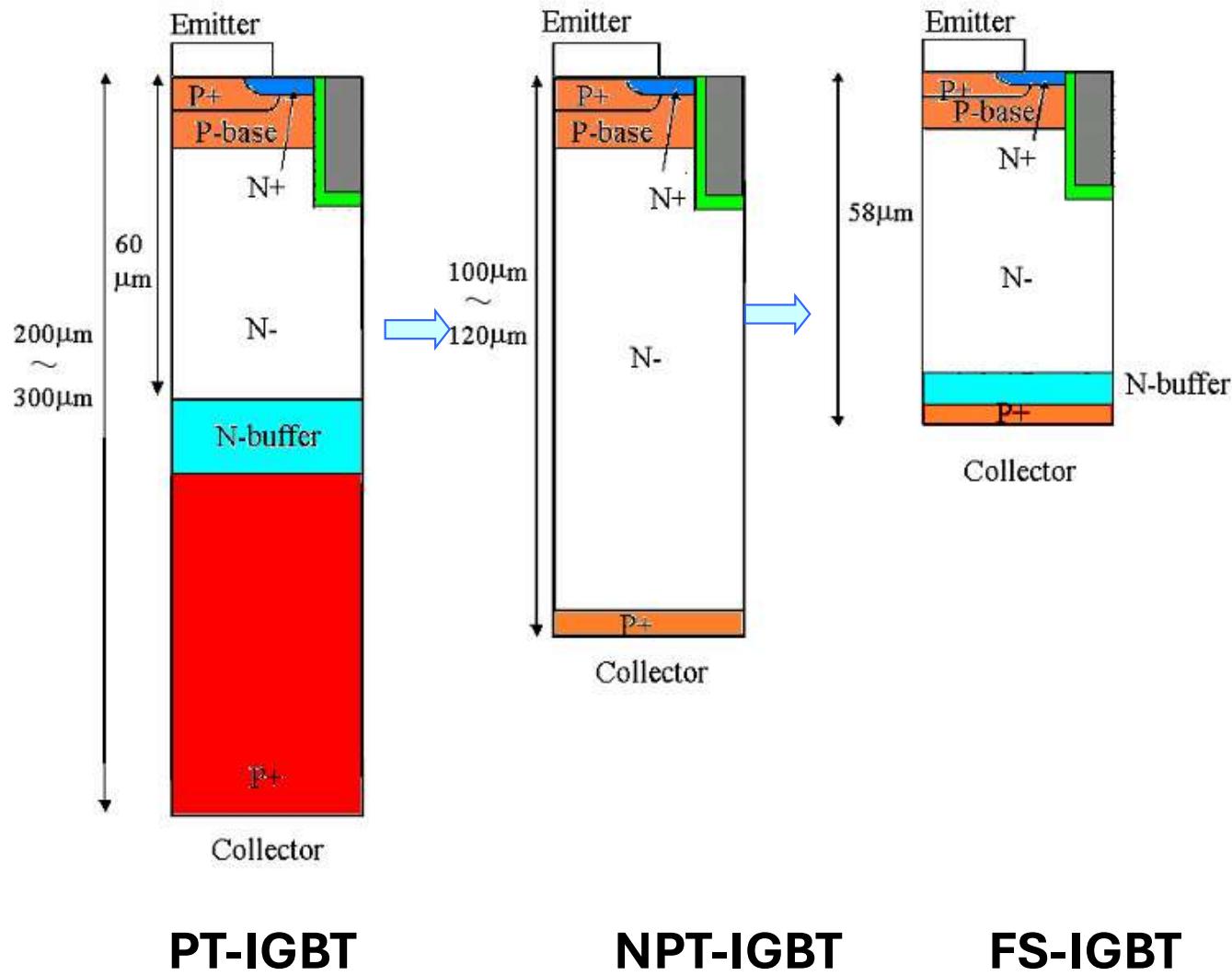


富士経済「2024年版次世代パワーデバイス&パワエレ関連機器市場の現状と将来展望」

最近のIGBTの進歩

1. FS-IGBT
 - FS層とは何か？
2. 高速化
3. UISの解析
4. CIBL & Scaling
5. 更なる高速化

IGBTの進化

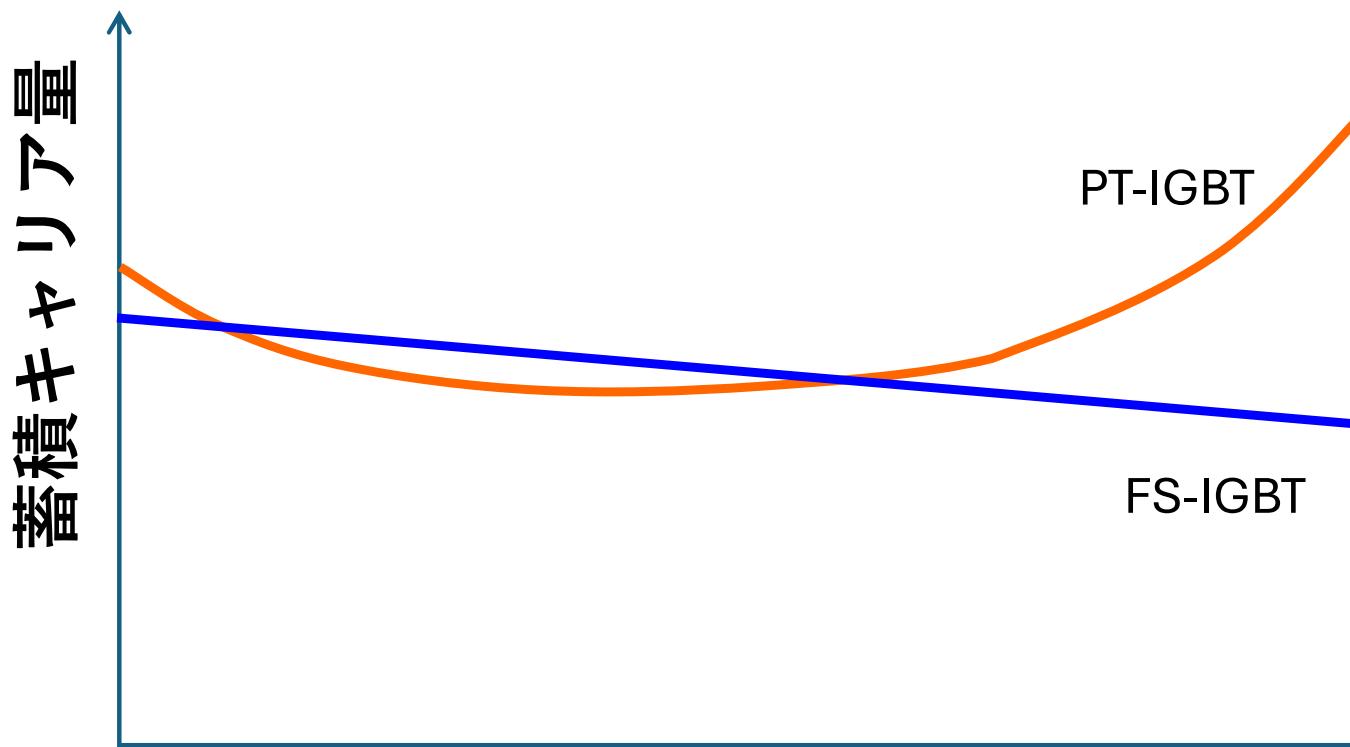


1. FS-IGBT

i : 蓄積キャリアが少ない

ii : 電子電流の割合が高い

FS-IGBTが高速な理由



i: 蓄積キャリアが少ない

$$\text{Switching Time} \simeq \frac{\text{全蓄積キャリア量} \downarrow \text{減少}}{\text{電流値}}$$

ii: 電子電流の割合が高い

MOSゲートで直接制御できる電子電流の割合が増大

$\frac{\text{電子電流} \uparrow}{\text{全電流値}}$

Akio Nakagawa, Tomoko Matsudai, Tadashi Matsuda,
Masakazu Yamaguchi and Tsuneo Ogura

Semiconductor Company, Toshiba Corporation
1 Komukai Toshiba-cho Saiwai-ku, Kawasaki 212-8582, Japan

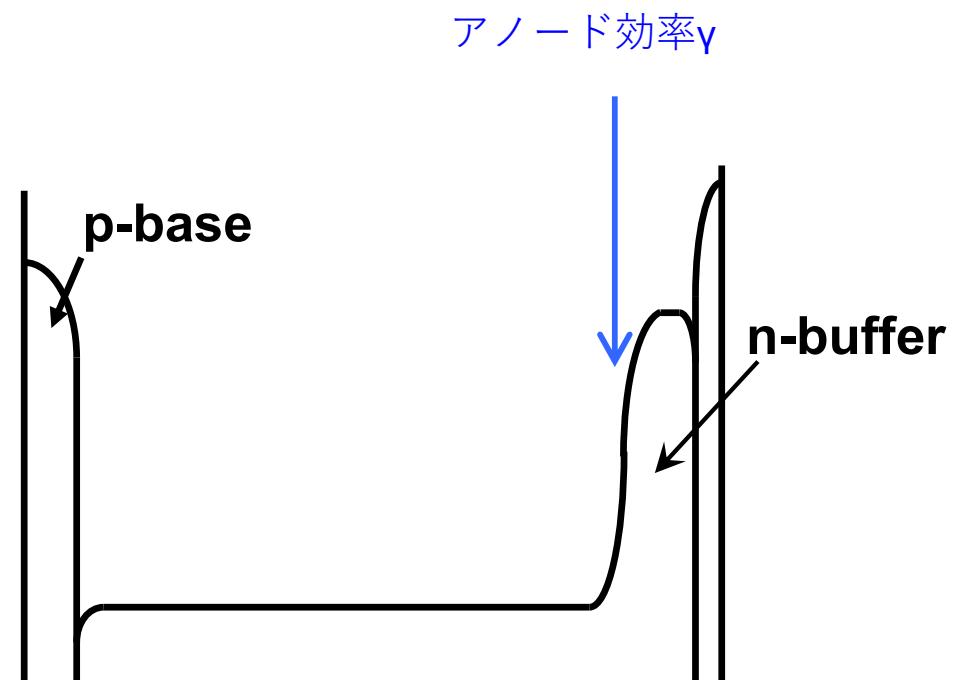
電子電流の割合が高いIGBTの問題点:

負荷短絡耐量 弱い

MOSFET-mode IGBT

$$\gamma = \frac{J_p}{J_n + J_p} < \frac{\mu_p}{\mu_n + \mu_p}$$

高電界では $\gamma < \frac{v_h}{v_e + v_h}$

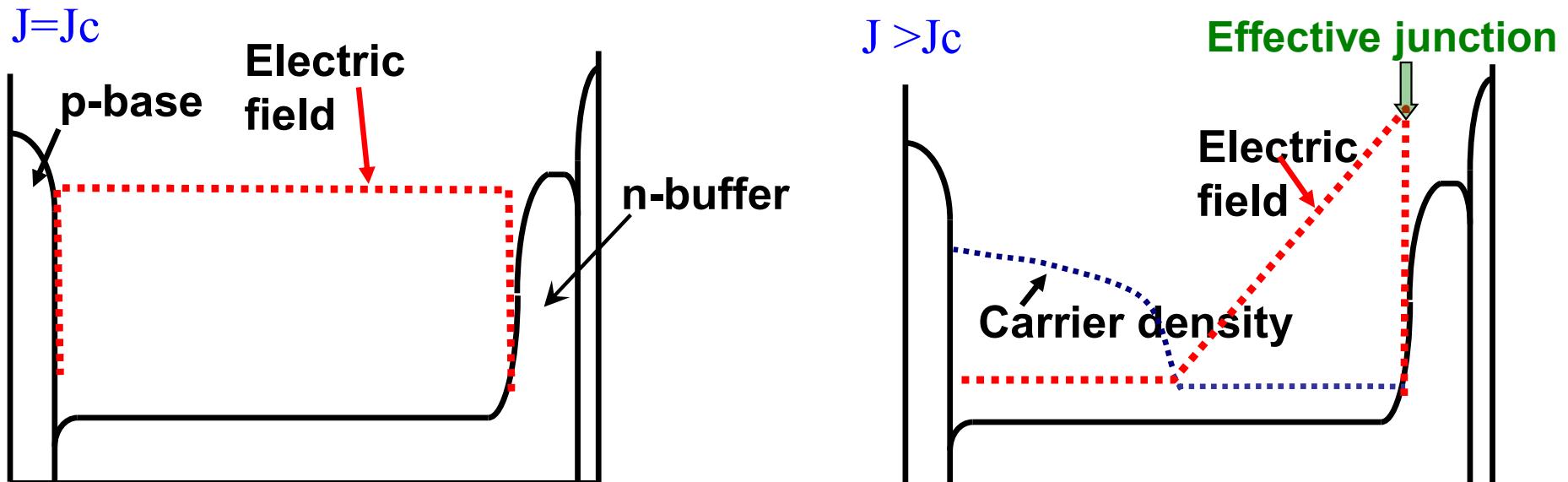


負荷短絡時のNベースの空間電荷 ρ

$$\begin{aligned}\rho &= N_D + p - n = N_D + \left(\frac{\gamma}{\nu_h} + \frac{\gamma - 1}{\nu_e} \right) \frac{J}{q} \\ &= N_D + \left(\frac{\nu_h + \nu_e}{\nu_h \nu_e} \right) (\gamma - \gamma_{MOS}) \frac{J}{q}\end{aligned}\quad (1)$$

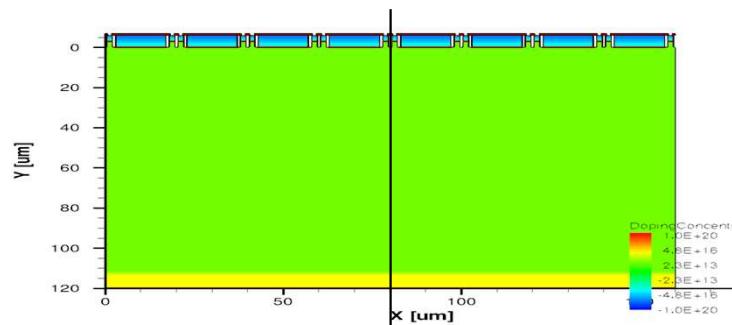
$$\gamma_{MOS} = \frac{\mu_p}{\mu_p + \mu_n} = \frac{\nu_h}{\nu_h + \nu_e} \quad (2)$$

$$J_C = \frac{qN_D \nu_h \nu_e}{(\gamma_{MOS} - \gamma)(\nu_h + \nu_e)} \quad : \text{空間電荷が 0 になる電流密度}$$

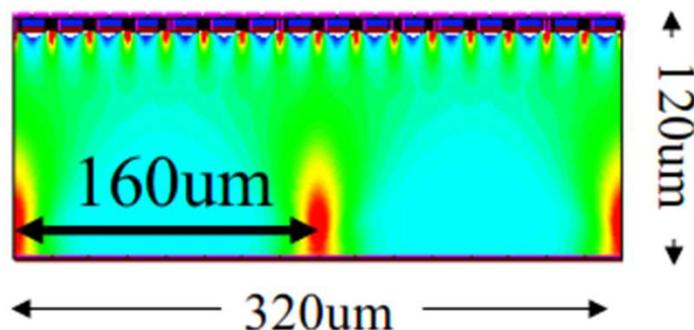


負荷短絡時のシミュレーション 電流集中が生じて破壊

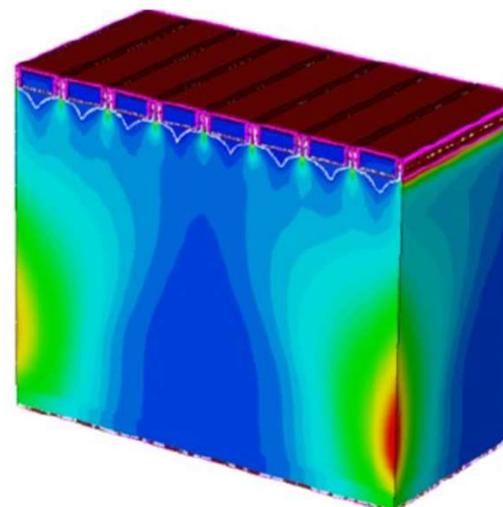
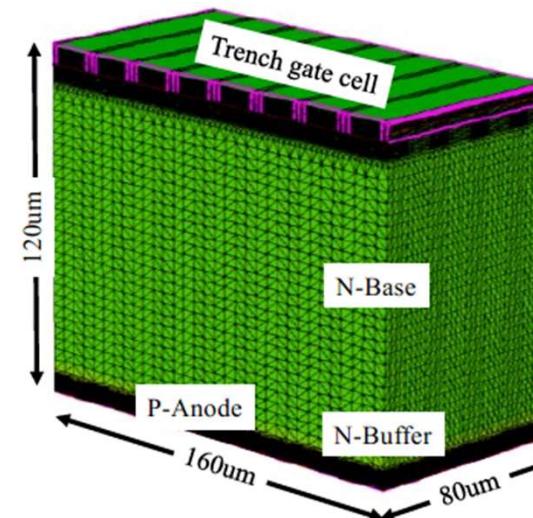
2次元 多セル (16Cell)



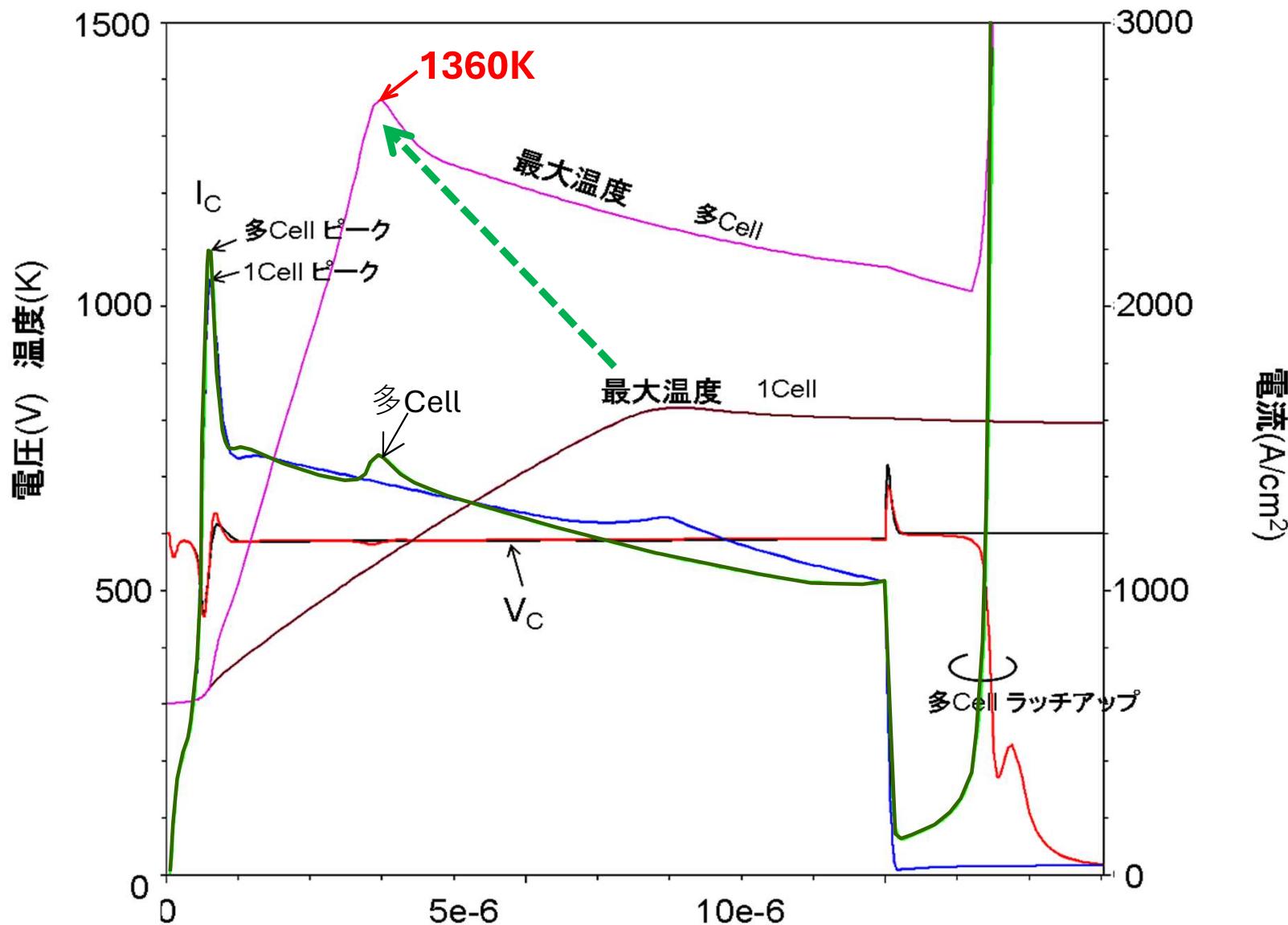
X=80um



3次元

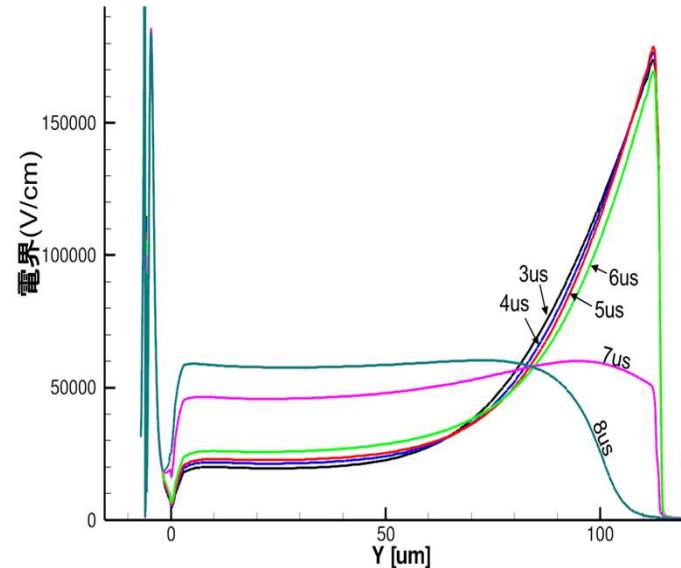
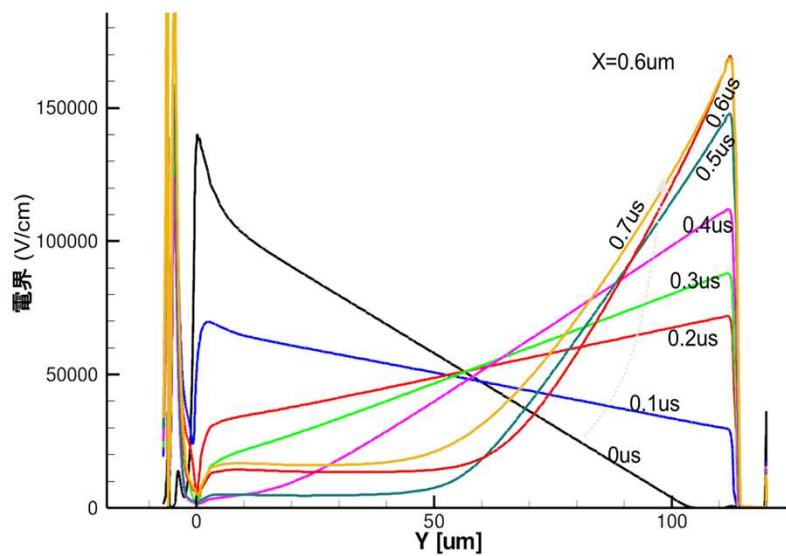


2次元多セルと1次元Cellでの比較

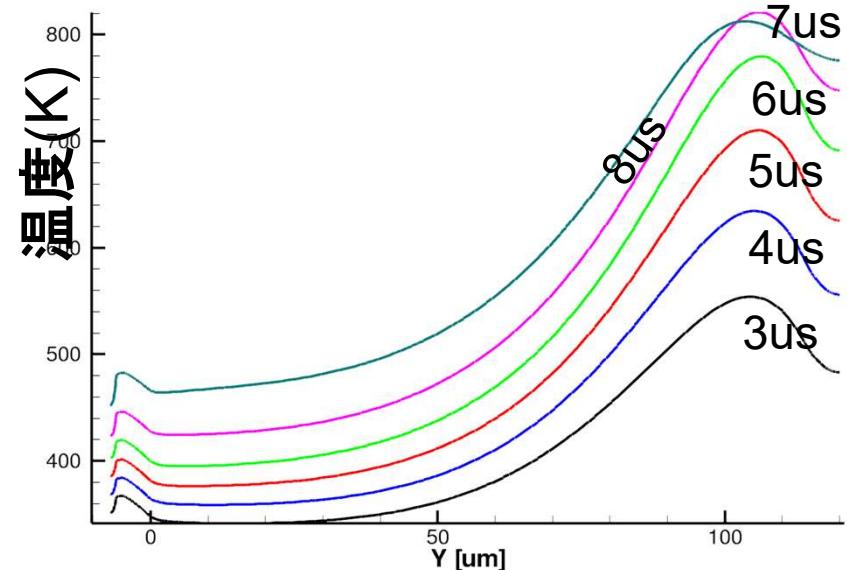


1Cell計算: 電流が流れ J_c を超えると高電界が裏面に移動!!

7us以降でアノード側の高電界が解消!!

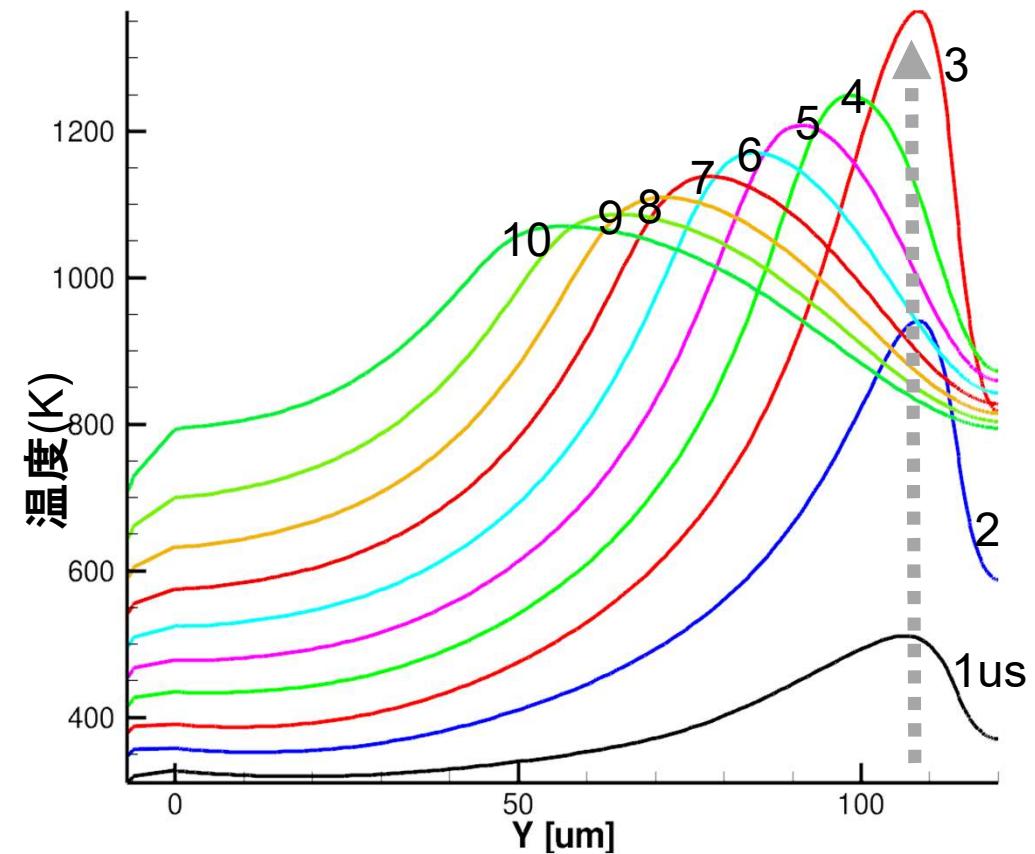
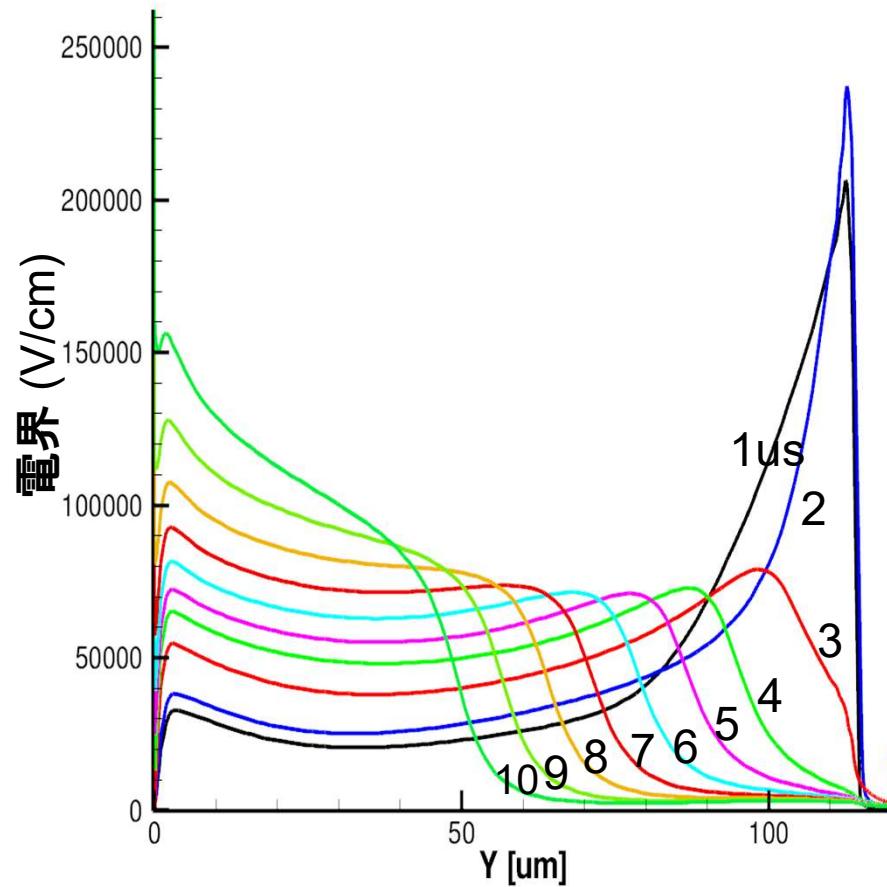


温度上昇 不十分
非破壊



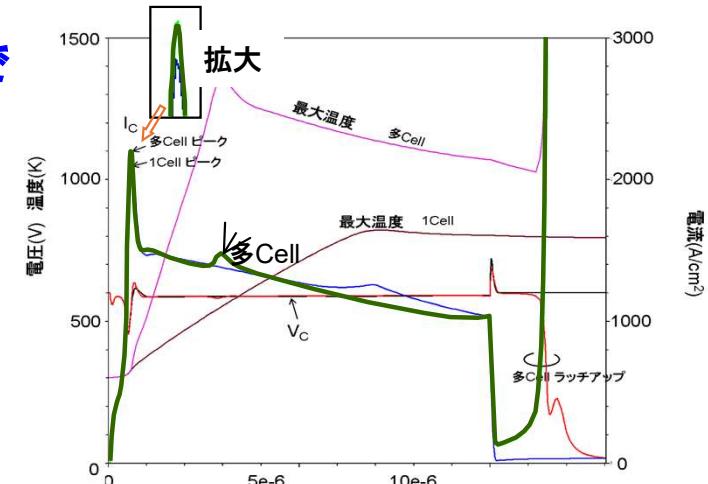
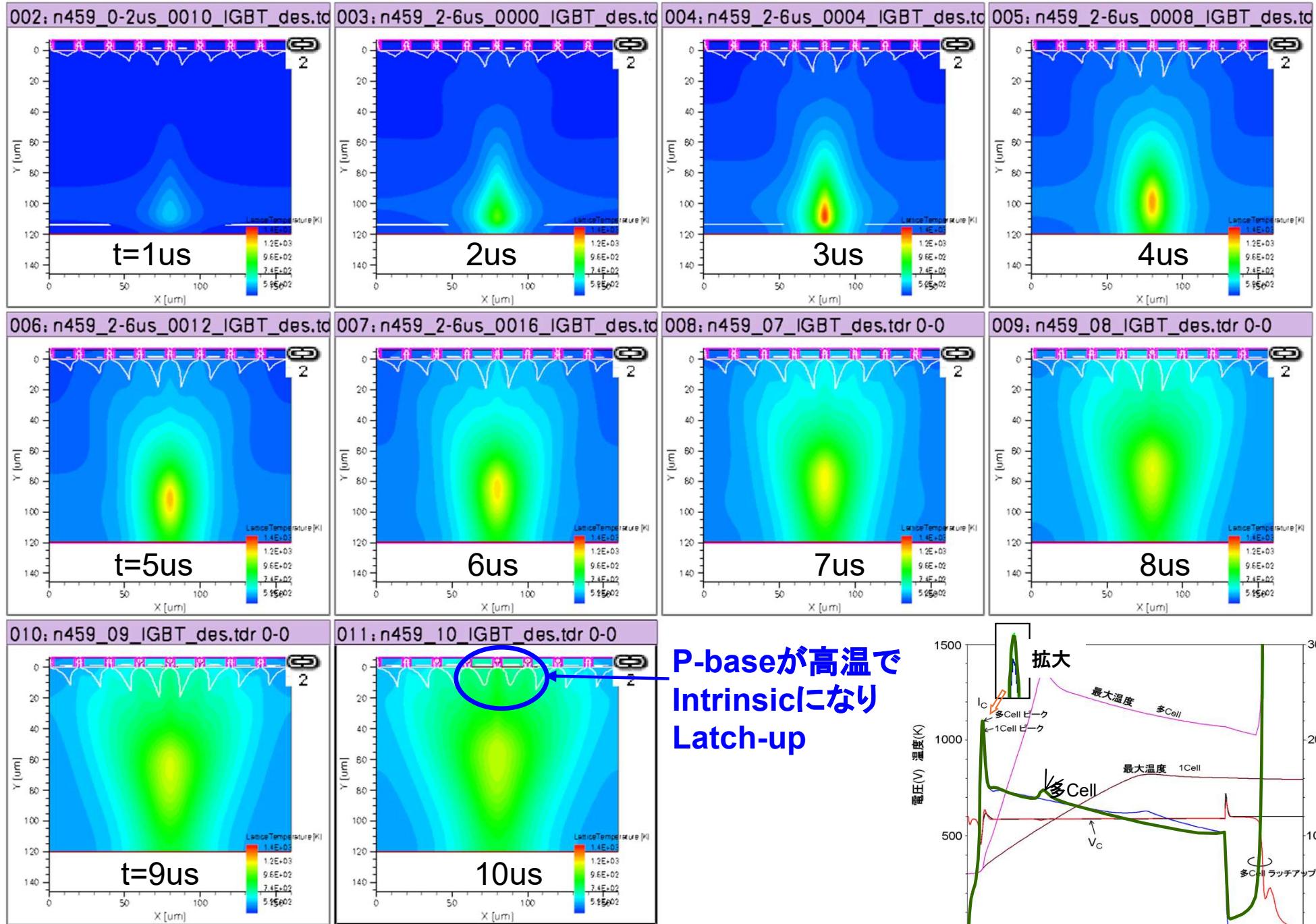
2次元 多セル(8Cell)での計算

3usで高温になり、アノード側の高電界が解消



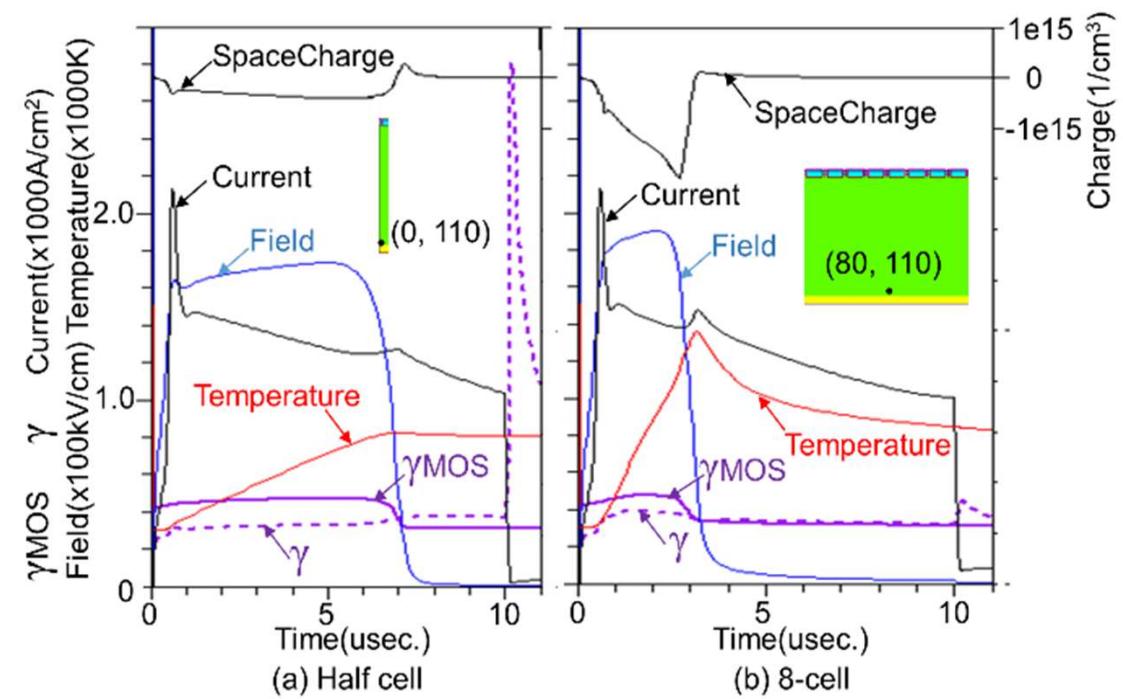
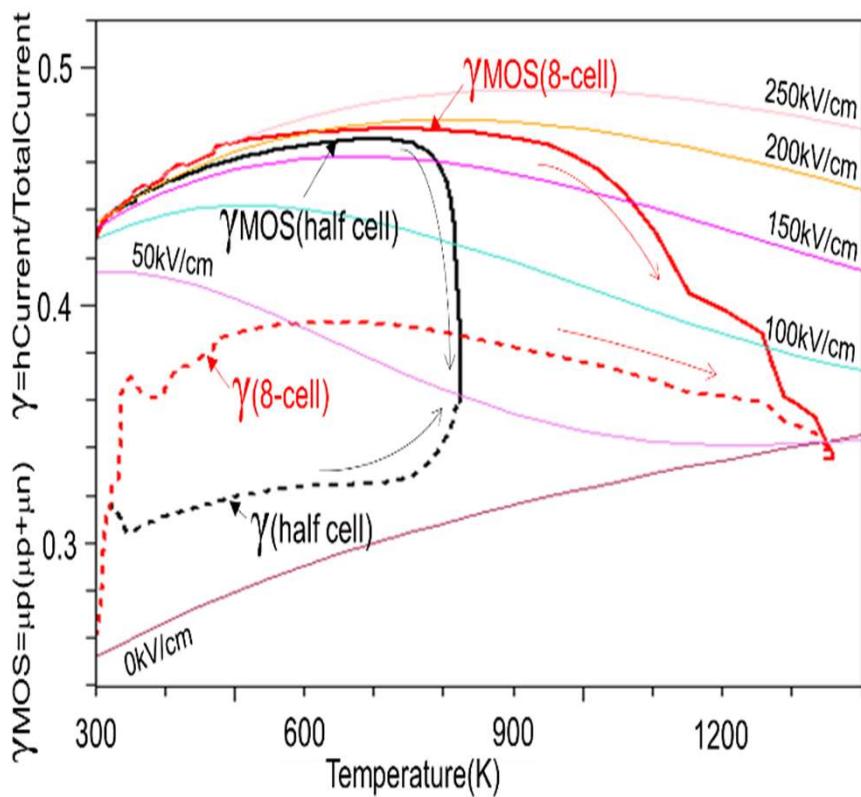
電界1usごと

温度上昇の推移



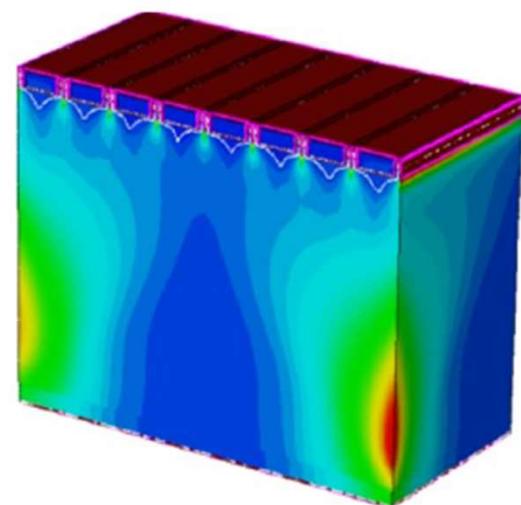
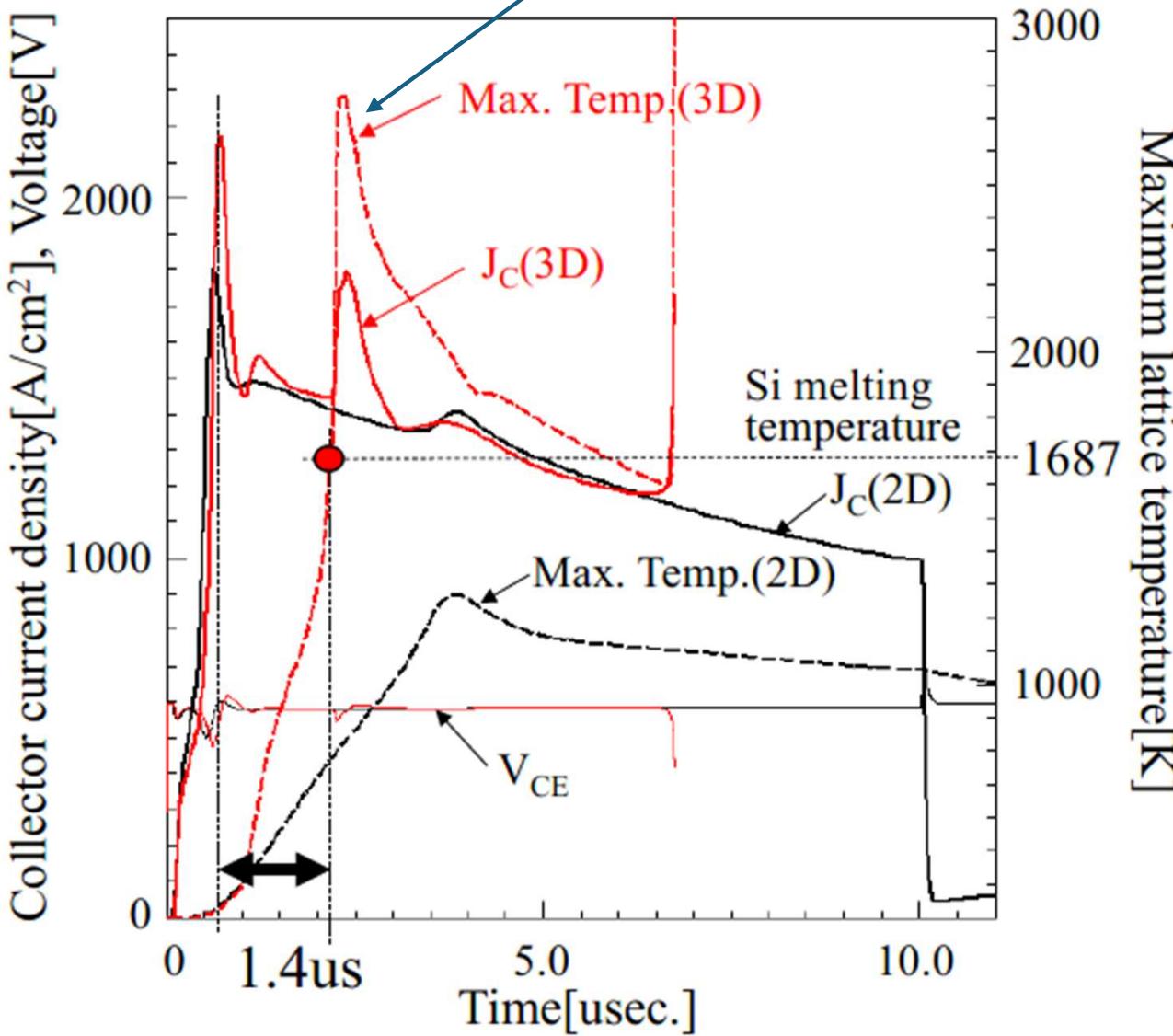
高電界解消は γ_{MOS} の低下で引き起こされる!

$$Q = qN_D + \frac{v_h + v_e}{v_h v_e} (\gamma - \gamma_{MOS}) J$$



3次元シミュレーションが最も正確

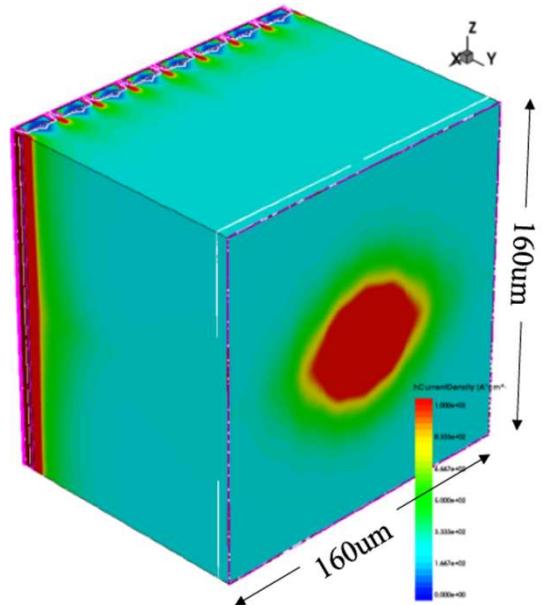
アノード側が1.4us後に高温になり瞬時破壊を再現



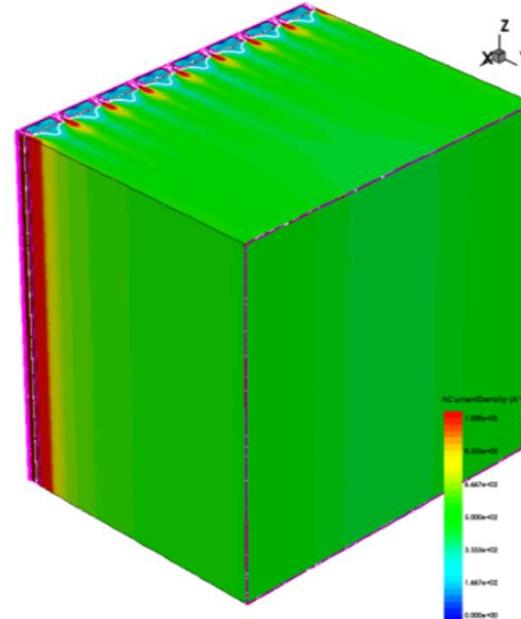
FS層は高度に最適化されている！ 負荷短絡耐量を大きくするには

1. J_c を大きく設計
$$J_c = \frac{qN_D v_h v_e}{(\gamma_{MOS} - \gamma)(v_h + v_e)}$$

2. FS層のドーザ量を下げる



FS層ドーザ量が大きい



FS層ドーザ量が小さい

FS層のドーザ量が低いと電流集中が生じない

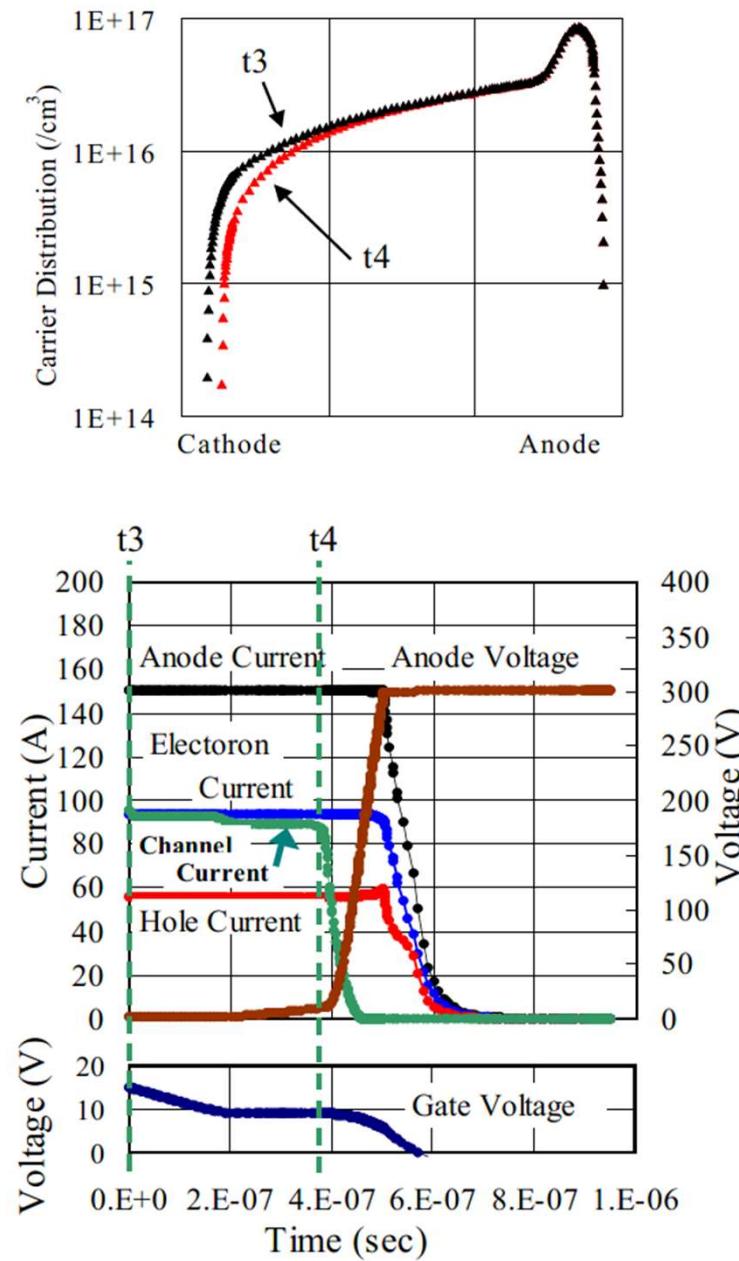
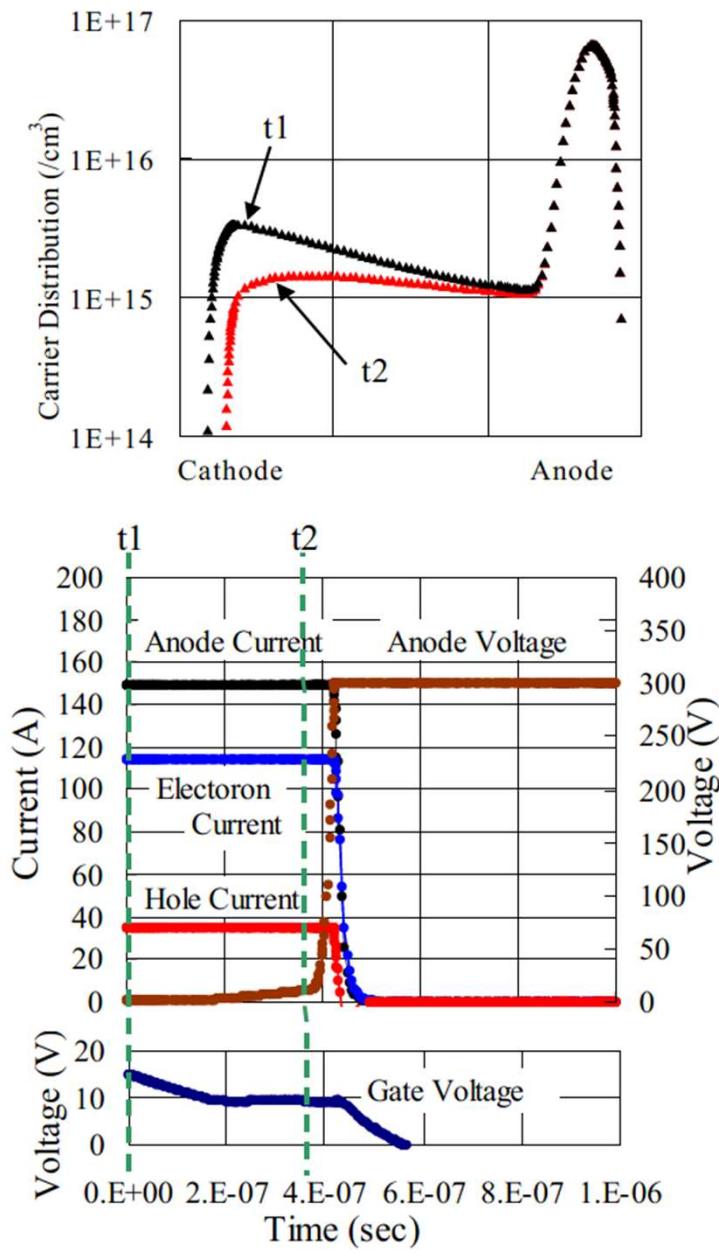
2. IGBTの高速化

i : 蓄積キャリアを少なくする

ii : 電子電流の割合を高くする

iii : それ以外

(ii) アノード注入効率を下げる 電子電流の割合を大きくして高速化する



3. UISの解析

Japanese Journal of Applied Physics 59, SGGD01 (2020)

Impact of 3D simulation on the analysis of unclamped inductive switching

Masahiro Tanaka^{1*} , Naoki Abe¹, and Akio Nakagawa²

¹Silicon Engineering Group, Nihon Synopsys, G.K., Setagaya, Tokyo 158-0094, Japan

²Nakagawa Consulting Office, LLC., Chigasaki, Kanagawa 253-0021, Japan

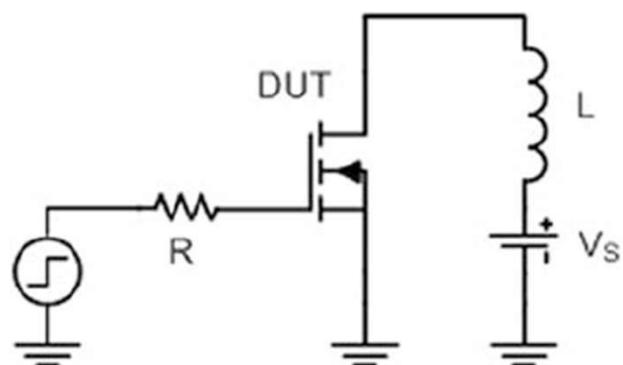
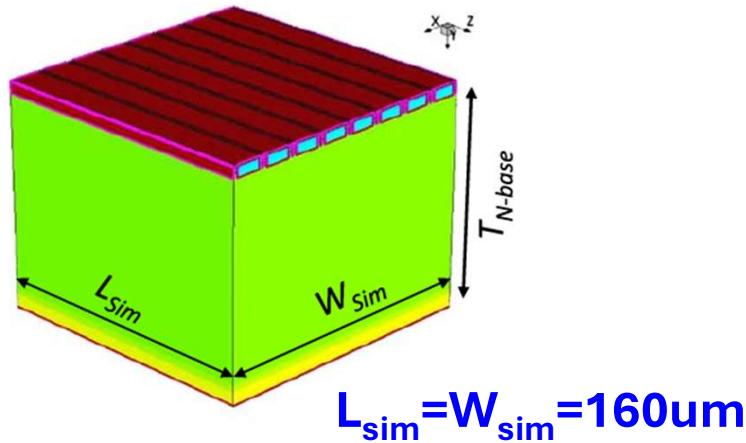
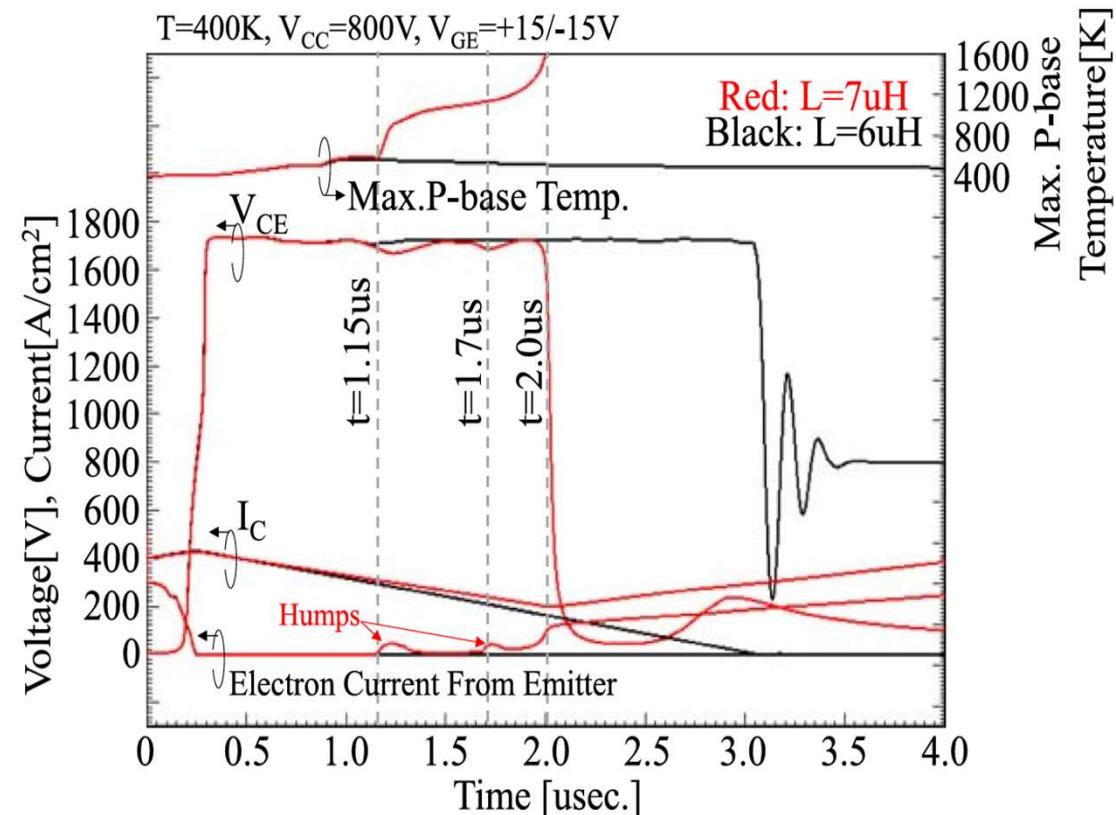


Fig. 2. UIS test circuit.

L=6uH, 7uHの計算結果



2種類のフィラメント

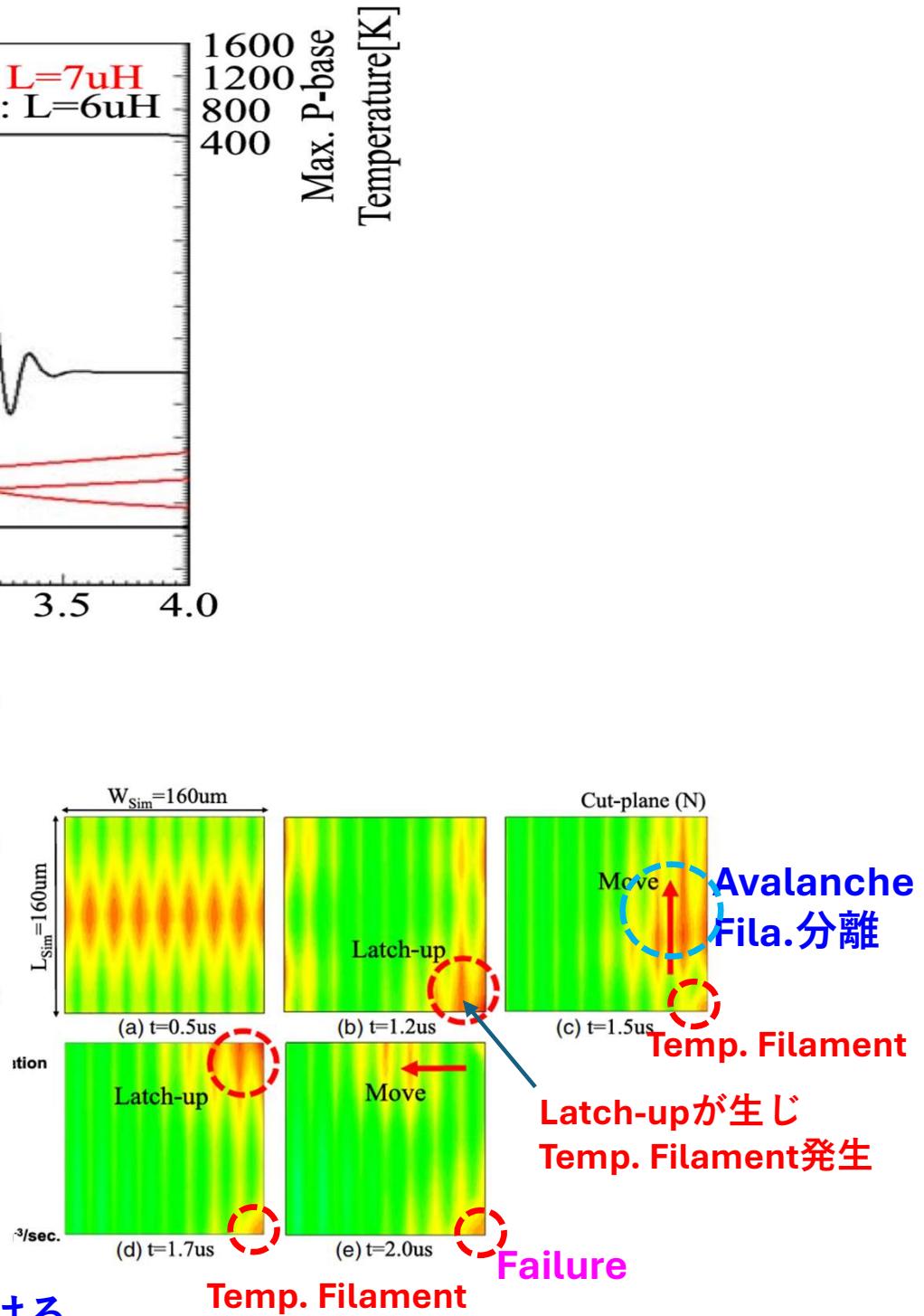
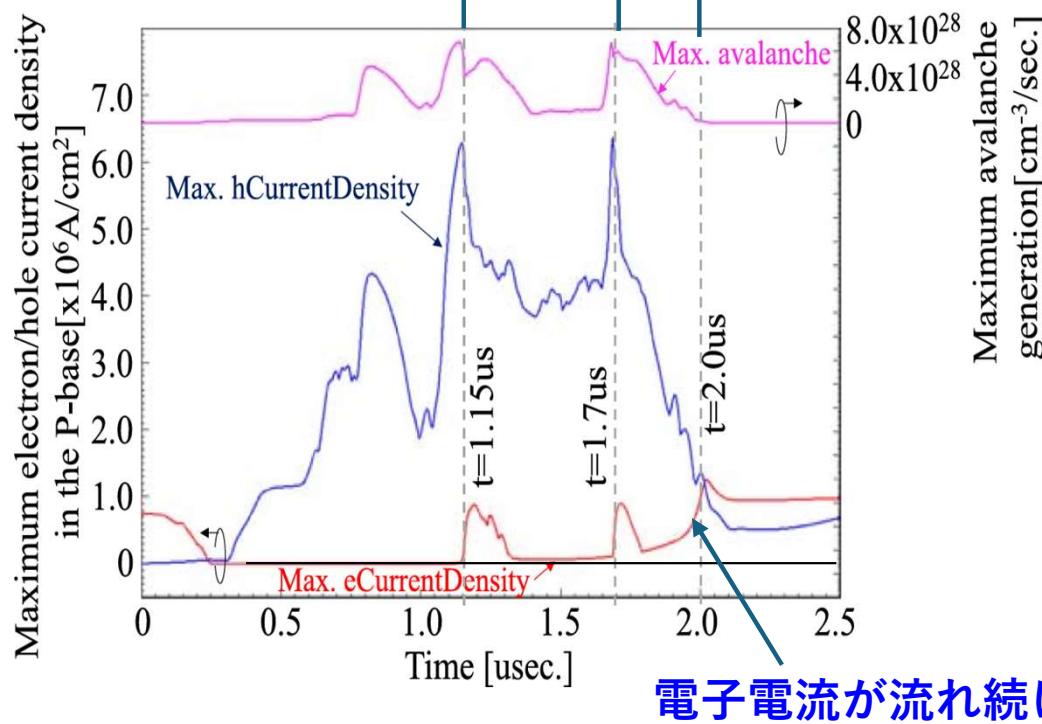
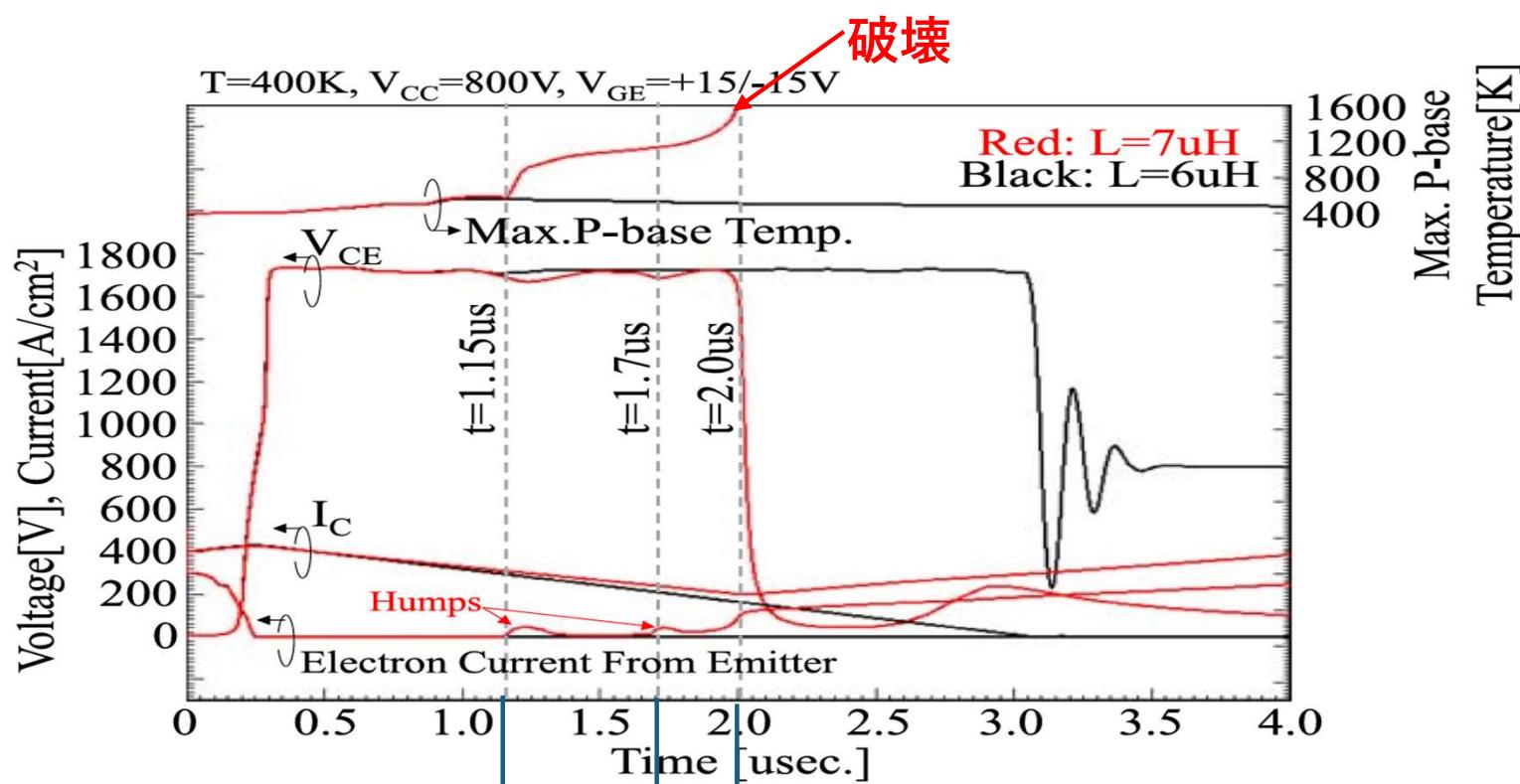
1. Avalanche Induced Filament

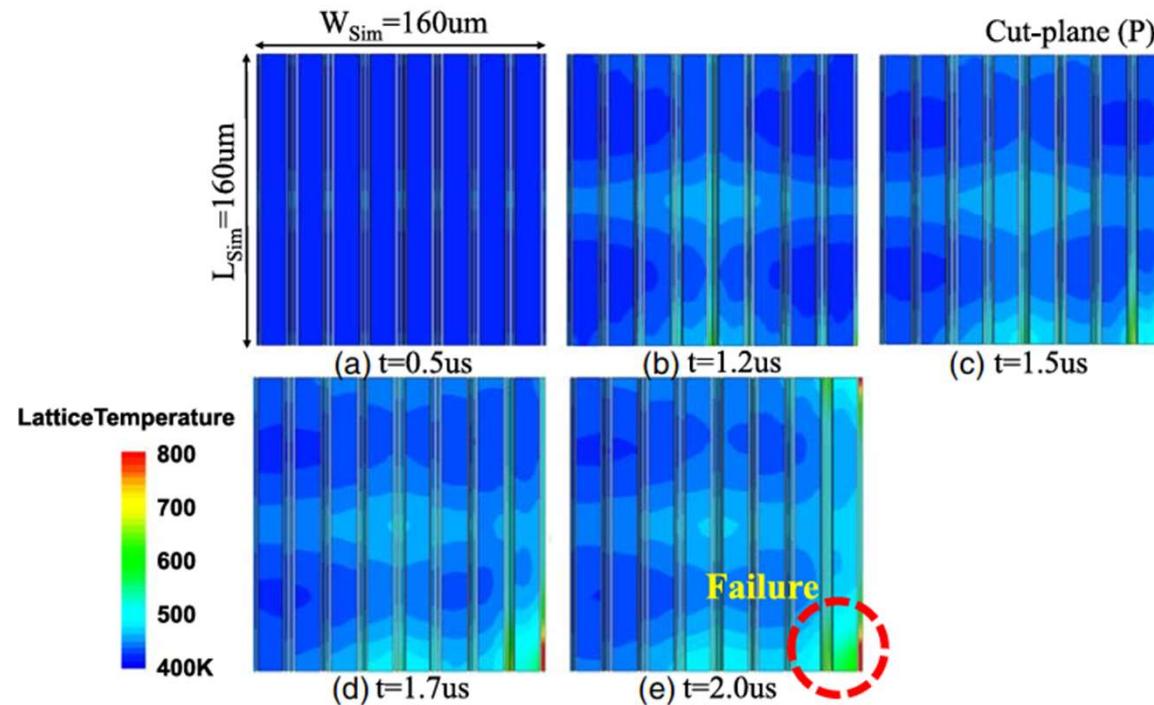
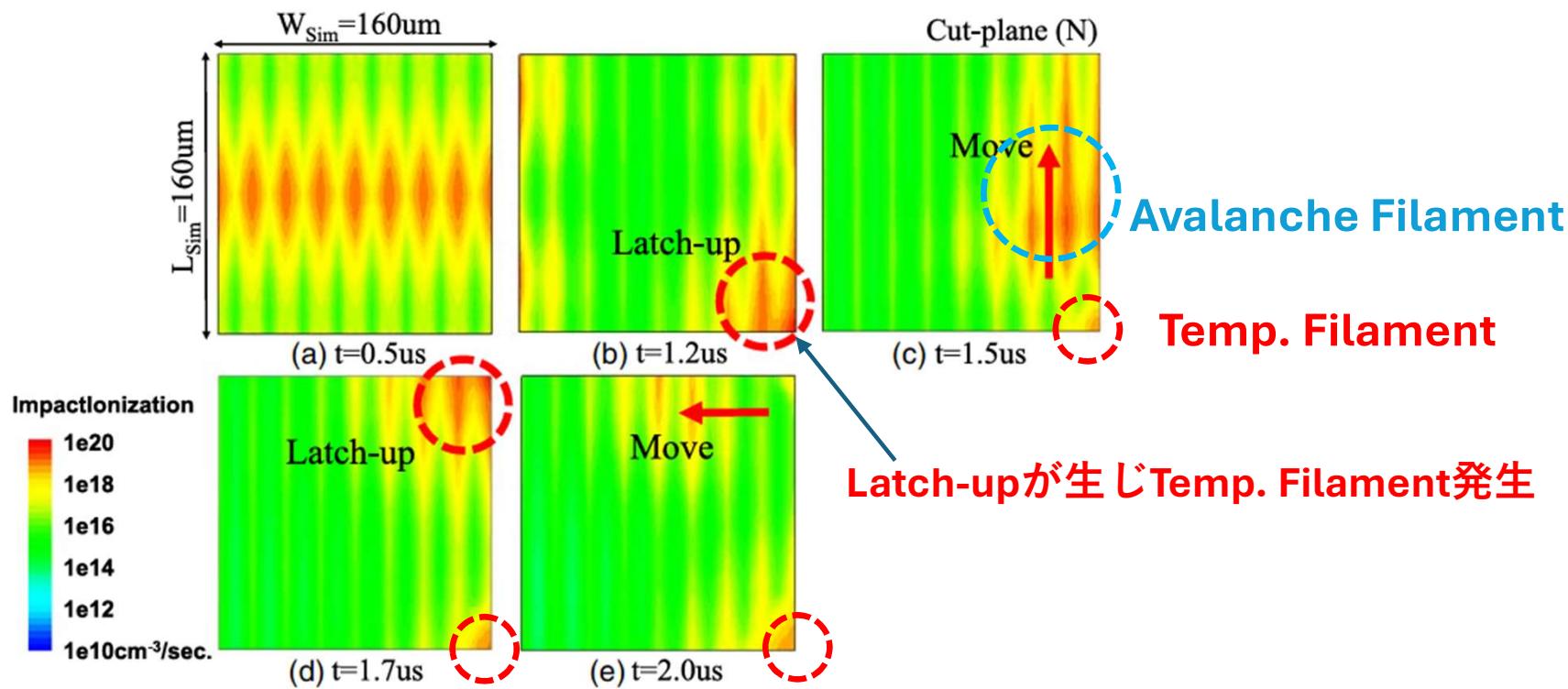
Impact ionization は不均一に起きる。何故なら生じた電子正孔対は電界を低下させるので、周囲の電界がより強くなり更なるimpact ionization を生じる。これがAvalanche Filamentを生む。

Avalanche Filamentはフィラメント内部の温度上昇を生じるので impact ionization rateを減少させAvalanche Filamentは温度が低い所へ移動する。

2. Temperature Induced Filament

Avalanche Filament内でラッチアップが生じると、電子電流が直接流れ込み更にimpact ionization を増大させる。これが大きな温度上昇を生みP-baseが intrinsicになる。こうなると、温度上昇でimpact ionizationが減ってもエミッタからの電子電流が引き続き P-baseに流れ込み温度が継続して上昇する温度起因のTemperature Induced Filamentを形成する





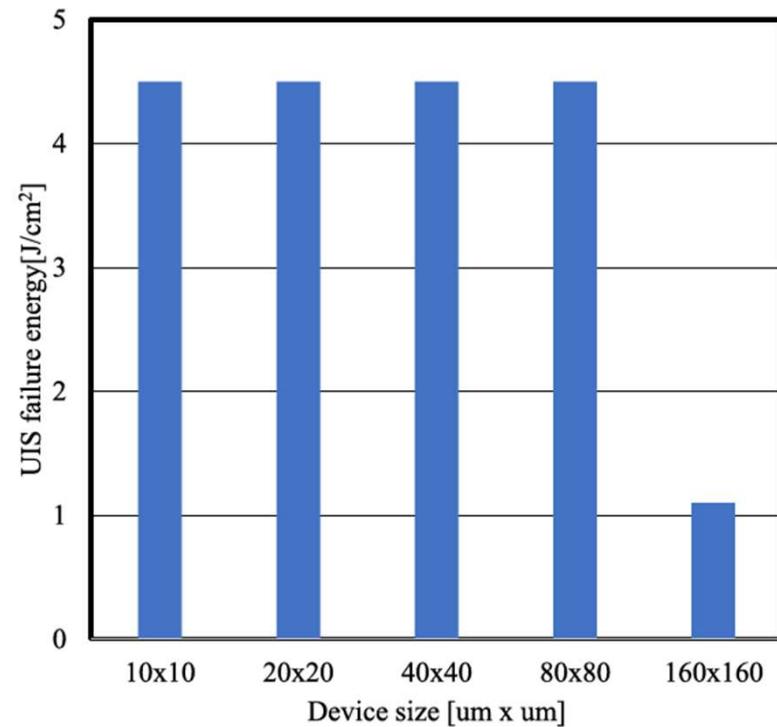
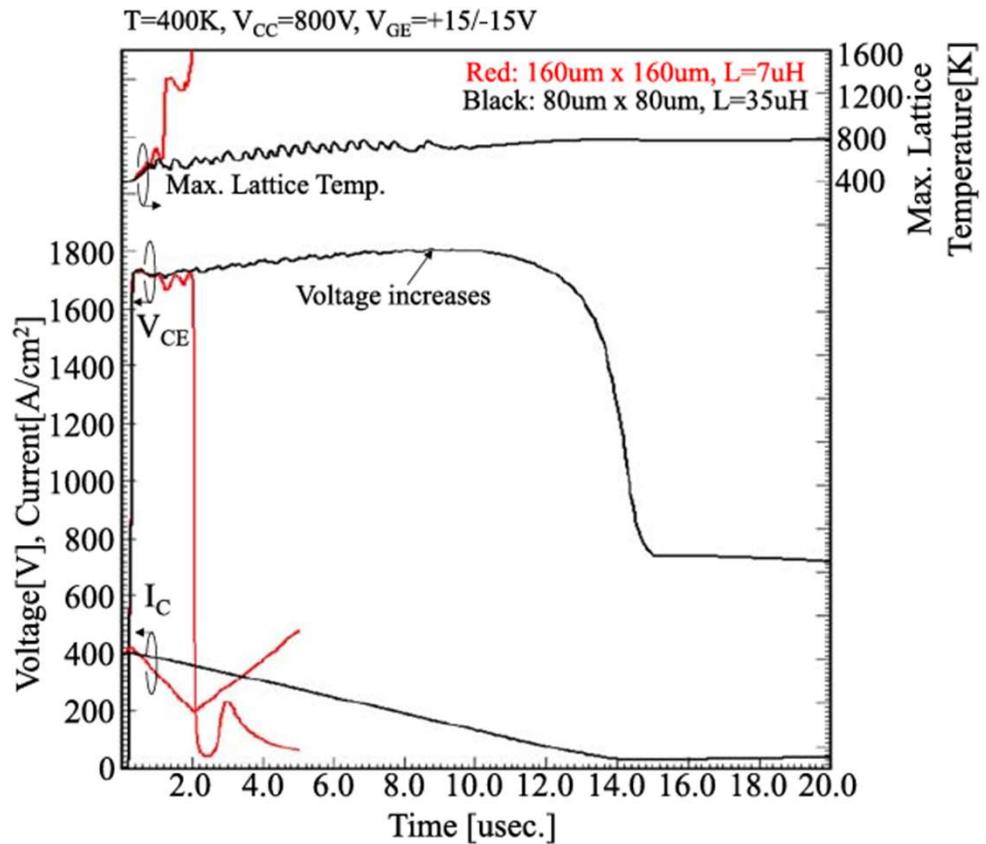


Fig. 6. (Color online) UIS failure energy versus size of simulated device. The failure energy of the $160 \mu\text{m} \times 160 \mu\text{m}$ device is much smaller than smaller sized devices.



80um角以下のチップサイズのシミュレーションではAvalanche filamentが動き回りチップ全体の温度が上昇してしまい(電圧の上昇が見られる)、破壊耐量は実測値より大きい。
実際のチップでは160um角程度の部分に1つのフィラメントが生じていると予測される。

4. 最近 CIBL & Scaling が注目された

CIBL & Scaling への処方箋

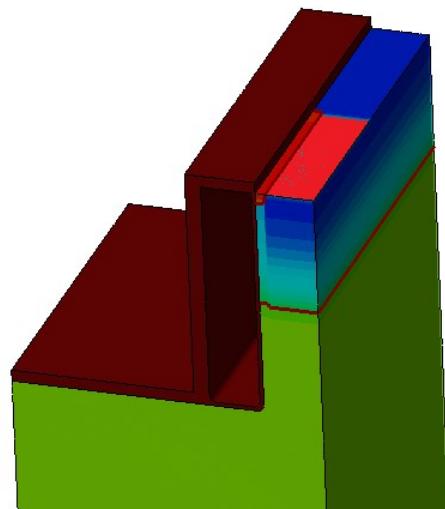
CIBL → P-base電圧の上昇 → 処方箋：3D奥行き方向微細化

Scaling → 飽和電流増大 → 処方箋：3D奥行き方向の微細化

5V駆動

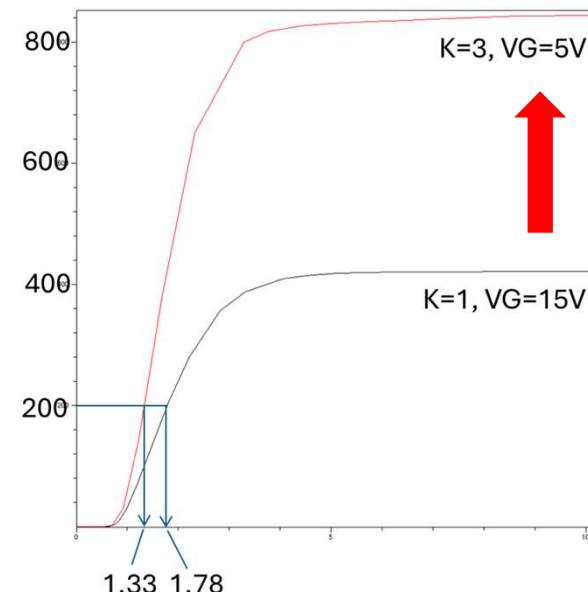
3D Scaling : 飽和電流の増大という問題がある

Parameters in IGBT, symbol	$k=1$	$k=3$	Scaling factor
Cell pitch, W (μm)	16	16	1
Mesa width, S (μm)	3	1	$1/k$
Trench depth, D_T (μm)	6	2	$1/k$
Trench width, W_T (μm)	1.5	1.0	$2/k$
p-base depth, D_P (μm)	3	1	$1/k$
n-emitter depth, D_N (μm)	0.4	0.13	$1/k$
Gate oxide thickness, t_{ox} (nm)	100	33	$1/k$
Length of p ⁺ region, L_{p^+} (μm)	4.5	1.5	$1/k$
Length of n ⁺ region, L_{n^+} (μm)	4.5	1.5	$1/k$
Gate voltage, V_g (V)	15	5	$1/k$

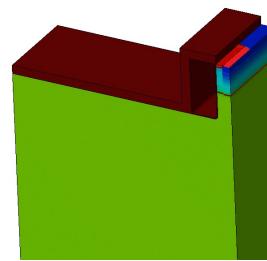


$K=1$

K.kakushima et. al IEDM'16



飽和電流増大



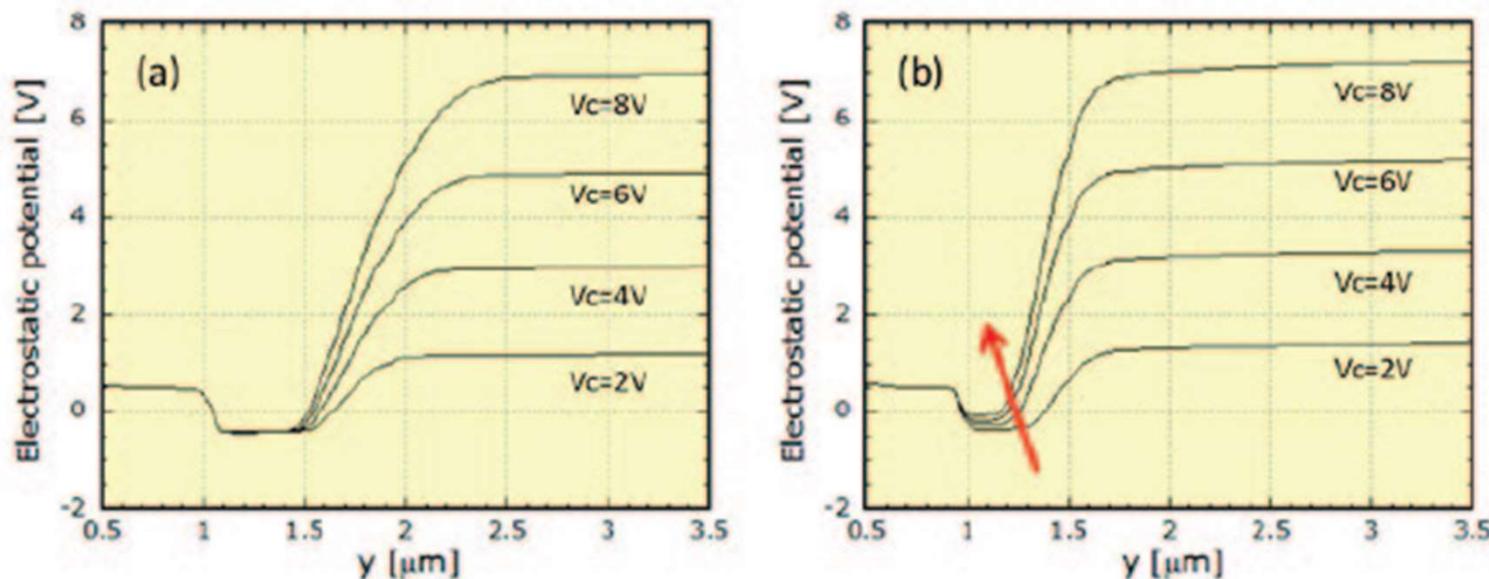
$K=3$

微細IGBTではCIBLの問題がある

On the Scaling Limit of the Si-IGBTs with Very Narrow Mesa Structure

Katsumi Eikyu, Atsushi Sakai, *Hitoshi Matsuura, *Yoshito Nakazawa,
Yutaka Akiyama, Yasuo Yamaguchi, Masahide Inuishi

ISPSD2016

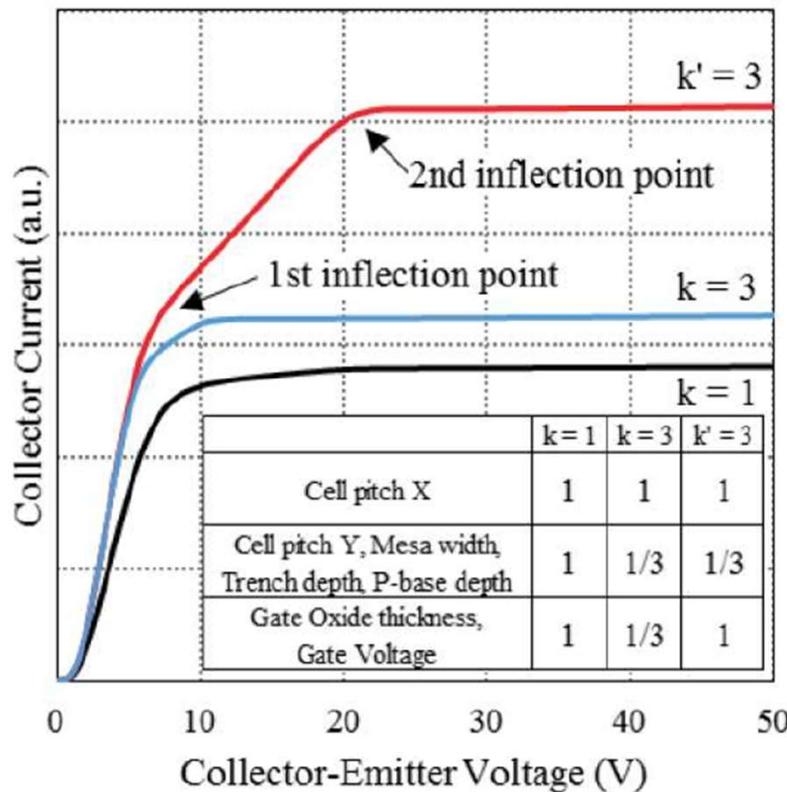


CIBLはある意味、解決可能

15V 駆動の微細 IGBT における電流飽和メカニズムの研究

電気学会研究会2020

伊倉 巧裕* 小野澤 勇一 (富士電機)
中川 明夫 (中川コンサルティング事務所)



- ・従来Scalingでは：
 $K=1$ から $K=3$ で飽和電流は増大
- ・ $V_G=15$ のままでは ($k'=3$)
飽和電流は更に大きい

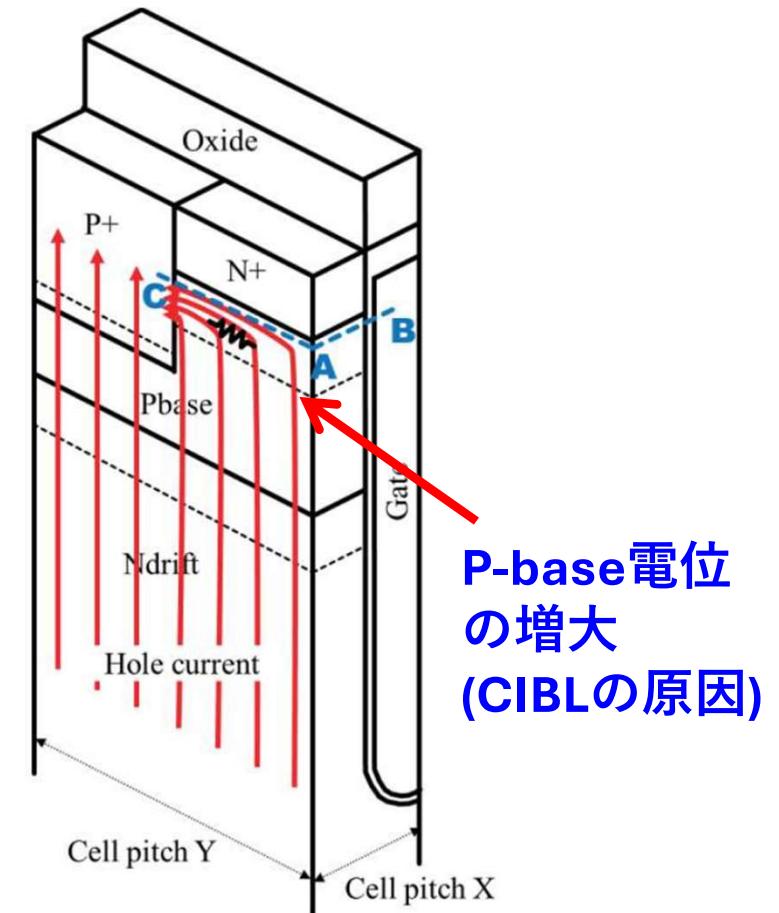


図3. デバイス表面構造とホール電流のイメージ図

内部を電子電流が流れ
部分的に伝導度変調が起きている(CIBL)

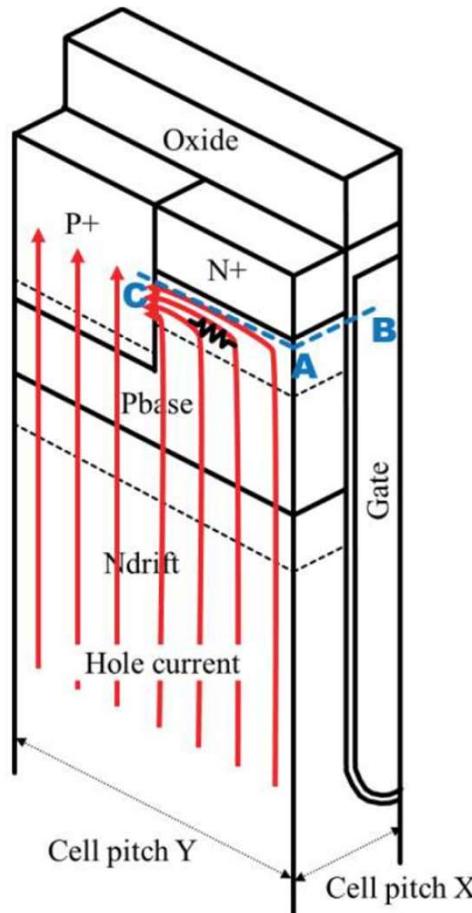


図3. デバイス表面構造とホール電流のイメージ図

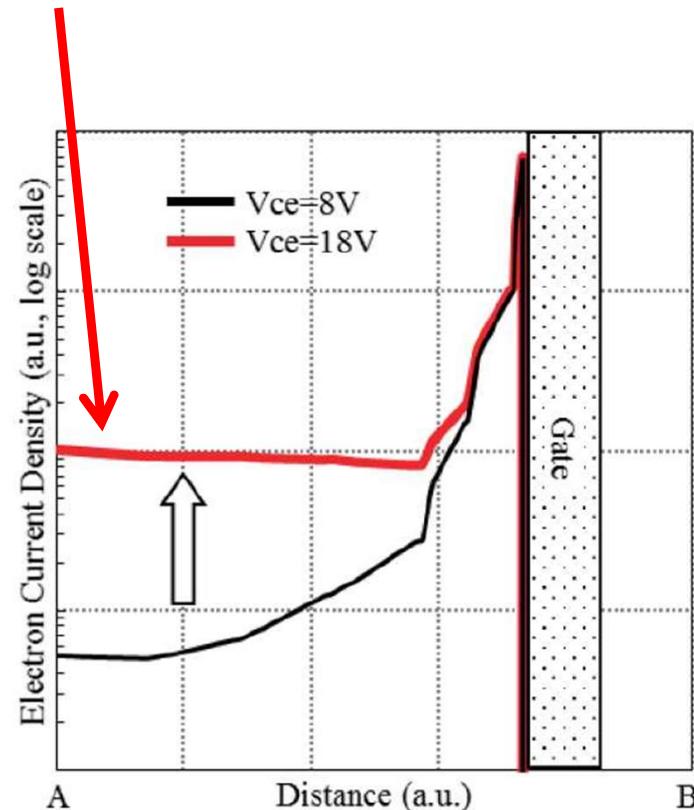


図4. 変曲点1 ($V_{ce}=8V$) と変曲点2の直前 ($V_{ce}=18V$)
のときのカットライン A-B における電子電流密度

メサ内の電位はゲート電圧(15V)以上にならない

V_{ce} が上がってもメサ内の電位は
ゲート電位で固定され不变

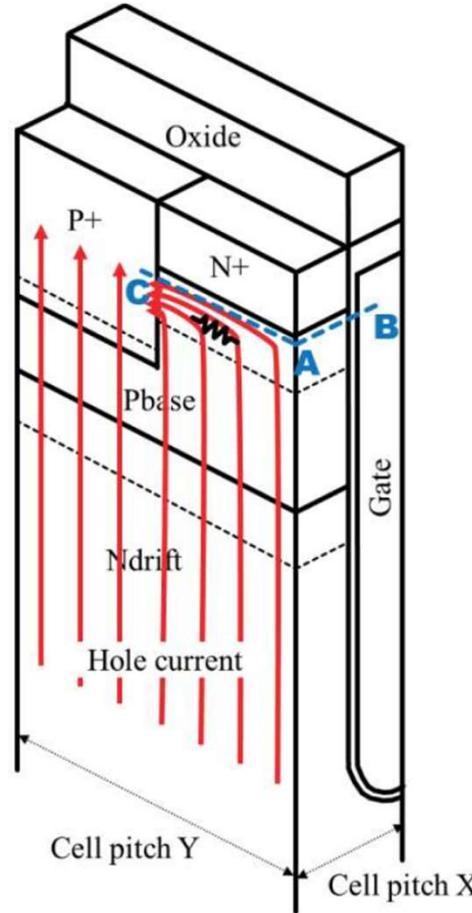


図3. デバイス表面構造とホール電流のイメージ図

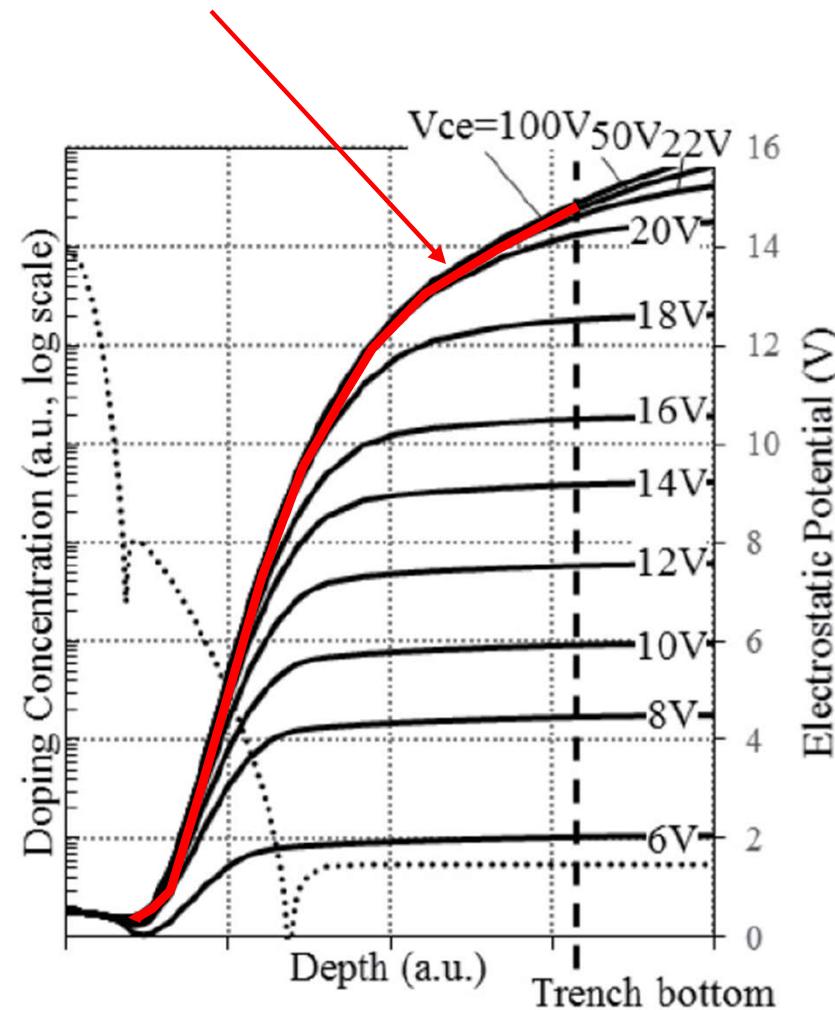
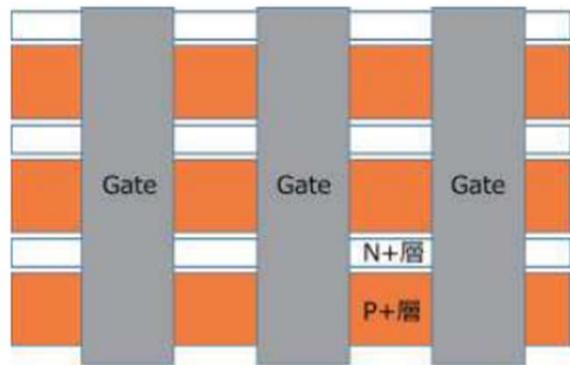


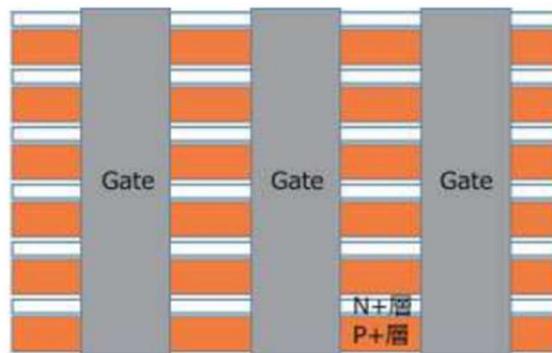
図6. メサ中央部の不純物濃度と電位

V_G 15V維持で微細化し、CIBLをも解決する方法

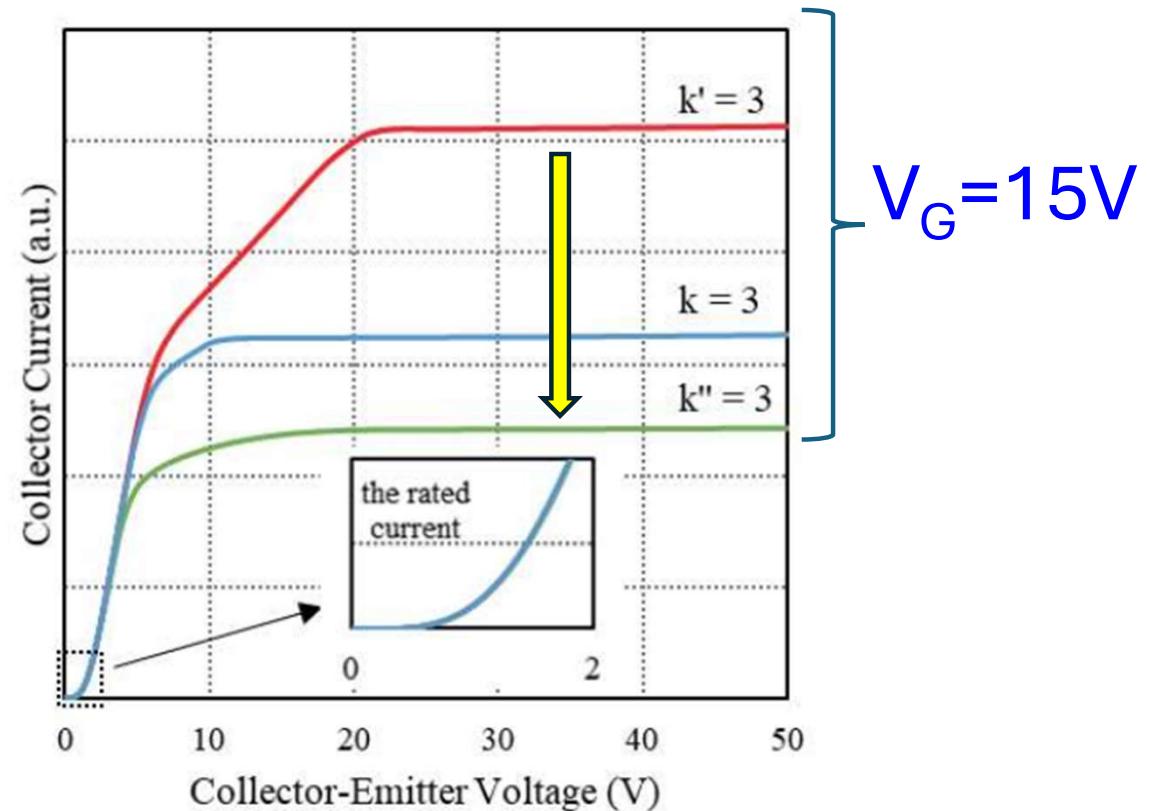
奥行方向のN+幅を狭くすれば飽和電流を下げる



(a) 元の構造



(b) N+エミッタ層を半分



	$k = 1$	$k = 3$	$k' = 3$	$k'' = 3$
Cell pitch X	1	1	1	1
Cell pitch Y	1	$1/3$	$1/3$	$1/6$
Mesa width, Trench depth, P-base depth	1	$1/3$	$1/3$	$1/3$
Gate Oxide thickness, Gate Voltage	1	$1/3$	1	1

図8. エミッタN+層を半分にした微細 IGBT の飽和電流特性

Scalingによる浅いトレンチで得られる効果はなにか？ IE効果は同一として

VG=15V駆動のままトレンチ深さを2umと短くした

15V駆動でShallow Trench IGBTを検討

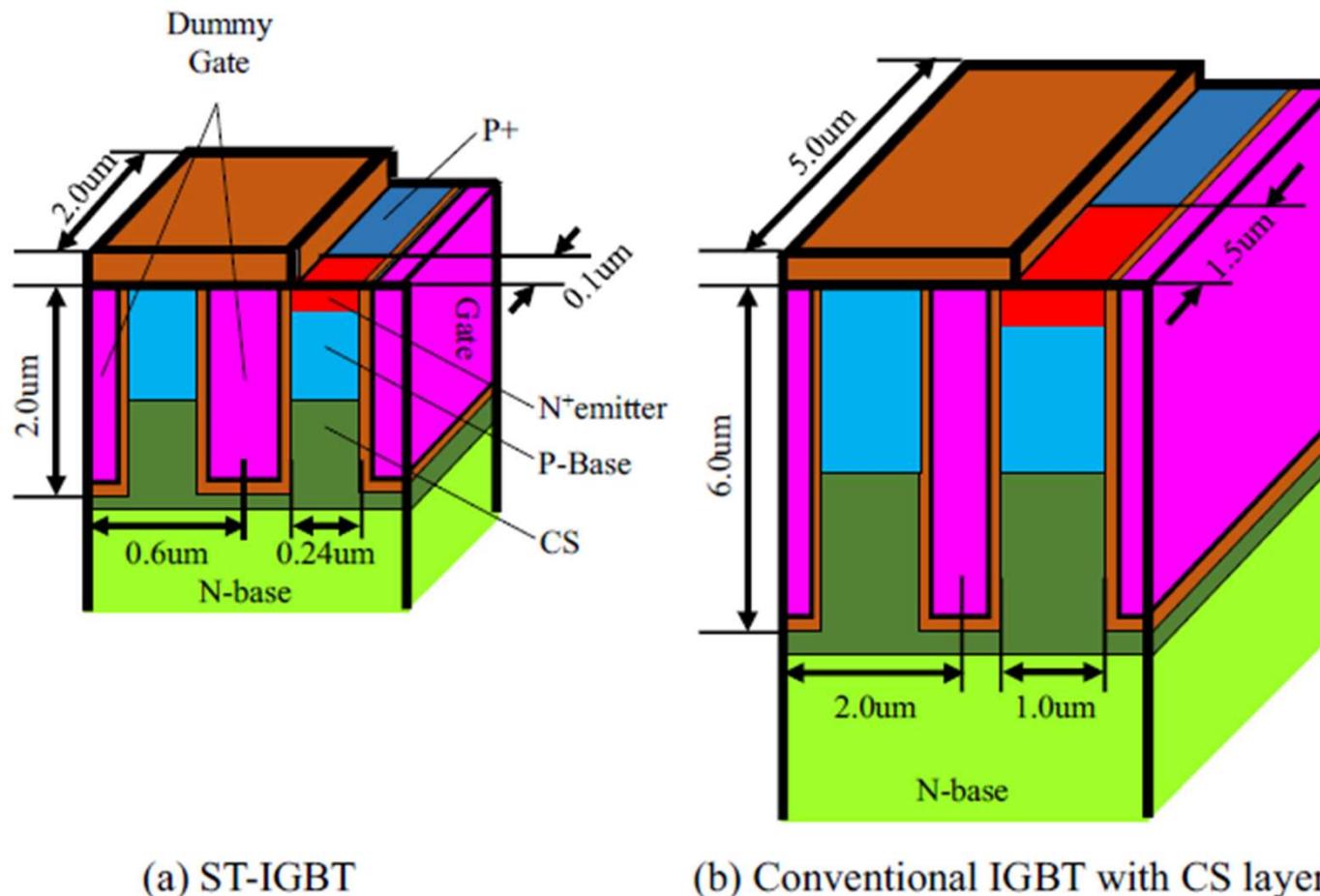


図 1 ST-IGBT セル構造

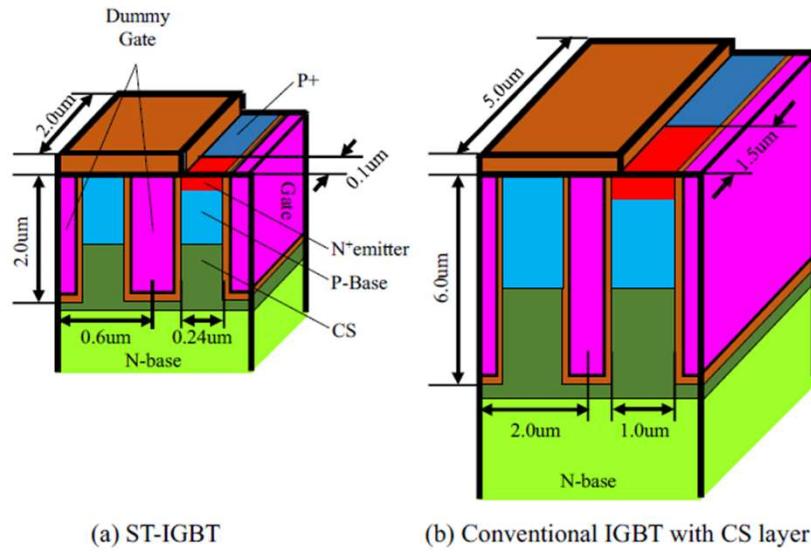


図 1 ST-IGBT セル構造

表1 セル構造パラメータ (単位 um)

Table 1. Cell's structural parameters (Unit: um).

	ST-IGBT	Conventional IGBT with CS layer
基板厚	110	110
トレンチピッチ	0.6	2.0
メサ幅	0.24	1.0
トレンチ深さ	2.0	6.0
ゲート酸化膜厚	0.1	0.1
Pベース深さ	0.8	2.4
CS層深さ	2.5	7.0
奥行方向繰返しピッチ	2.0	5.0
N+ソース幅	0.1	1.5
FLR深さ	2.5	-

N-base 中のキャリアは同一で V_{ce} は0.2V低下した

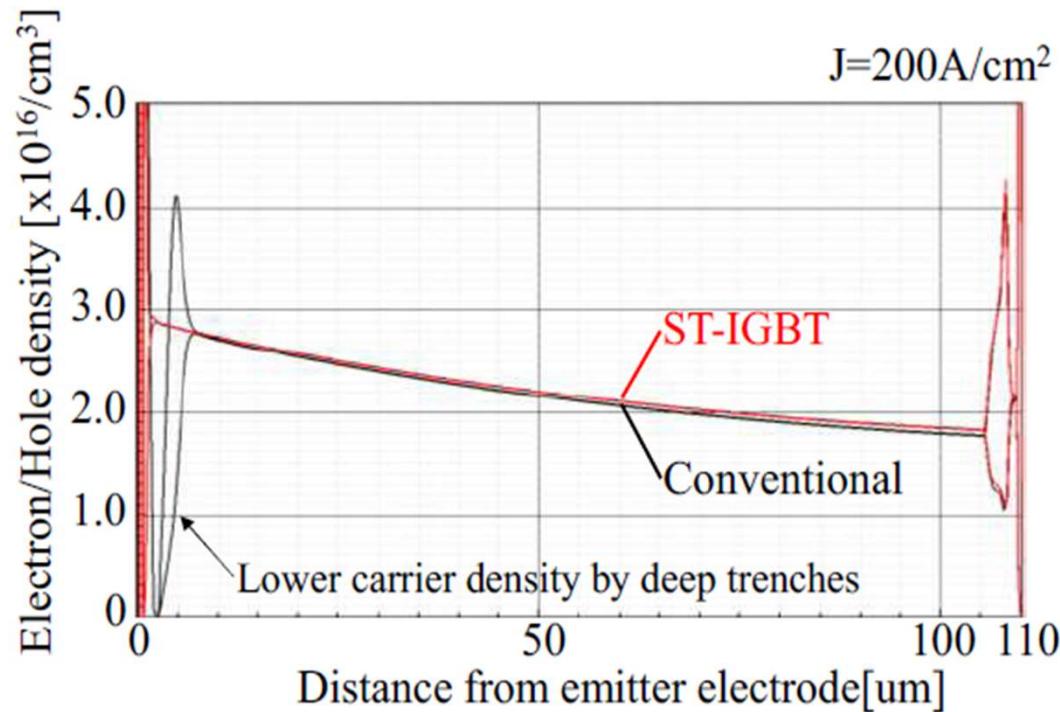
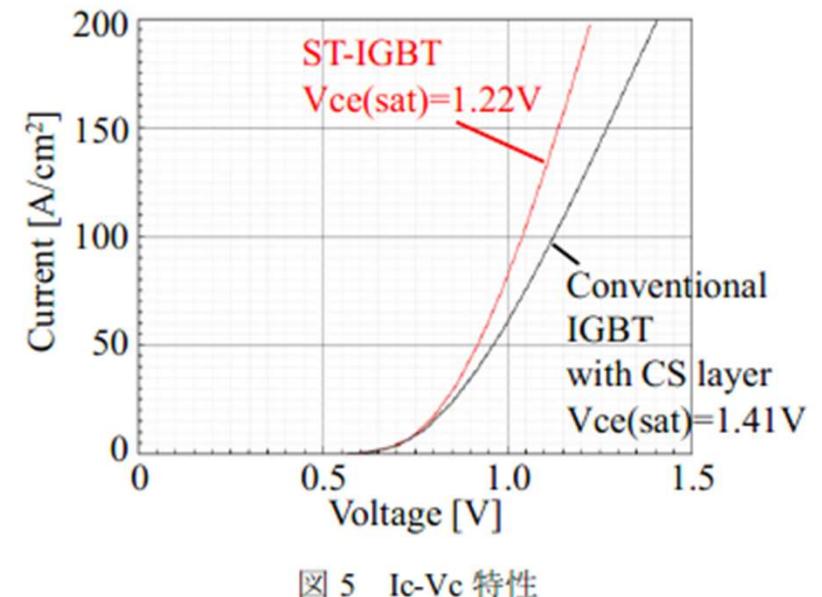


図 6 オン状態におけるキャリア密度分布



トレンチ内電圧降下0.18V改善

反転チャネルで0.14V改善
主な要因は反転層の電圧降下の改善

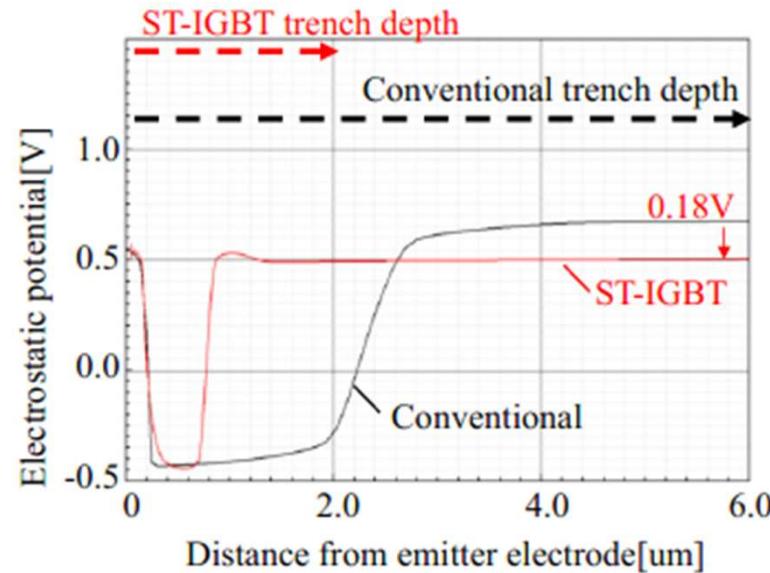


図7 メサ内部の静電ポテンシャル分布

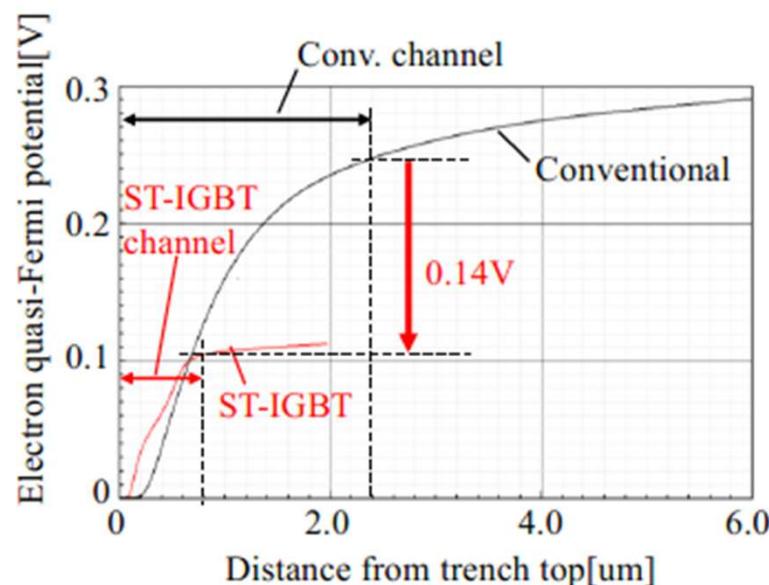


図8 MOSチャネル界面における
電子の擬フェルミポテンシャル分布

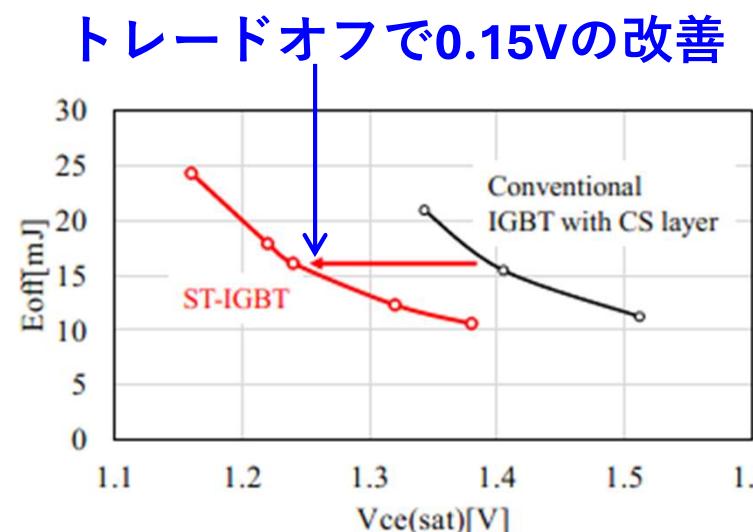


図 12 $V_{ce(sat)}$ - E_{off} トレードオフ

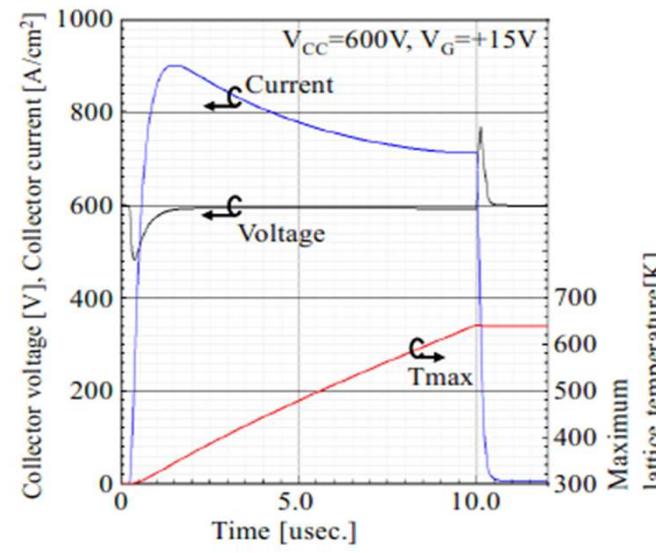


図 13 負荷短絡波形

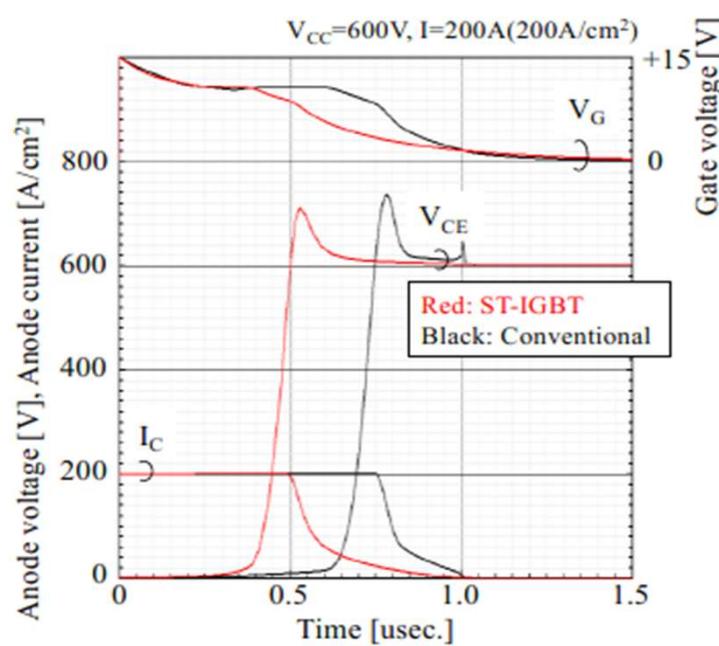


図 10 ターンオフ特性

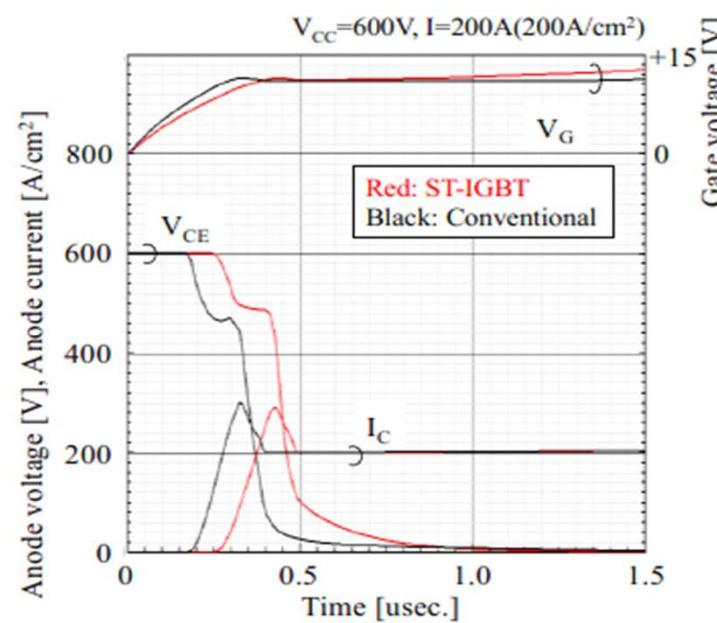


図 11 ターンオン特性

インフィニオンも同様な結果 飽和電流を同一とした時の5V駆動のメリット

Opportunities and challenges of a 1200 V IGBT for 5 V gate voltage operation

ISPSD2020

I. Imperiale, R. Baburske, T. Arnold, A. Philippou, E. Griebl, F. Wolter, H.-J. Thees*, A. Mauder, F.-J. Niedernostheide and C. Sandow

Infineon Technologies AG, Neubiberg, Germany

* Infineon Technologies Dresden GmbH & Co. KG, Dresden, Germany
ilaria.imperiale@infineon.com

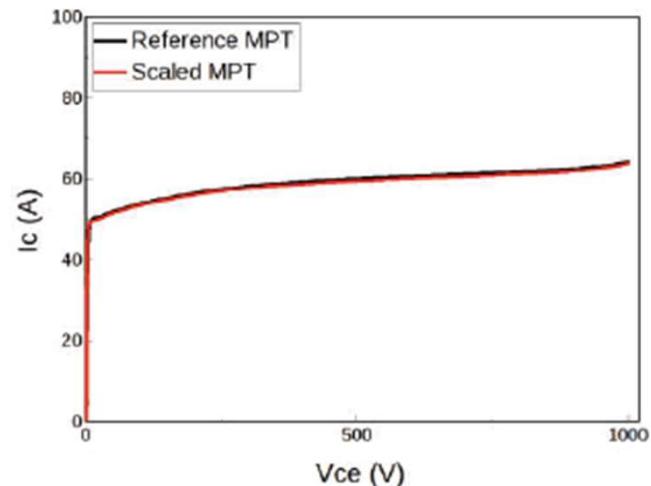
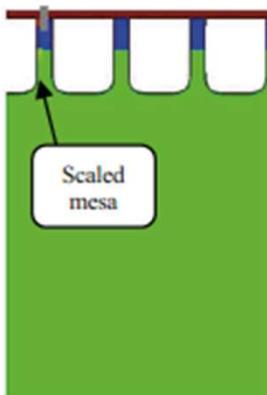
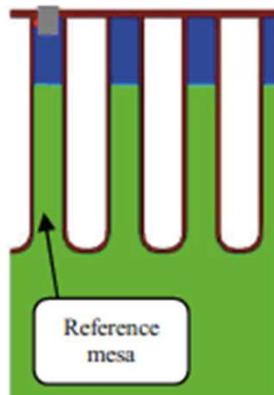


Table I: summary of the main features of the scaled IGBT

V_{CEsat} reduction (25 °C, $I_{nom} = 10$ A)	~ 200 mV
V_{CEsat} reduction (175 °C, $I_{nom} = 10$ A)	~ 380 mV
Gate charge (scaled IGBT)/ Gate charge (reference IGBT)	~ 0.5

V_{ce}: 0.2V 低下

5V駆動はメリットあるか？三菱の検討

Self-turn-on-free 1200V scaled CSTBTTM
driven by 5V gate voltage with wide SOA

従来のScaling則を無視

トレンチ幅 1.5 0.5
トレンチ長 0.8 0.8

Koichi Nishi, Chen Ze, Koji Tanaka, Keisuke Eguchi, Takamasa Miyazaki and Akihiko Furukawa

Power Device Works, Mitsubishi Electric Corporation

1-1-1 Imajyuku-Higashi, Nishi-ku, Fukuoka, 819-0192, Japan

Phone: +81-92-805-3332 E-mail: Nishi.Koichi@cw.MitsubishiElectric.co

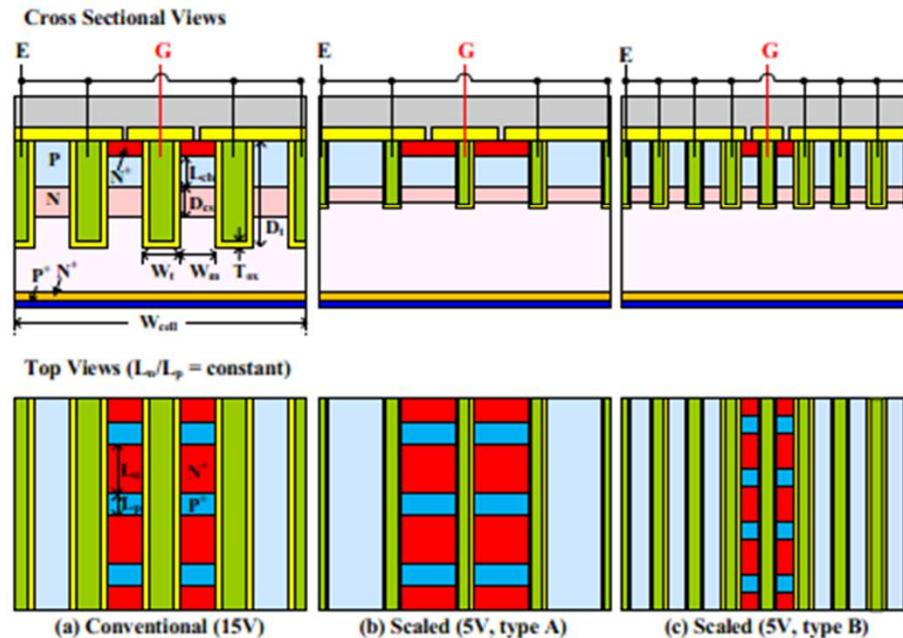


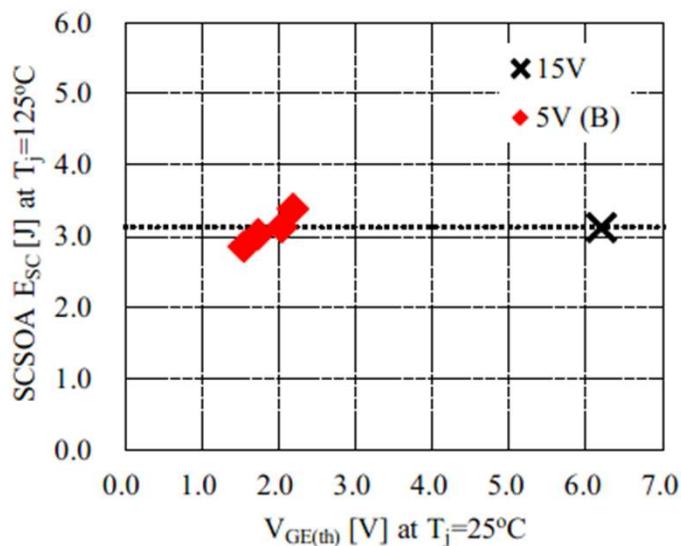
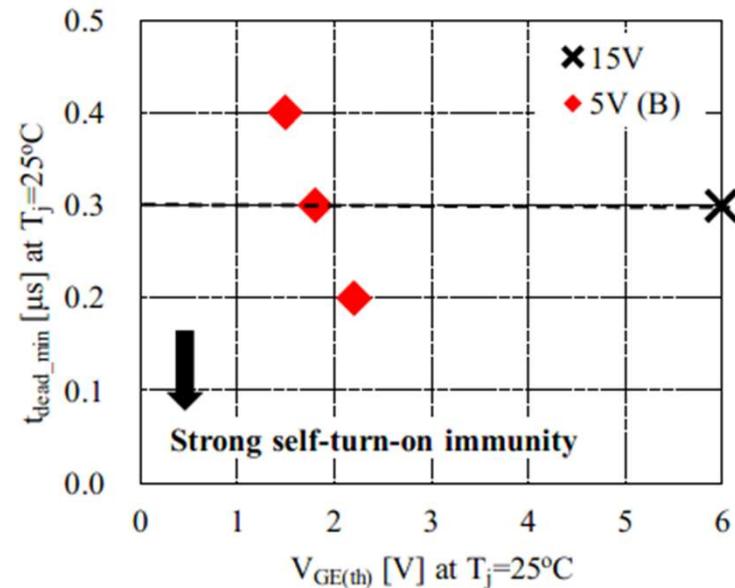
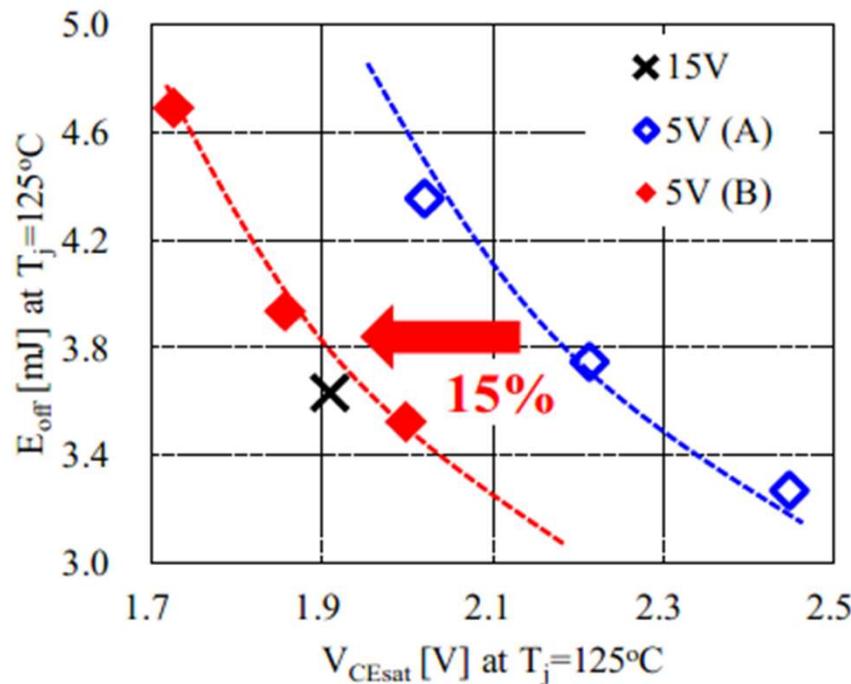
Fig. 1 Cross sectional and top views of the fabricated (a) conventional, (b) scaled (5V, type A), and (c) scaled (5V, type B) CSTBTTM. In top views, structures upper than Si surface are omitted.

Table I. Summary of the structural parameters

Parameter	Conv.	Scaled (type A)	Scaled (type B)
Gate voltage	15V	5V	5V
W _{cell}	1.0	1.0	1.0
L _{ch}	1.0	1.0	1.0
L _n /L _p	1.0	1.0	1.0
L _n	1.0	1.0	0.8
W _t	1.0	0.5	0.5
W _m	1.0	1.5	0.5
D _t	1.0	0.8	0.8
D _{CS}	1.0	0.8	0.8
T _{ox}	1.0	0.33	0.33

For scaled devices, trench width (W_t) and trench depth (D_t) were shrunk to achieve low feedback capacitance (C_{res}). Here, Blocking Voltage (BV) degradation caused by shallow trench [12] is compensated by using shallower CS-layer depth (D_{CS}) and lower CS-layer concentration (N_{CS}). Also, gate oxide thickness (T_{ox}) was thinned to 33% to decrease V_{GE(th)}, maintaining high p-base concentration. Especially for the scaled device type B, mesa width (W_m) and n⁺-emitter length (L_n) were refined to improve IE effect and RBSOA, as shown in Table I.

Vce-Eoff トレードオフ同一の時、セルフターンオン耐性が同等



5. 更なる高速化をどうするか？

- 1 ダブル、トリプルゲート駆動
→ ユーザーの負担が大きい
- 2 Super Junction IGBT

Super-Junction IGBT

Evaluation of 1.2kV Super Junction Trench-Gate Clustered Insulated Gate Bipolar Transistor (SJ-TCIGBT)

N. Luther-King, M. Sweet and E.M. Sankara Narayanan

Electrical Machines and Drives Research Group, The University of Sheffield, Mappin Street, S1 3JD, UK.

ISPSD'11

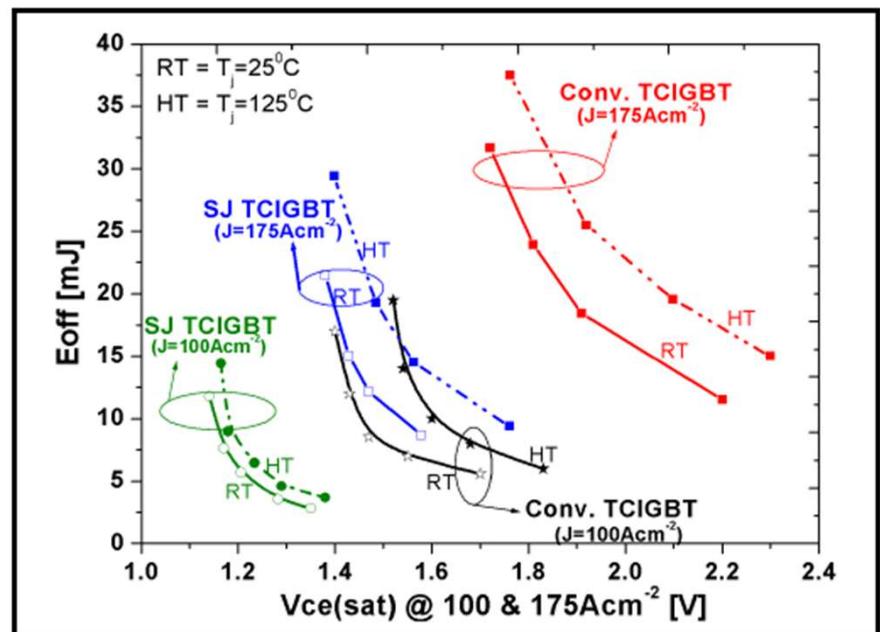
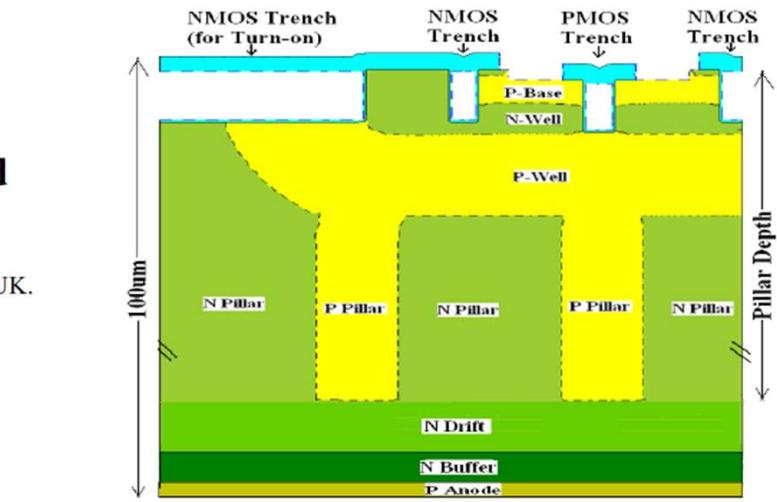
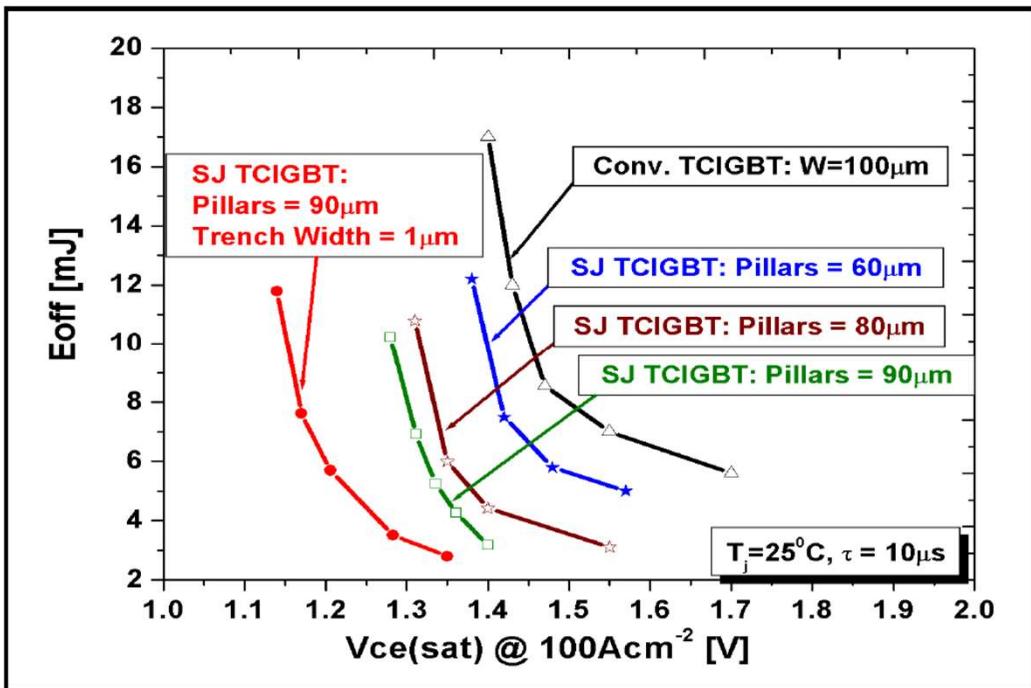


Fig.9: $V_{ce(sat)}$ - E_{off} trade-off at $J=100$ and 175Acm^{-2} . $R_g=22\Omega$, pillars depth=90μm, trench width=1μm and $\tau=10\mu\text{s}$.

Dynamic Charge Imbalance in Superjunction IGBTs: Design, Simulation, and Experimental Validation

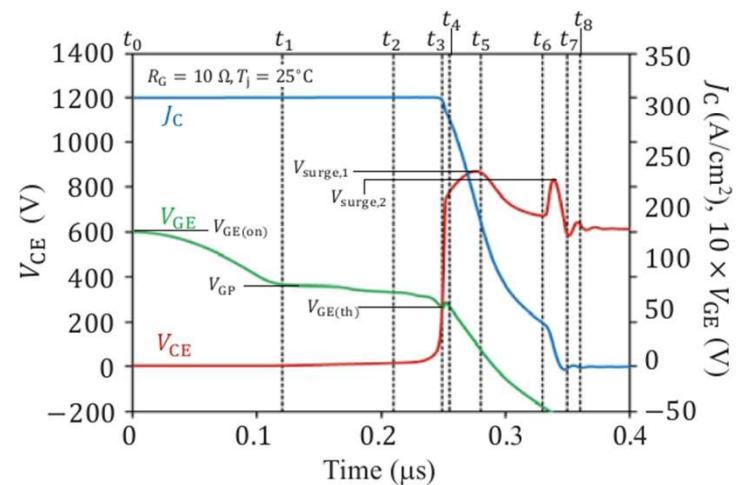
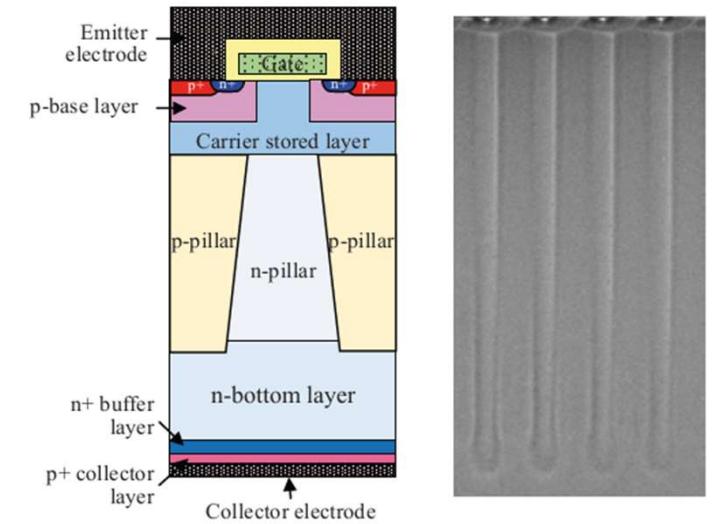
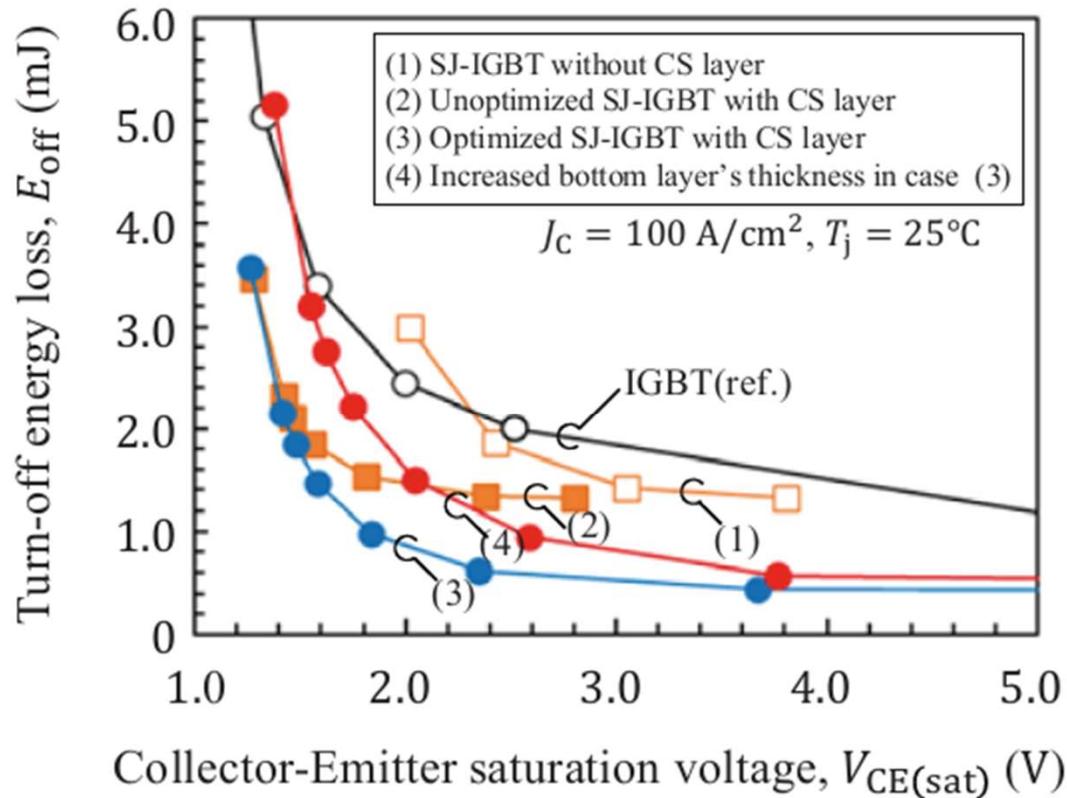
Tomohiro Tamaki*, Atsufumi Inoue*, Masayuki Furuhashi*, Shiro Hino*,
Makoto Hashimoto†, Mitsuhsisa Kawase†, Yohei Sudo†, Tsutomu Ogawa† and Kazuyasu Nishikawa*

Email: Tamaki.Tomohiro@cb.MitsubishiElectric.co.jp

*Advanced Technology R&D Center, Mitsubishi Electric Corporation,

8-1-1 Amagasaki, Hyogo, 661-8661, Japan

†Nissinbo Micro Devices Inc., Japan



**SuperJunction IGBTは
まだ完全に解析されていない
発展の余地がある！**

終