

# 電源用パワーデバイスの技術動向



中川 明夫 川口 雄介

パワー MOSFET, FOM,  $R_{on}Q_{gd}$ ,  $R_{on}Q_{sw}$ , MCM

## 1. はじめに

電源に使われているパワー素子はほとんどが MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と IGBT (Insulated Gate Bipolar Transistor) であり、高速応答を目指した電源には例外なく MOSFET が使われる。この MOSFET の開発を牽引してきたものはパソコンの CPU であることは論を待たない。1999 年以降 CPU の消費電流が急増し、大きな電流変化率  $di/dt$  も要求されてきた。

一方、MOSFET 開発当初からその性能指標は低オン抵抗化であった。この牽引役の一つは車載用 60 V MOSFET であるが、電源用には 30 V 系の重要度が増した。開発当初はプレーナ技術が採用されたが、1995 年にトレンチ技術が導入されオン抵抗は理論限界に近づいた。

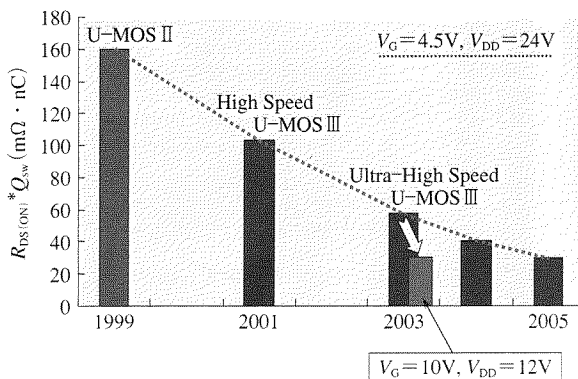


図1  $V_G = 4.5V, V_{DD} = 24V$  で測定した MOSFET の  $R_{on}Q_{sw}$  の推移を示す。(2003 年の棒グラフに示すように測定条件が変わると値は大きく変わる。)

なかがわ・あきお (正員) 1974 年東京大学大学院理学研究科修士課程終了。同年(株)東芝(東京芝浦電気)入社。パワーデバイス・パワー IC の開発に従事。セミコンダクター社首席技監。工学博士。

かわぐち・ゆうすけ (正員) 1993 年京都大学大学院工学研究科修士課程修了。同年(株)東芝に入社。パワー半導体デバイス、パワー IC に関する研究開発に従事。

1999 年以降、CPU の消費電流の増大に呼応して MOSFET の高速化が進んだ。この指標となったのが従来のオン抵抗に代わって  $R_{on}Q_{gd}$  (オン抵抗とゲート・ドレイン電荷量の積) または  $R_{on}Q_{sw}$  という性能指標 (FOM: Figure of Merit) である。図1に東芝の高速 MOSFET の FOM の進化を示す。CPU の動きに連動して性能指標の改善が進んだ。これは 2001 年以降 DCDC コンバータで 85.5% から 90% の効率向上に相当する。

## 2. MOSFET 特性の改善

MOSFET の主な損失は (1) オン抵抗による定常損失、(2) スwitching 時の損失、(3) ゲート駆動損失、(4) ドレイン・ソース間容量による損失があるが、このうち前者二つが大きい。MOSFET のスitching 時、ドレイン電圧が変化している期間はゲート電圧がほぼ一定に保たれ、この期間のゲートに充電される電荷を  $Q_{gd}$  と定義する。 $Q_{sw}$  も同様に定義されスitching 時間は  $Q_{gd}$  または  $Q_{sw}$  をゲート電流で割った値となる。スitching 時間を小さくするためには  $Q_{sw}$  を小さくする必要がある。スitching 損失は  $Q_{sw}$  に比例し、定常損失は  $R_{on}$  に比例するため、その積  $R_{on}Q_{sw}$  が素子の性能指標となる。

図2はトレンチ MOSFET の断面図である  $Q_{gd}$  はゲ

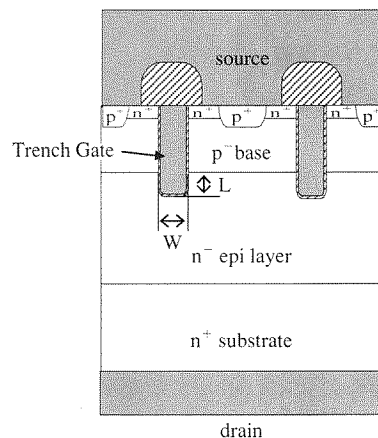


図2 トレンチ MOSFET の  $C_{gd}$

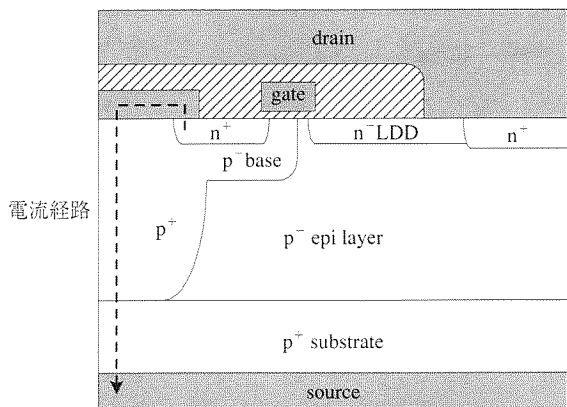


図3 LDMOSの構造。電流はドレインからチャンネルを通り、ソース電極からp層に入り下側のソース電極に流れる。

ト・ドレイン間容量  $C_{gd}$  で決まるため、ゲートとドレインのオーバーラップを小さくする必要がある。単位面積当たりのトレンチ密度を上げればオン抵抗は下がるが一般にゲートとドレインのオーバーラップが増え  $C_{gd}$  は大きくなる。 $C_{gd}$  を下げるためトレンチの幅  $W$  を小さくし、ドレイン層中に突き出る長さ  $L$  を小さくし、トレンチ底の酸化膜を厚くして  $C_{gd}$  を下げる努力がされている。

ゲートとドレインのオーバーラップを小さくするには横型MOSFET (LDMOS) が優れている。LDMOSは高周波で動作する携帯電話のパワーアンプにも採用されており、高速動作には定評がある。LDMOSではゲートポリシリコンをマスクとしてドレイン層を形成するためゲート・ドレインオーバーラップを小さくできる。図3にLDMOS構造の電源用MOSFETを示す。30VのLDMOSでは  $R_{on}Q_{gd}$  で10 mΩnCと低い値が実現されている<sup>(1)(2)</sup>。

高耐圧500V以上ではスーパージャンクション構造を採用することで  $R_{on}$  の飛躍的改善と同時に  $R_{on}Q_{gd}$  を改善することができるため、スーパージャンクションMOSFETが主流になりつつある<sup>(3)</sup>。詳細は紙面の都合で割愛する。

### 3. パッケージの改善

MOSFETのオン抵抗が小さくなるとパッケージと素子をつなぐワイヤ抵抗(1.5 mΩ)を無視できない。ボンディングワイヤをやめてインピーダンスを小さくしたパッケージが採用されるようになった。図4はアルミのリボンを用いたパッケージを示す。アルミのリボンを用いることでパッケージの抵抗を1.2 mΩ低減できる。またパッケージの裏側に金属を配し、リード線をフラットにして熱抵抗とパッケージの抵抗の低減が図られている。また、さらに積極的にパッケージ自体をドレイン電極を兼ねた金属の覆い

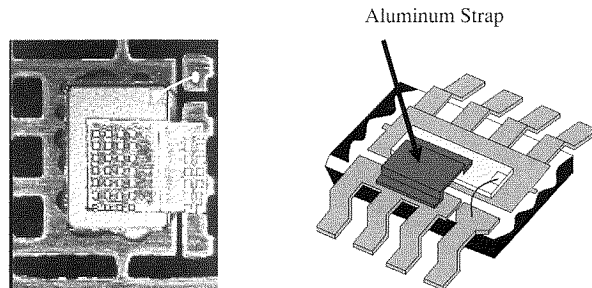


図4 アルミのリボンを用いた新型パッケージ (アルミストラップ)

として、ソースとゲートにはバンプ電極を採用しパッケージのインピーダンスの低減を図ったパッケージ構造も製品化されている<sup>(4)</sup>。このパッケージは上面からの放熱も可能であり、より大電流用途への対応が図られている。

### 4. 同期整流技術とセルフターンオン

シリコン素子の最適化を極限まで進めると、パッケージの抵抗が無視できなくなったように、配線のインピーダンスの影響が無視できなくなる。この影響を見るためにはシミュレーションが有効である。筆者らはトレンチMOSFETの精巧なSPICEモデルを開発し、解析を行った<sup>(5)-(7)</sup>。図5は解析に用いた回路を示す。

解析を通じて多くの重要な指針が明らかになる。これらは(1)下段のMOSFETに高い  $dV/dt$  が印加されることでおきるセルフターンオン、(2)寄生インダクタンスの影響と(3)デッドタイムの効率への影響である。

セルフターンオンは単に下段MOSFETに高い  $dV/dt$  が印加されるために起こるのではなく、内蔵のダイオードの逆回復電流と切り離せない。図6に示すように  $dV/dt$  が印加されると、素子には電圧が印加されずまずダイオードの逆回復電流  $I_{bd}$  ( $t_a$  から  $t_b$  の区間) が流れる。この電流はすぐに止まるが、配線の寄生のインダクタンスが継続して電流を流そうとするので、MOSFETには、当初印加された以上の大きな  $dV/dt$  ( $t_b$  から  $t_c$  の区間で  $V_{ds}$  が急増) がかかる。高い  $dV/dt$  は  $C_{gd}$  を介してゲート電圧を増大させ、ゲート電圧がしきい値を超えるとセルフターンオン ( $t_c$  以降  $I_{ch}$  が流れる) が起きる。セルフターンオンは素子の  $C_{gd}/C_{gs}$  の比を小さく設計することで  $dV/dt$  が印加した時のゲート電圧増加を抑えることで防ぐことができる。

図7は配線インダクタンスの効率への影響を示す。影響が大きいのはハイサイドのソースインダクタンスである。これは素子が高速にオンした場合、 $di/dt$  によりソースのインダクタンスに電圧降下が起きる。ゲート電圧はゲートに印加される実質のゲート電圧とこの寄生インダクタンス

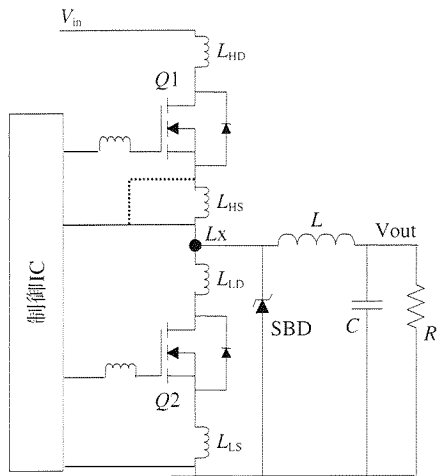


図5 DCDCコンバータ効率計算に用いた回路

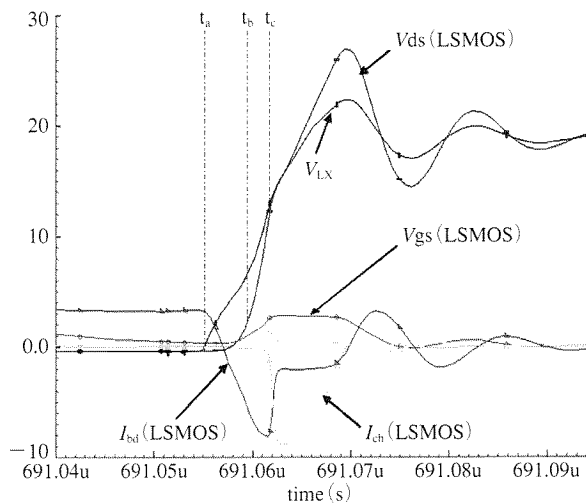


図6 セルフターンオンを示す下段 MOSFET の波形 ( $V_{LX}$ : LX の電位,  $V_{DS}$ : MOSFET の電圧,  $I_{bd}$ : 内蔵ダイオード電流,  $I_{ch}$ : MOSFET 電流。縦軸の単位は V または A。)

の電圧降下の和であるため、実質のゲート電圧が下がり、チャネルが十分に形成されずターンオンが遅くなる。これを改善するため寄生インダクタンスを低下させ、かつ、図5に点線で示したようにゲート回路配線を取ることでゲート回路のインダクタンスを下げる構成が重要である。ボンディングワイヤに替えてアルミリボンを用いた新型パッケージはソースインダクタンスを低減でき、効率向上に有効である。

寄生インピーダンスの影響を小さくして効率を上げるため、大電流が流れるパワー素子とドライバを一つのパッケージに入れ MCM (Multi-Chip Module) とする動きが顕著になっている。図8はインテル提唱の DrMOS 規格のパッケージを示す。同定格のチップを用いても効率は図9に示すように2~3%向上する。

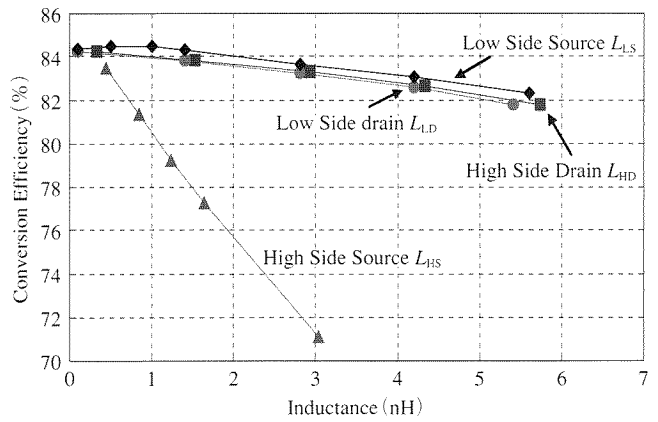


図7 各寄生インダクタンス (図5参照) の効率への影響

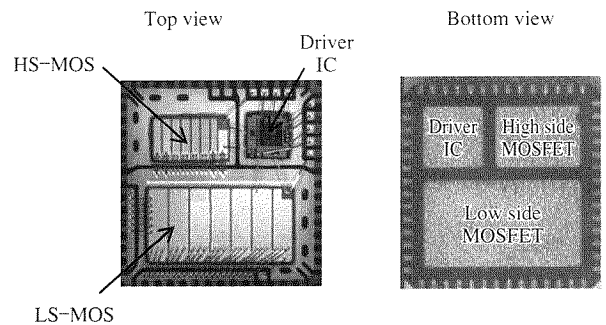


図8 DrMOS規格のMCMの構成 (パッケージはQFN 56で8mm角)

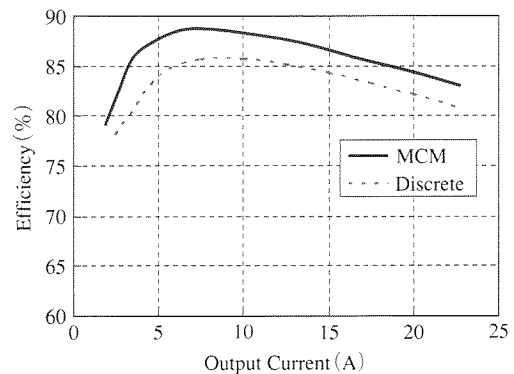


図9 MCMとディスクリート素子を用いたDCDCコンバータで同等チップと回路で比較した効率 (12V入力, 1.36V出力, 周波数1MHz)

### 5. 将来技術

シリコン素子を用いた場合の理論限界がどこにあるか、また新材料素子との比較を把握しておくことは重要である。

図10はオン抵抗の比較を示す。従来型 MOSFET は 100V 以下ではトレンチ MOSFET が主流であるが、20V 以下では LDMOS や NMOS などの横型素子を使う傾向が出てきている。

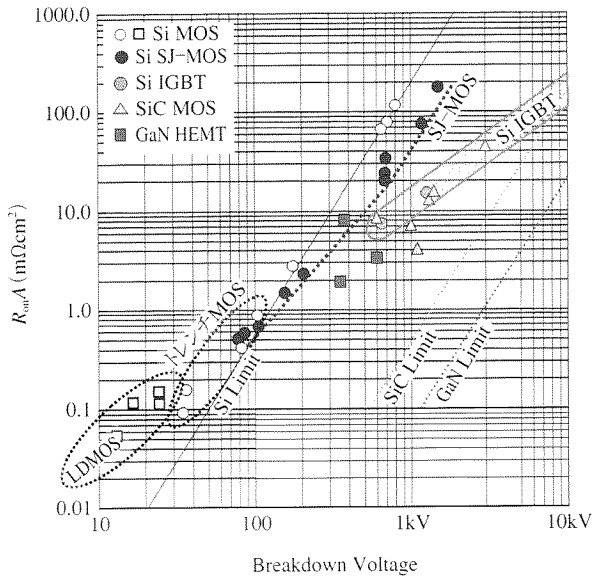


図10 単位面積当たりのオン抵抗の比較を示す。各点は現状論文発表されている値をプロット。

MOSFETのスイッチング速度を決めるのは $Q_{sd}$ が支配的であるが、これは回路条件によって異なる。ゲート電流を充分流せるような条件では $Q_{sd}$ に依存しない高速性が実現できる。そこで、素子の特性限界を探るための新しいFOMを導入する<sup>(8)</sup>。

$$NFOM = R_{on} Q_{str}$$

$Q_{str}$ はドレイン・ソース、エミッタ・コレクタ間に蓄えられる電荷量であり、バイポーラ素子でも素子内に蓄積される電荷を用いて拡張して定義できる。MOSFETでは $Q_{ds}$ となる。ここでスイッチング時間 $T_{sw}$ 、電圧降下 $V_F$ 、電流密度 $J$ を用いるとNFOMは $T_{sw}$ と $V_F$ の積となる。

$$T_{sw} = \frac{Q_{str}}{J}, V_F = R_{on} J, NFOM = T_{sw} V_F$$

先にスイッチング時間は $Q_{sw}/I_G$ で決まると述べた。ゲート回路のインピーダンスを下げられればゲート電流を大きくできスイッチング時間は $Q_{sw}$ で律速されなくなり、最終的には $Q_{str}/J$ で決まる。MOSFETの場合 $Q_{str} = \epsilon E_c$ 、 $R_{on} = 4 V_{BD}^2 / \epsilon \mu E_c^3$ であるから

$$NFOM = 4 V_{BD}^2 / \mu E_c^2$$

となる。NFOMはバリガの高周波のBFOMに逆比例する。ちなみに30VのシリコンMOSFETではゲートインピーダンスをほぼゼロに仮定すればターンオフ時間は2nsにできることがTCAD (Technology Computer Aided Design) で予測できる。これは $Q_{str}/J$ から計算したものと一致する。

図11にNFOMの比較を示す。図から明らかなように、新材料素子の優位性はスイッチングを考慮するとその差は

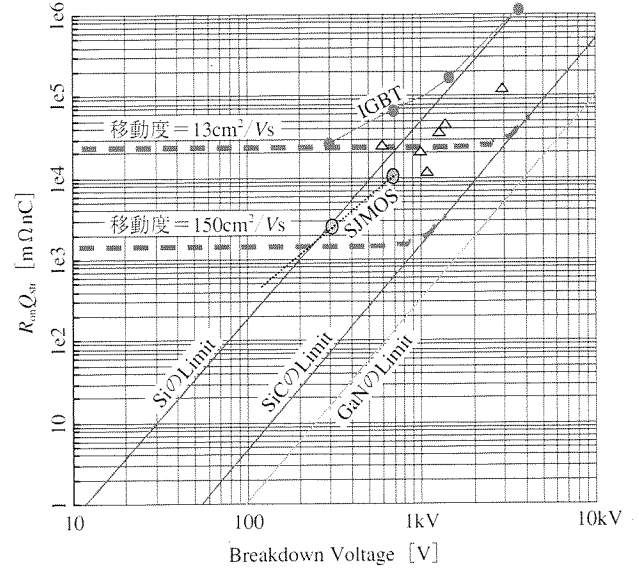


図11 RonQstr (NFOM)の各素子での比較。△はSiCのMOSFET、○はスーパージャンクションMOSFETとIGBTを示す。移動度の表示はSiC MOSFET界面のチャネル移動度を意味する。

縮まる。SiCのMOSFETの場合、チャネル移動度が $13 \text{ cm}^2/\text{Vs}$ の場合700V以下ではシリコンに勝てず、チャネル移動度 $150 \text{ cm}^2/\text{Vs}$ 以上が必要となる。スーパージャンクション素子はシリコンであるため高速性ではシリコン限界を大幅には超えない。また、300V以下では逆に従来MOSFETよりNFOMは劣る。図11には参考にIGBTも示した。IGBTは蓄積時間があることと、厳密にはスイッチング時間は $Q_{str}/J$ と異なる。

回路シミュレーションで30V系シリコンMOSFETを用いたDCDCコンバータの限界を探ってみる。図5の配線インダクタンスをほぼゼロにできれば1MHzのスイッチングでDCDCコンバータの効率は図9の20A時84%の条件で90%を超えることが予測できる。CPUのピーク電流が今後は大幅に増えないと予測される現状ではシリコンMOSFETが今後とも最も有力な素子といえる。

(平成17年9月15日受付)

文献

- (1) N. Yasuhara et. al.: Proc. of ISPSD 2003, p.186 (2003)
- (2) K. Sakamoto et. al.: Proc. of ISPSD 2002, p.25 (2002)
- (3) G. Deboy et. al.: IEDM Tech. Digest, p.683 (1998)
- (4) A. Sawle et. al., Proc. of 2001 PCIM Europe, p-473 (2001)
- (5) K. Kinoshita et. al.: Proc. of IPEC 2005, p.971 (2005)
- (6) Y. Kawaguchi et. al.: Proc. of IPEC 2005, p.965 (2005)
- (7) Y. Kawaguchi et. al.: Proc. of ISPSD 2005, p.371 (2005)
- (8) 中川明夫: 2003年春季応物講演予稿集, 29p-ZB-18, p.456 (2003)