

VI. インテリジェントパワー IC

正員 中川 明夫 東芝総合研究所

1. はじめに

インテリジェントパワー IC は第二のエレクトロニクス革命であるといわれる。ここ数十年、パワー素子の分野では数々の発展があった。代表的なものは GTO サイリスタと MOS ゲート素子の出現であろう。GTO に代表される高耐圧大電流自己ターンオフ素子によって PWM 制御による小形で高性能のモータ制御や電源が大きく進歩した。MOS ゲート素子についても、200 V 以下の分野においては、MOSFET がバイポーラトランジスタと比べて破壊に強く、高速でパワーロスも少ない優れた素子として定着した。また 500 V 以上の分野では従来のパワー MOSFET は素子面積とコストの点でバイポーラトランジスタに勝てないといわれてきたが、IGBT (Insulated Gate Bipolar Transistor) という MOS とバイポーラの複合素子の出現によって完全に MOS ゲート素子が有利になっている。

ところで現在これらのパワー素子を使用する場合、ドライブ回路や保護回路の専門的知識やノウハウが必要になる。そこで、パワー素子の有用な周辺回路までを取り込んで一つの機能をもった IC とすることができれば、かつて信号用の IC が出現したときそうであったように、パワー素子とその応用回路は小形で使いやすくなり、その用途は産業用にとどまらず民生機器にも波及する。例えば、1 チップのインバータ IC ができれば、家庭用のエアコン、洗濯機、冷蔵庫、蛍光灯など非常に広い用途がある。かつて GE が、これは第二のエレクトロニクス革命といったが、今まさにその動きが実現に向けて動き出しているといえよう。

2. パワー IC の概念と応用分野

数 A 程度の電流を制御する素子はディスクリート素子であるとする考え方は今日もはや通用しない。民生用のオーディオアンプでは既に 20 W 以上の出力を

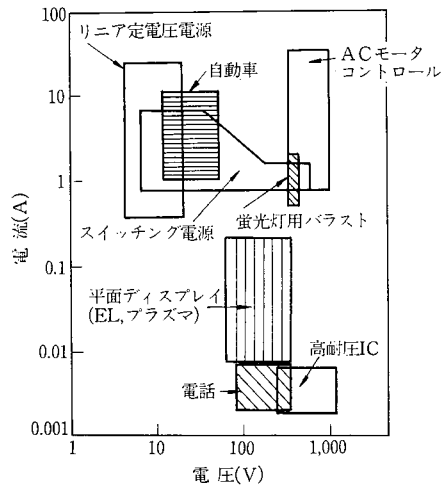


図 1 パワー IC の応用分野と必要定格⁽¹⁾

もつ IC が製品化されて久しい。また、200 V 以上の高耐圧小電流の出力段を多数もったプラズマディスプレイなどの平面ディスプレイ駆動用の高耐圧 IC は、ラップトップパソコンをはじめ多くの分野で実用化している。更に最近では、自動車用を中心として機械式リレーを置き換えるパワー IC が既に開発されており、また第 1 章で述べたような 500 V 耐圧をもつインバータを IC 化する動きもある。

さてパワー IC の定義は何であろう。スマートパワーとかインテリジェントパワー IC と称しているように出力段や負荷の状態に関する何らかの判断機能と保護回路を内蔵していることが多い。しかし、ここではもっと広く、パワー IC を「デジタルコントロール回路とモータなどの負荷の間のインタフェースを行う出力 1 W 以上の IC」と定義することにする。

これらのパワー IC の分類は応用分野からは図 1 のようにまとめられる⁽¹⁾が、これは、

① 高耐圧低電流 (例えば平面ディスプレイドライ

バ、電子電話交換機加入者回路用 IC)

② 低耐圧大電流 (自動車用リレー、レギュレータ、ステップモータ駆動用 IC)

③ 高耐圧大電流 (電源、モータ駆動用 IC) の三つの用途に大別される。このうち最も難しいのが③であり、今後の発展が期待される分野である。

パワー IC の別の分類は出力段の方式から行うこともできる。まず、出力が一つなのか複数なのか、また出力段の形態がどうなのかで図 2 に示す次の三つに分類できる。

(a) はハイサイドスイッチと呼ばれ、負荷はアース電位に落ちているため安全であり、自動車用のリレーの置き換えやモータコントロールなど多くの用途がある

(b) はローサイドスイッチまたはオープンコレクタ (オープンドレイン) と呼ばれ、比較的高耐圧 IC 化しやすい回路方式である。

(c) はプッシュプルやトータムポール方式と呼ばれる出力素子の結合方法であり、負荷の高速ドライブに適し、インバータの基本ユニットであるハーフブリッジもこの方式である。パワー IC としては最も厄介な

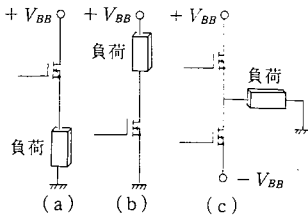
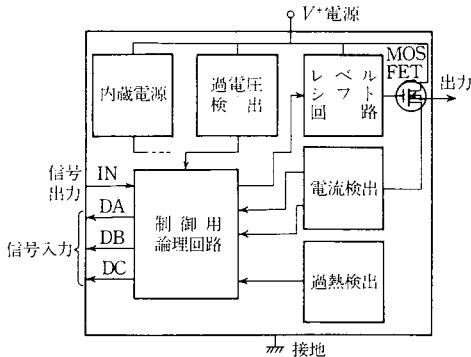


図 2 スイッチ形態



(過電圧、過電流、過熱保護回路を内蔵する。) 自己診断機能がある。

図 3 ハイサイドスイッチ IC の例

方式である。

図 3 にパワー IC の例としてハイサイドスイッチの典型的回路構成を示す。

3. パワー IC を実現する技術

3.1 分離技術

素子を分離する技術として基本的なものは三つある。これらは、①自己分離、②pn 接合分離、③誘導体分離である。これらについては何度も解説がなされている⁽²⁾⁽³⁾のでここでは基本的な説明は割愛する。現在最も一般的に用いられているのが pn 接合分離であるが、高耐圧化や大電流化を実現するため種々の工夫がなされているのでこれを紹介する。

(1) pn 接合分離 pn 接合分離は、例えば n 形の層を p 形の拡散層で囲むことが基本であるが、高耐圧化して厚い n 形の層が必要となる場合の対策として幾つかの方法が提案されている。図 4 から図 6 がこの例である⁽⁴⁾⁽⁵⁾。図 6 では低耐圧素子の特性を犠牲にせずに高耐圧素子を搭載することに成功している。

更に、pn 接合分離の高耐圧 IC への応用を開いた技術として注目されるのはリサーフ (RESURF;

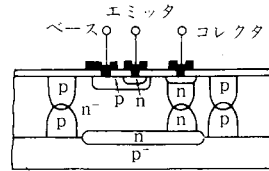
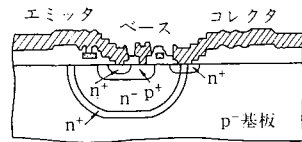


図 4 分離用 p+ 拡散を上下から行い高耐圧化を図ったもの



(p-基板上に穴を掘り、n-エピ層を埋め込む) ことで分離を行う

図 5 セミウェル方式接合分離⁽⁴⁾

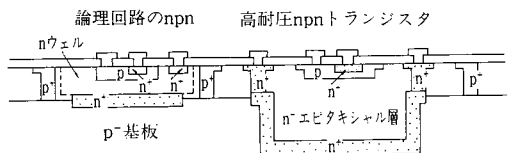


図 6 セミウェル方式接合分離⁽⁵⁾

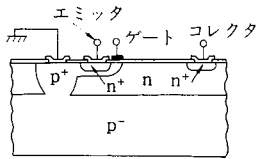


図7 RESURF構造⁽⁶⁾

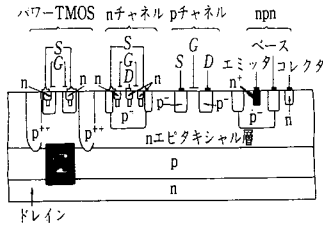


図8 スマートパワー方式⁽⁸⁾

Reduced Surface Field) 技術⁽⁶⁾である。図7にMOSFETの場合の例を示す。横形MOSFETのオフセットチャンネルに相当するn層の不純物量を 10^{12} cm^{-3} 程度にすることで原理的にはどのような高耐圧でも実現できる。このリサーフ技術は高耐圧横形MOSFETでオフセットゲートとして用いられていたものと基本的に同じであるが、従来のpn接合分離と結合させたところが注目される。このリサーフ技術との組み合わせにより、1,000V以上の高耐圧ICがpn接合分離によって実現されている⁽⁷⁾。

このようにpn接合分離は100から200V以下の低耐圧では比較的自由に種々の素子を使って回路を組むことができるが、高耐圧ではリサーフ技術が自己分離を用いていることから使える素子に制約がでてくる。また、寄生の素子が避けられないことやサイリスタのような素子を使えないことなどの理由により、pn接合分離は低耐圧大電流と高耐圧低電流の用途で広く使われている。代表的な例をあげれば60V数Aクラスの自動車用リレーの置き換えや200V程度のプラズマディスプレイ用ドライバIC、またハーフブリッジ用の500VドライバICなどがある。

特に自動車用のリレー用では、大電流を扱うため出力段の素子のオン抵抗の低減には特別な配慮がなされている。すなわち、出力段の素子だけ上下に電流を流せるような工夫がなされている。図8はこの一例である⁽⁸⁾。

(2) 誘電体分離 高耐圧電流の用途では寄生のトランジスタやキャパシタンスの効果が大きくなることや、IGBTを含めたサイリスタ的な動作をする素子を搭載することがpn接合分離では不利になるため、

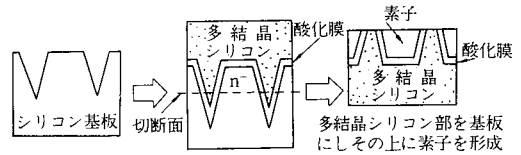


図9 従来形誘電体分離とその製法

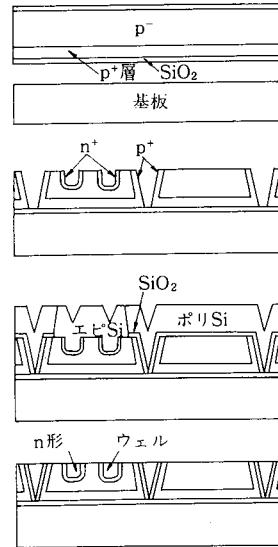


図10 直接接合による誘電体分離⁽¹¹⁾

酸化膜で完全に素子を絶縁する誘電体分離方式が本命と目されている。誘電体分離については最近いろいろな方式が開発されており、代表的なものは、従来方式誘電体分離と、ウェーハ接合方式⁽⁹⁾に分けられ、後者は、接合するウェーハの間に密着性を良くする物質を介在させるかささせないかで二通りに分けられる。

図9は従来方式による誘電体分離基板の作成方法を示したものである。ロジック部を高耐圧素子と同じように深い単結晶の島にすると特性が悪くなるので、ロジック部の島を浅くすることでロジックの特性の改善を図っている例もある⁽¹⁰⁾。これに対して、シリコン直接接合ではV溝を上から掘るため、例えば50 μm 厚の島の場合、分離に要する溝の幅は100 μm 近くになり、ロジックまでV溝で分離することは現実的でない。そこで、高耐圧大電流素子同士とロジックの間は誘電体分離し、ロジック同士は誘電体分離された島の内通常pn接合分離を用いる方法が提案されている⁽¹¹⁾。図10はこのためのプロセスと素子構造を示したもので、ロジック同士はp層に掘った穴にn形のエピ層を形成することでpn接合分離を実現してい

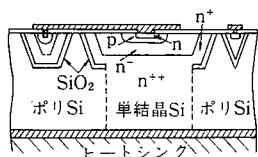


図 11 縦方向に電流を流す誘電体分離構造⁽¹³⁾

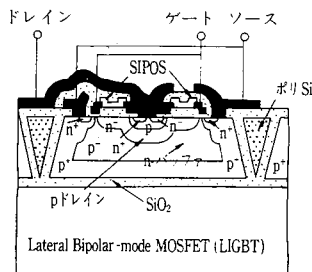


図 12 SIPOS を用いて配線による耐圧劣化を防いで 500 V を実現した例⁽¹¹⁾

る。従来方式とウェーハ接合を組み合わせ、接着するための膜を介在させ、密着性を良くしてポリシリコン層と支持ウェーハとの接合を実現した例もある⁽¹²⁾。この方法では従来方式の厚いポリシリコン層のデポを省くことができる。

従来形の誘電体分離方式を用いて既に実用化された代表的な IC は電子電話交換機加入者回路用の高耐圧 IC (SLIC) である。またマルチ出力 IC として中小電力用のモータコントロール内の高耐圧ワンチップインバータ IC への応用や図 11 に示すような単一出力をもつハイサイドスイッチへの応用⁽¹³⁾も寄生の問題がない有利さを利用して開発が進められている。

また、誘電体分離の島の下に酸化膜に電圧を分担させ、20 μm の薄いシリコンで 500 V 以上の耐圧を実現する試みもなされている。

3・2 出力段の課題

今後のパワー IC の進むべき方向は、高耐圧、マルチ出力、大電流であり、誘電体分離技術とこれに適した出力段の開発がポイントとなると思われる。200 V 以下ではパワー MOSFET が出力段として定着しており、これより上では IGBT が今後使われる傾向にある。これは、パワー MOS と同様、MOS ゲートであり、またスイッチング周波数も 20 kHz 以上が可能であるためである。

また、400 V 以上の高耐圧を歩留まり良く得るためには配線による耐圧劣化の問題を解決する必要がある、種々の提案がなされている。例えば半絶縁性の膜 SIPOS (Semi-Insulating Poly-Silicon) を用いた抵

抗性フィールドプレートは 500 V 以上の耐圧を実現できる⁽¹⁵⁾。

パワー IC が装置の小形化に寄与するためには、モータなどの熱源のそばで動作することが必要であり、高い温度での動作の保証が望まれる。また、横形素子は縦形の素子と比べて面積効率が一般に不利であり、より高度なデバイス設計が必要である。

4. むすび

以上述べたようなパワー IC が今後広く実用化されていくとき、ハイブリッド IC との境界が大きな関心となろう。これを決めるものはコストと IC 化によるメリットであり、定格 10 A 付近までは IC 化が進むと考えられる。また、1 チップ化が難しいインダクタンスやキャパシタンスをいかに取り込んでいくかが種々の機能をもつ IC を実現する上でもう一つの大きな課題となろう。(平成 2 年 1 月 11 日受付)

文 献

- (1) V. Rumennik: "Power Devices are in the Chips" *IEEE-Spectrum* 22, 7, 42(1985-7)
- (2) H. W. Becke: "Approaches to isolation in high voltage integrated circuits" *1985 IEEE IEDM, Technical Digest* p. 724
- (3) 米田: 「パワーデバイスのインテリジェント化」平成元年電気学会全大 S. 7-23
- (4) P. Kawamura, et al.: "400 V, high voltage IC technology: SIPIC-III, *Proceedings of 1988 ISPSD* p. 101
- (5) T. Okabe, et al.: "Semi-well isolation-based intelligent power IC technology" *ibid.* p. 96
- (6) J. A. Appels, et al.: "High voltage thin layer devices (Resurf devices)" *1979 IEEE IEDM Technical Digest* p. 238(1979)
- (7) M. F. Chang, et al.: "Advanced 1200 V HVIC technology" *1986 IEEE IEDM Tech. Digest* p. 230(1986)
- (8) D. Cave, et al.: "Smartpower motor driver for low voltage applications" *IEEE 1987 Custom Integrated Circuit Conference Record* p. 276(1987)
- (9) H. Ohashi, et al.: "Improved dielectrically isolated device integration by Silicon Wafer Direct-Bonding" *1986 IEEE IEDM Technical Digest* p. 210(1986)
- (10) 石切山, 他: 高耐圧・低耐圧素子混載型集積回路の一構成法」昭 61 電子通信学会全大 No. 245
- (11) A. Nakagawa, et al.: "Application of dielectric isolation technique based on silicon wafer direct-bonding to power IC's" *Extended abstract of 1989 ECS Meeting, Abstract* No. 277, p. 421
- (12) R. Sawada, et al.: "Soot bonding process for Si dielectric isolation" *ibid.* No. 275, p. 417
- (13) Y. Sugawara, et al.: "400 V 20 A VLCS power IC technologies with a current sensing function" *Proceeding of 1988 ISPSD* p. 121
- (14) A. Nakagawa, et al.: to appear in *Proceeding of 1990 ISPSD*.
- (15) A. Nakagawa, et al.: Two types of 500 V double gate lateral N-ch Bipolar-Mode MOSFETs in dielectrically isolated P⁻ and N⁻ silicon islands" *1988 IEEE IEDM Tech. Digest* p. 817